|  |
| --- |
|  |
| МИНОБРНАУКИ РОССИИ |
| Федеральное государственное бюджетное образовательное учреждение  высшего образования  **«МИРЭА - Российский технологический университет»**  **РТУ МИРЭА** |

Институт Информационных Технологий

Кафедра Вычислительной Техники (ВТ)

**ОТЧЁТ ПО ПРАКТИЧЕСККОЙ РАБОТЕ №1**

«Построение совершенных функциий»

по дисциплине

«Архитектура вычислительных машин и систем»

|  |  |
| --- | --- |
| Выполнил студент группы  ИВБО-11-23 | Туктаров Т.А. |
| Принял ассистент кафедры ВТ | Дуксина И.И. |
| Практическая работа выполнена | «2» октября 2024 г. |
| «Зачтено» | «2» октября 2024 г. |

Москва 2024

АННОТАЦИЯ

Данная работа включает в себя 4 рисунка, 2 формулы. Количество страниц в работе – 10

СОДЕРЖАНИЕ

[ВВЕДЕНИЕ 4](#_Toc178788394)

[ХОД РАБОТЫ 5](#_Toc178788395)

[2.1 Практическое введение 5](#_Toc178788396)

[2.2 Восстановление таблицы истинности 5](#_Toc178788397)

[2.3 Постройка СДНФ и СКНФ 6](#_Toc178788398)

[2.2 Реализация СДНФ и СКНФ в Logisim 8](#_Toc178788399)

[2.3 Реализация результатов верификации созданных схем 10](#_Toc178788400)

[ЗАКЛЮЧЕНИЕ 11](#_Toc178788401)

[СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ 12](#_Toc178788402)

1.ВВЕДЕНИЕ

Мультиплексор - комбинационная схема, имеющая n адресных входов, 2^n

информационных входов, 1 выход. На выход поступает значение с того

информационного входа, номер которого задаётся при помощи адресных входов.

Дешифратор - комбинационная схема, имеющая n входов, 2^n выходов.

Сигнал логической единицы будет сформирован на выходе, номер которого в

двоичном виде задан на входах.

Шифратор - комбинационная схема, имеющая 2^n информационных

входов, и выходов. На выходах формируется номер входа, на который была

подана логическая единица. Зачастую сопровождается выходом, который

отвечает за индикацию того факта, что на входе нет ни единого сигнала

логической единицы. В приоритетных шифраторах больший вес имеет старший

вход, на котором сигнал логической единицы.

Преобразователь кодов. Узел может быть реализован как совокупность

дешифратора и шифратора. Кодирует входной сигнал согласно внутренним

связям.[1][2]

2.ХОД РАБОТЫ

2.1 Практическое введение

Реализовать логическую функцию от 5 переменных на Verilog HDL с использованием дешифраторов, мультиплексоров и преобразователя кодов. Произвести верификацию. Заданная логическая функция: 478E9C16.

2.2 Восстановление таблицы истинности

Имея логическую функцию в векторном виде 478E9C16 воссоздадим таблицу истинности(Таблица 2.1)

*Таблица 2.1 – таблица истинности функции*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| X1 | X2 | X3 | X4 | X5 | F |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 |

2.3 Реализация параметрического мультиплексора

Изучив полученную таблицу истинности построим СДНФ, беря во внимание

2.3 Реализация результатов верификации созданных схем

Основываясь на полученных схемах, реализуем результаты верификации созданных схем(Рисунок 2.3).

ЗАКЛЮЧЕНИЕ

В данной работе нам нужно для логической функции, заданной в векторном виде, восстановить таблицу истинности, по таблице истинности построить аналитический вид для СДНФ и СКНФ функции, построить схемы для каждой из форм в среде «Logisim», произвести верификацию. Заданная логическая функция: 478E9C16.

В данной работе была восстановлена таблица истинности, из неё были реализованы СДНФ и СКНФ. В Logisim были созданы реализации данных СДНФ и СКНФ, после чего данные схемы прошли верификацию.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Методические указания по ПР № 1 — URL: <https://online-edu.mirea.ru/mod/resource/view.php?id=405132>.
2. Программа Logisim – URL: <https://online-edu.mirea.ru/mod/resource/view.php?id=511147>
3. Мусихин А. Г., Смирнов Н. А. Архитектура вычислительных машин и систем [Электронный ресурс]:учебное пособие. - М.: РТУ МИРЭА, 2021. - – Режим доступа: <https://ibc.mirea.ru/books/share/4180/>
4. Мусихин А. Г., Смирнов Н. А. Архитектура вычислительных машин и систем [Электронный ресурс]:учебное пособие. - М.: РТУ МИРЭА, 2020. - – Режим доступа: [https://library.mirea.ru/secret/16022021/2532.iso](https://library.mirea.ru/secret/16022021/2532.iso%20) 2. Мусихин А. Г., Смирнов Н. А. Архитектура вычислительных машин и систем [Электронный ресурс]:методические рекомендации к контрольным работам. - М.: РТУ МИРЭА, 2020. - – Режим доступа: <https://ibc.mirea.ru/books/share/3782/>