

Федеральное государственное бюджетное образовательное учреждение высшего образования

«МИРЭА - Российский технологический университет»

РТУ МИРЭА

Институт Информационных Технологий Кафедра Вычислительной Техники (BT)

ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ № 2

«Основы статического временного анализа»

по дисциплине

«Схемотехника устройств компьютерных систем»

Выполнил студент группы ИВБО-08-22	Стецюк В.В.
Принял ассистент кафедры ВТ	Дуксин Н.А.
Практическая работа выполнена	«»2024 г.
«Зачтено»	« » 2024 г.

АННОТАЦИЯ

Данная работа включает в себя 7 рисунков, 2 листинга и 4 формулы. Количество страниц в работе — 13.

СОДЕРЖАНИЕ

Введение	4
1 Реализация модуля согласно персональму варианту	. 5
1.1 Реализация функции и анализ задействованных для этого аппаратны	IX
ресурсов	. 5
1.2 Создание файла проектных ограничений	6
2 Анализ показателя Slack	. 7
2.1 Значения WNS и WHS, рассчитанные в Vivado	. 7
2.2 Ручной расчёт показателя Slack по Setup	. 7
2.3 Ручной расчёт показателя Slack по Hold	9
2.4 Гистограммы Slack по Setup и Hold 1	11
ЗАКЛЮЧЕНИЕ 1	12
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ	33

ВВЕДЕНИЕ

В данной практической работе необходимо согласно персональному варианту [1-2] произвести расчёт для параметра WNS и WHS (для случая анализа по Hold и по Setup) для спроектированного устройства [3].

Персональный вариант: a - b << c * d

1 РЕАЛИЗАЦИЯ МОДУЛЯ СОГЛАСНО ПЕРСОНАЛЬМУ ВАРИАНТУ

1.1 Реализация функции и анализ задействованных для этого аппаратных ресурсов

Название модуля верхнего уровня — «main». Модуль имеет 32-разрядные входные порты «a», «b», «c» и «d», входным «clk» - синхросигнал, а также 32-разрядный выходной порт «out». С помощью оператора непрерывного присваивания «assign» к выходному порту «res» подключается результат выражения «a - b << c * d».

Далее объявляются 32 битные регистры «ffa», «ffb», ffc», «ffd» и «ff2». С помощью оператора непрерывного присваивания «assign» на выход «out» подаётся значение «ff2».

Дальше в блоке «always», работающему по переднему фронту синхросигнала, регистрам «ffa», «ffb», ffc», «ffd» присваиваются соответствующие входные значения «a», «b», «c» и «d», а регистру «ff2» присваивается результат «ffa - ffb << ffc * ffd».

Код модуля представлен в Листинге 1.1.

Листинг 1.1 – Реализация модуля верхнего уровня

```
module main (
    input [31:0] a, b, c, d,
    input clk,
    output [31:0] out
);
reg [31:0] ffa, ffb, ffc, ffd, ff2;
assign out = ff2;
always @(posedge clk)
begin
    ffa <= a;
    ffb <= b;
    ffc <= c;
    ffd \le d;
    ff2 <= ffa - ffb << ffc * ffd;
end
endmodule
```

1.2 Создание файла проектных ограничений

В файле проектных ограничений создаётся объект тактового генератора с частотой 100 МГц.

Содержимое файла представлено в Листинге 1.2.

2 АНАЛИЗ ПОКАЗАТЕЛЯ SLACK

2.1 Значения WNS и WHS, рассчитанные в Vivado

Произведем синтез и имплементацию, чтобы получить значения WNS и WHS. Результат представлен на Рисунке 2.1.

Setup		Hold		Pulse Width	
Worst Negative Slack (WNS):	-0,332 ns	Worst Hold Slack (WHS):	0,584 ns	Worst Pulse Width Slack (WPWS):	4,500 ns
Total Negative Slack (TNS):	-8,069 ns	Total Hold Slack (THS):	0,000 ns	Total Pulse Width Negative Slack (TPWS):	0,000 n
Number of Failing Endpoints:	32	Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	64	Total Number of Endpoints:	64	Total Number of Endpoints:	97

Рисунок 2.1 – Значения WNS и WHS схемы

2.2 Ручной расчёт показателя Slack по Setup

Slack по Setup рассчитывается по Формуле 2.1.

$$Slack = T_{dcd} + T_{clk} - T_{su} - T_{scd} - T_{dd}$$
 (2.1)

где T_{dcd} – время распространения синхросигнала до второго триггера,

 T_{clk} – период синхросигнала,

 T_{su} — время Setup триггера,

Design Timing Summary

 T_{scd} — время распространения синхросигнала до первого триггера,

 T_{dd} – время распространения данных.

Посчитаем показатель Slack для первого пути по данным, предоставленным в Vivado (Рисунки 2.2 и 2.3).

Source Clock Path								
Delay Type	Incr (ns)	Path	. Locati	Location		Netlist Resource(s)		
(clock clock rise edge)	(r) 0.000	0.000)					
	(r) 0.000	0.000	Site: N	115		D clk		
net (fo=0)	0.000	0.000)			∕ clk		
IBUF (Prop ibuf I O)	(r) 0.948	0.948	Site: N	115				
net (fo=1, routed)	2.016	2.963	1			∠ clk_IBUF		
BUFG (Prop bufg I O)	(r) 0.096	3.059	Site: B	UFTRL_X	OYO	cik_IBUF_BU	FG_inst/O	
net (fo=99, routed)	1.723	4.782	!			∠ clk_IBUF_BUI	FG	
DSP48E1			Site: D	SP48_X0Y4	11	➡ ff21_0/CLK		
Data Path								
Delay Type	ау Туре		ncr (ns)	cr (ns) Path (L		cation	Netlist Re	source(s)
DSP48E1 (Prop ds1 CL	SP48E1 (Prop_ds1_CLK_PCOUT[47])		(r) 4.206	8.988	Site	e: DSP48_X0Y41	ff21_0/PCOUT[47]	
net (fo=1, routed)	et (fo=1, routed)		0.002	0.002 8.990			√ ff21_0_n_106	
DSP48E1 (Prop_dsp48e1	dsp48e1 PCIN[47] P[0]) (r) 1.518		(r) 1.518	10.508	Site: DSP48_X0Y42		■ ff21_	1/P[0]
net (fo=2, routed)			0.893	11.401			→ ff21_1_n_105	
LUT2 (Prop lut2 I0 O)			(r) 0.124	11.525	Site	e: SLICE_X8Y102	■ ff2[31]_i_34/O	
net (fo=1, routed)			0.000	11.525			√ ff2[31]]_i_34_n_0
CARRY4 (Prop carry4 S[1] O[2])		(r) 0.578	12.103	Site	e: SLICE_X8Y102	ff2_reg[31]_i_17/O[2]	
net (fo=1, routed)			0.734	12.837			→ ff2_reg	g[31]_i_17_n_5
LUT5 (Prop lut5 I0 O)			(r) 0.301	13.138	Site	e: SLIX11Y103	■ ff2[31]_i_6/O	
net (fo=1, routed)			0.655	13.793			✓ ff2[31]_i_6_n_0
LUT6 (Prop lut6 I3 O)			(r) 0.124	13.917	Site	e: SLIX10Y103	■ ff2[31]_i_1_comp/O
net (fo=32, routed)			0.524	14.441			✓ ff2[31]_i_1_n_0
FDRE					Site	e: SLIX10Y102	ff2_re	g[14]/R
Arrival Time				14.441				

Рисунок 2.2 – Данные о времени распространения сигналов

Destination Clock Path								
Delay Type	Incr (ns)	Path (Location	Netlist Resource(s)				
(clock clock rise edge)	(r) 10.000	10.000						
	(r) 0.000	10.000	Site: N15	□ clk				
net (fo=0)	0.000	10.000		∠ clk				
IBUF (Prop ibuf I O)	(r) 0.814	10.814	Site: N15	clk_IBUF_inst/O				
net (fo=1, routed)	1.911	12.725		∠ clk_IBUF				
BUFG (Prop bufg I O)	(r) 0.091	12.816	Site: BUFTRL_X0Y0	clk_IBUF_BUFG_inst/O				
net (fo=99, routed)	1.515	14.331		∠ clk_IBUF_BUFG				
FDRE			Site: SLICE_X10Y102					
clock pessimism	0.337	14.668						
clock uncertainty	-0.035	14.633						
FDRE (Setup fdre C R)	-0.524	14.109	Site: SLICE_X10Y102	ff2_reg[14]				
Required Time		14.109						

Рисунок 2.3 – Данные о времени распространения сигналов

Из таблицы «Source Clock Path» получим значение T_{scd} , равное 4,782. Просуммировав значения столбца «Incr (ns)» таблицы «Data Path», получим значение T_{dd} , равное 9,659. Просуммировав значения столбца «Incr (ns)» с 3 по 7 строки таблицы «Destination Clock Path», получим значение T_{dcd} , равное 4,331.

Значение T_{su} , равное 0,524, представлено в предпоследней строке таблицы «Destination Clock Path».

Подставим данные значения в Формулу 2.1. Получим значение Slack в Формуле 2.2.

$$Slack = 4,331 + 10 - 0,524 - 4,782 - 9,659 = -0,634$$
 (2.2)

Вычисленный вручную Slack отличается от значения, рассчитанного в Vivado, на 0,302, потому что в Vivado дополнительно учитываются значения «clock pessimism» и «clock uncertainty».

2.3 Ручной расчёт показателя Slack по Hold

Slack по Hold рассчитывается по Формуле 2.3.

$$Slack = T_{scd} + T_{dd} - T_{dcd} - T_h (2.3)$$

где T_{dcd} – время распространения синхросигнала до второго триггера,

 T_{clk} – период синхросигнала,

 T_h – время Hold триггера,

 T_{scd} — время распространения синхросигнала до первого триггера,

 T_{dd} – время распространения данных.

Посчитаем показатель Slack для одиннадцатого пути по данным, предоставленным в Vivado (Рисунки 2.4 и 2.5).

Source Clock Path									
Delay Type	Incr (r	ns)	Path ((ns) Loca		cation	N	etlist Resource(s)	
(clock clock rise edge)	(r) 0.	000	0.0	000					
	(r) 0.0	000	0.0	000	Sit	e: N15			
net (fo=0)	0.0	000	0.0	000				∕ clk	
IBUF (Prop ibuf I O)	(r) 0.	177	0.	177	Site: N15		clk_IBUF_inst/O		
net (fo=1, routed)	0.0	640	0.8	317			7	clk_IBUF	
BUFG (Prop bufg I O)	(r) 0.	026	0.8	343	Sit	e: BUFTRL_X0Y0	<	clk_IBUF_BUFG_inst/O	
net (fo=99, routed)	0.	574	1.4	416			7	clk_IBUF_BUFG	
FDRE					Sit	e: SLICE_X13Y99		ffb_reg[7]/C	
Data Path									
Delay Type	elay Type Incr		r (ns)	s) Path		Location		Netlist Resource(s)	
FDRE (Prop fdre C Q)		(r)	0.141	1.5	557 Site: SLICE_X13Y9		99	9 (ffb_reg[7]/Q	
net (fo=1, routed)			0.157 1		14			→ ffb[7]	
LUT2 (Prop lut2 I1 O)		(r)	0.045	1.7	59	Site: SLICE_X14Y9		8 (ff2[12]_i_6/O	
net (fo=1, routed)			0.000	1.7	59			√ ff2[12]_i_6_n_0	
CARRY4 (Propy4 S[3]	O[3])	(r)	0.064	1.8	23	Site: SLICE_X14Y9	98	ff2_reg[12]_i_4/O[3]	
net (fo=5, routed)			0.121	1.9	44			→ ff210_in[7]	
LUT5 (Prop lut5 I3 O)		(r)	(r) 0.111 2.		55	Site: SLICE_X13Y9		9 f f2[10]_i_2/O	
net (fo=4, routed)			0.259 2.3		14			√ ff2[10]_i_2_n_0	
LUT6 (Prop lut6 I5 O)		(r)	0.045	2.3	59	Site: SLIX13Y10)3	■ ff2[7]_i_1/O	
net (fo=1, routed)			0.000	2.3	59			→ ff2[7]_i_1_n_0	
FDRE						Site: SLIX13Y10)3		
Arrival Time				2.3	59				

Рисунок 2.4 – Данные о времени распространения сигналов

Destination Clock Path									
Delay Type	Incr (ns)	Path	Location	Netlist Resource(s)					
(clock clock rise edge)	(r) 0.000	0.000							
	(r) 0.000	0.000	Site: N15						
net (fo=0)	0.000	0.000		∠ clk					
IBUF (Prop ibuf I O)	(r) 0.365	0.365	Site: N15	clk_IBUF_inst/O					
net (fo=1, routed)	0.695	1.060		∠ clk_IBUF					
BUFG (Prop bufg I O)	(r) 0.029	1.089	Site: BUFTRL_X0Y0	clk_IBUF_BUFG_inst/O					
net (fo=99, routed)	0.841	1.931		∠ clk_IBUF_BUFG					
FDRE			Site: SLICE_X13Y103						
clock pessimism	-0.246	1.684							
FDRE (Hold fdre C D)	0.091	1.775	Site: SLICE_X13Y103	## ff2_reg[7]					
Required Time		1.775							

Рисунок 2.5 – Данные о времени распространения сигналов

Из таблицы «Source Clock Path» получим значение T_{scd} , равное 1,416. Просуммировав значения столбца «Incr (ns)» таблицы «Data Path», получим значение T_{dd} , равное 0,943. Просуммировав значения столбца «Incr (ns)» с 3 по 7 строки таблицы «Destination Clock Path», получим значение T_{dcd} , равное 1,931.

Значение T_h , равное 0,091, представлено в предпоследней строке таблицы «Destination Clock Path».

Подставим данные значения в Формулу 2.3. Получим значение Slack в Формуле 2.4.

$$Slack = 1,416 + 0,943 - 1,931 - 0,091 = 0,337$$
 (2.4)

Вычисленный вручную Slack отличается от значения, рассчитанного в Vivado, на 0,247, потому что в Vivado дополнительно учитываются значение «clock pessimism».

2.4 Гистограммы Slack по Setup и Hold

Гистограммы Slack по Setup и Hold представлены на Рисунке 2.6 и Рисунке 2.7 соответственно.

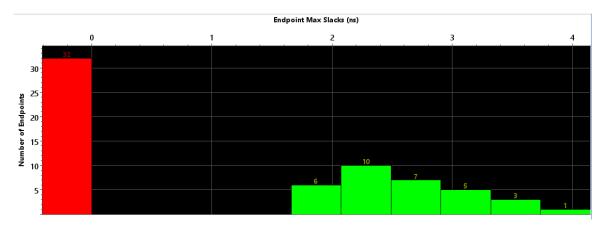


Рисунок 2.6 – Гистограмма Slack по Setup

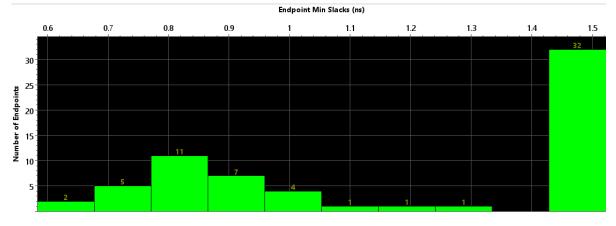


Рисунок 2.7 – Гистограмма Slack по Hold

ЗАКЛЮЧЕНИЕ

В ходе практической работы произведен расчёт для параметров WNS (Worst Negative Slack) и WHS (Worst Hold Slack) при анализе по Setup и по Hold для спроектированного устройства в САПР Vivado, произведен ручной расчет тех же параметров, рассмотрены Slack гистограммы для анализа по Setup и по Hold, в соответствии с персональным вариантом.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

- 1. Методические указания по ПР № 2 URL: https://online-edu.mirea.ru/pluginfile.php?file=%2F1225653%2Fmod_assign%2Fintroattachment% 2F0%2F%D0%9F%D1%80%D0%B5%D0%B7%D0%B5%D0%BD%D1%82%D0%B0%D1%86%D0%B8%D1%8F_%D0%9F%D1%80%D0%B0%D0%BA%D1%8 2%D0%B8%D0%BA%D0%B0_2.pptx&forcedownload=1 (Дата обращения: 12.03.2024).
- 2. Смирнов С.С. Информатика [Электронный ресурс]: Методические указания по выполнению практических и лабораторных работ / С.С. Смирнов М., МИРЭА Российский технологический университет, 2018. 1 электрон. опт. диск (CD-ROM).
- 3. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. М.: Горячая линия Телеком, 2021. 538 с.: ил.