



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования
«МИРЭА - Российский технологический университет»

РТУ МИРЭА

Институт Информационных Технологий
Кафедра Вычислительной Техники (ВТ)

ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ № 2

«Основы статического временного анализа»

по дисциплине

«Схемотехника устройств компьютерных систем»

Выполнил студент группы
ИВБО-11-23

Туктаров Т.А.

Принял ассистент кафедры ВТ

Дуксин Н.А.

Практическая работа выполнена

«__»_____2025 г.

«Зачтено»

«__»_____2025 г.

Москва 2025

АННОТАЦИЯ

Данная работа включает в себя 10 рисунков, 2 листинга и 4 формулы.
Количество страниц в работе — 15.

СОДЕРЖАНИЕ

| | |
|--|----|
| Введение..... | 4 |
| 1 Реализация модуля согласно персональному варианту | 5 |
| 1.1 Реализация функции и анализ задействованных для этого аппаратных ресурсов..... | 5 |
| 1.2 Создание файла проектных ограничений | 6 |
| 2 Анализ показателя Slack..... | 7 |
| 2.1 Значения WNS и WHS, рассчитанные в Vivado | 7 |
| 2.2 Ручной расчёт показателя Slack по Setup | 7 |
| 2.3 Ручной расчёт показателя Slack по Hold | 10 |
| 2.4 Гистограммы Slack по Setup и Hold | 12 |
| ЗАКЛЮЧЕНИЕ | 14 |
| СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ | 15 |

ВВЕДЕНИЕ

В данной практической работе необходимо согласно персональному варианту произвести расчёт для параметра WNS и WHS (для случая анализа по Hold и по Setup) для спроектированного устройства.

В связи с главенством синхронного стиля проектирования (подробнее этот вопрос освещается в курсе лекций) практически любое устройство можно представить как набор синхронных триггеров, соединенных линией тактового сигнала, а также линией распространения данных с наличием комбинационной логики на пути следования от одного триггера до другого.

Функциональное предназначение схем закладывается на уровне RTL проектирования и может быть проверено в ходе верификации посредством функциональной симуляции. Если речь идёт о соответствии итогового устройства заявленным характеристикам производительности, например, возможности работать на заявленной тактовой частоте, то функциональной симуляции становится недостаточно и возникает необходимость прибегнуть к методам статического временного анализа.

1 РЕАЛИЗАЦИЯ МОДУЛЯ СОГЛАСНО ПЕРСОНАЛЬНОМУ ВАРИАНТУ

1.1 Реализация функции и анализ задействованных для этого аппаратных ресурсов

Название модуля верхнего уровня – «main». Модуль имеет 16-разрядные входные порты «a», «b», «c» и «d», входным «clk» - синхросигнал, а также 16-разрядный выходной порт «out». С помощью оператора непрерывного присваивания «assign» к выходному порту «res» подключается результат выражения на Рисунке 1.1.

| | | | |
|----|----------|----------------|-----------------------|
| 21 | Туктаров | Тимур Азатович | $a * b \gg c / d + e$ |
|----|----------|----------------|-----------------------|

Рисунок 1.1 – Выражение из варианта

Далее объявляются 16 битные регистры «a_r», «b_r», «c_r», «d_r», «e_r» и «out». С помощью оператора непрерывного присваивания «assign» на выход «out» подаётся значение «out».

Дальше в блоке «always», работающему по переднему фронту синхросигнала, регистрам «a_r», «b_r», «c_r», «d_r», «e_r» присваиваются соответствующие входные значения «a», «b», «c» и «d», а регистру «out» присваивается результат выражения из варианта.

Код модуля представлен в Листинге 1.1.

Листинг 1.1 – Реализация модуля верхнего уровня

```
`timescale 1ns / 1ps

module main(
    input  [15:0] a, b, c, d, e,
    input  clk,
    output reg [16:0] out
);
    reg [15:0] a_r, b_r, c_r, d_r, e_r;
    always@(posedge clk)
    begin
        a_r <= a;
        b_r <= b;
        c_r <= c;
        d_r <= d;
        e_r <= e;

    end
    always@(posedge clk)
    begin
        out <= a_r * b_r >> c_r/d_r + e_r;
    end
endmodule
```

1.2 Создание файла проектных ограничений

В файле проектных ограничений создаётся объект тактового генератора с частотой 100 МГц.

Содержимое файла представлено в Листинге 1.2.

Листинг 1.2 – Файл проектных ограничений

```
create_clock -add -name clock -period 10.00 -waveform {0 5} [ get_ports { clk
} ]
```

2 АНАЛИЗ ПОКАЗАТЕЛЯ SLACK

2.1 Значения WNS и WHS, рассчитанные в Vivado

Произведем синтез и имплементацию, чтобы получить значения WNS и WHS. Результат представлен на Рисунке 2.1.

| Setup | Hold | Pulse Width |
|---|----------------------------------|---|
| Worst Negative Slack (WNS): -27.397 ns | Worst Hold Slack (WHS): 0.959 ns | Worst Pulse Width Slack (WPWS): 4.500 ns |
| Total Negative Slack (TNS): -461.162 ns | Total Hold Slack (THS): 0.000 ns | Total Pulse Width Negative Slack (TPWS): 0.000 ns |
| Number of Failing Endpoints: 17 | Number of Failing Endpoints: 0 | Number of Failing Endpoints: 0 |
| Total Number of Endpoints: 17 | Total Number of Endpoints: 17 | Total Number of Endpoints: 73 |

Timing constraints are not met.

Рисунок 2.1 – Значения WNS и WHS схемы

2.2 Ручной расчёт показателя Slack по Setup

Slack по Setup рассчитывается по Формуле 2.1.

$$Slack = T_{acd} + T_{clk} - T_{su} - T_{scd} - T_{dd} + T_{clock\ uncertainty} + T_{clock\ pessimism} \quad (2.1)$$

где T_{acd} – время распространения синхросигнала до второго триггера,

T_{clk} – период синхросигнала,

T_{su} – время Setup триггера,

T_{scd} – время распространения синхросигнала до первого триггера,

T_{dd} – время распространения данных.

Посчитаем показатель Slack для первого пути по данным, предоставленным в Vivado (Рисунки 2.2 и 2.5).

| Source Clock Path | | | | |
|-------------------------|-----------|----------|----------------------|---------------------|
| Delay Type | Incr (ns) | Path ... | Location | Netlist Resource(s) |
| (clock clock rise edge) | (r) 0.000 | 0.000 | | |
| | (r) 0.000 | 0.000 | Site: P15 | clk |
| net (fo=0) | 0.000 | 0.000 | | clk |
| IBUF (Prop_ibuf_1_O) | (r) 0.951 | 0.951 | Site: P15 | clk_IBUF_inst/O |
| net (fo=1, routed) | 1.966 | 2.916 | | clk_IBUF |
| BUFG (Prop_bufg_1_O) | (r) 0.096 | 3.012 | Site: BUF...TRL_X0Y0 | clk_IBUF_BUFG_in |
| net (fo=73, routed) | 1.630 | 4.643 | | clk_IBUF_BUFG |
| FDRE | | | Site: SLICE_X5Y1 | d_r_reg[5]/C |

Рисунок 2.2 – Данные о времени распространения сигналов в source триггере

| Data Path | | | |
|--|-----------|-----------|------------------|
| Delay Type | Incr (ns) | Path (ns) | Location |
| FDRE (Prop fdre C Q) | (f) 0.456 | 5.099 | Site: SLICE_X5Y1 |
| net (fo=17, routed) | 0.714 | 5.812 | |
| LUT1 (Prop lut1 I0 O) | (r) 0.124 | 5.936 | Site: SLICE_X6Y1 |
| net (fo=1, routed) | 0.000 | 5.936 | |
| CARRY4 (Prop...S[1] CO[3]) | (r) 0.533 | 6.469 | Site: SLICE_X6Y1 |
| net (fo=1, routed) | 0.000 | 6.469 | |
| CARRY4 (Pro... CI CO[3]) | (r) 0.117 | 6.586 | Site: SLICE_X6Y2 |
| net (fo=1, routed) | 0.000 | 6.586 | |
| CARRY4 (Pro... CI CO[3]) | (r) 0.117 | 6.703 | Site: SLICE_X6Y3 |
| net (fo=1, routed) | 0.000 | 6.703 | |
| CARRY4 (Pro... CI CO[0]) | (r) 0.254 | 6.957 | Site: SLICE_X6Y4 |
| net (fo=20, routed) | 0.765 | 7.722 | |
| CARRY4 (Prop...INIT CO[3]) | (r) 0.823 | 8.545 | Site: SLICE_X7Y1 |
| net (fo=1, routed) | 0.000 | 8.545 | |
| CARRY4 (Pro... CI CO[3]) | (r) 0.114 | 8.659 | Site: SLICE_X7Y2 |
| net (fo=1, routed) | 0.000 | 8.659 | |
| CARRY4 (Pro... CI CO[3]) | (r) 0.114 | 8.773 | Site: SLICE_X7Y3 |
| net (fo=1, routed) | 0.000 | 8.773 | |
| CARRY4 (Pro... CI CO[3]) | (r) 0.114 | 8.887 | Site: SLICE_X7Y4 |
| net (fo=1, routed) | 0.000 | 8.887 | |
| CARRY4 (Pro... CI CO[1]) | (r) 0.157 | 9.044 | Site: SLICE_X7Y5 |
| net (fo=21, routed) | 0.882 | 9.926 | |
| LUT3 (Prop lut3 I0 O) | (r) 0.329 | 10.255 | Site: SLICE_X8Y4 |
| net (fo=1, routed) | 0.000 | 10.255 | |
| CARRY4 (Prop...S[1] CO[3]) | (r) 0.533 | 10.788 | Site: SLICE_X8Y4 |
| net (fo=1, routed) | 0.000 | 10.788 | |
| CARRY4 (Pro... CI CO[3]) | (r) 0.117 | 10.905 | Site: SLICE_X8Y5 |
| net (fo=1, routed) | 0.000 | 10.905 | |
| CARRY4 (Pro... CI CO[3]) | (r) 0.117 | 11.022 | Site: SLICE_X8Y6 |
| net (fo=1, routed) | 0.000 | 11.022 | |
| CARRY4 (Pro... CI CO[3]) | (r) 0.117 | 11.139 | Site: SLICE_X8Y7 |
| net (fo=1, routed) | 0.000 | 11.139 | |
| CARRY4 (Pro... CI CO[1]) | (r) 0.157 | 11.296 | Site: SLICE_X8Y8 |

Рисунок 2.3 – Таблица data path

| | | | |
|---------------------|--------|--|--|
| Arrival Time | 41.626 | | |
|---------------------|--------|--|--|

Рисунок 2.4 – Arrival time из таблицы data path

| Destination Clock Path | | | | |
|--|------------|------------|----------------------|----------------------|
| Delay Type | Incr (ns) | Path (...) | Location | Netlist Resource(s) |
| (clock clock rise edge) | (r) 10.000 | 10.000 | | |
| | (r) 0.000 | 10.000 | Site: P15 | clk |
| net (fo=0) | 0.000 | 10.000 | | clk |
| IBUF (Prop ibuf I O) | (r) 0.817 | 10.817 | Site: P15 | clk_IBUF_inst/O |
| net (fo=1, routed) | 1.862 | 12.679 | | clk_IBUF |
| BUFG (Prop bufg I O) | (r) 0.091 | 12.770 | Site: BUF...TRL_X0Y0 | clk_IBUF_BUFG_inst/O |
| net (fo=38, routed) | 1.522 | 14.293 | | clk_IBUF_BUFG |
| DSP48E1 | | | Site: DSP48_X0Y22 | out_reg/CLK |
| clock pessimism | 0.242 | 14.535 | | |
| clock uncertainty | -0.035 | 14.499 | | |
| DSP48E1 (Setup ...8e1 CLK A[14]) | -3.722 | 10.777 | Site: DSP48_X0Y22 | out_reg |
| Required Time | | 10.777 | | |

Рисунок 2.5 – Данные о времени распространения сигналов в destination триггере

Из таблицы «Source Clock Path» получим значение T_{scd} , равное 4,643. Просуммировав значения столбца «Incr (ns)» таблицы «Data Path», получим значение T_{dd} , равное 37,197. Просуммировав значения столбца «Incr (ns)» с 3 по 7 строки таблицы «Destination Clock Path», получим значение T_{dcd} , равное 4,201. Значение T_{su} , равное 0,032, представлено в предпоследней строке таблицы «Destination Clock Path».

Подставим данные значения в Формулу 2.1. Получим значение Slack в Формуле 2.2.

$$\begin{aligned} Slack &= 4,201 + 10 - 0,032 - 4,643 - 37,197 - 0,035 + 0,242 \\ &= -27,464 \end{aligned} \quad (2.2)$$

Вычисленный вручную Slack (показан на Рисунке 2.4) приблизительно равен значению, рассчитанному в Vivado.

| | |
|-------|---------------------------|
| Slack | -27.397ns |
|-------|---------------------------|

Рисунок 2.4 – Показатель Slack вычисленный в Vivado

2.3 Ручной расчёт показателя Slack по Hold

Slack по Hold рассчитывается по Формуле 2.3.

$$Slack = T_{scd} + T_{dd} - T_{dcd} - T_h - T_{clock\ pessimism} \quad (2.3)$$

где T_{dcd} – время распространения синхросигнала до второго триггера,

T_{clk} – период синхросигнала,

T_h – время Hold триггера,

T_{scd} – время распространения синхросигнала до первого триггера,

T_{dd} – время распространения данных.

Посчитаем показатель Slack для одиннадцатого пути по данным, предоставленным в Vivado (Рисунок 2.5).

Summary

| | |
|-----------------|--|
| Name | Path 11 |
| Slack (Hold) | 0.959ns |
| Source | e_r_reg[4]/C (rising edge-triggered cell FDRE clocked by clock {rise@0.000ns fall@5.000ns period=10.000ns}) |
| Destination | out_reg[16]/D (rising edge-triggered cell FDRE clocked by clock {rise@0.000ns fall@5.000ns period=10.000ns}) |
| Path Group | clock |
| Path Type | Hold (Min at Fast Process Corner) |
| Requirement | 0.000ns (clock rise@0.000ns - clock rise@0.000ns) |
| Data Path Delay | 1.058ns (logic 0.384ns (36.280%) route 0.674ns (63.720%)) |
| Logic Levels | 3 (CARRY4=1 LUT2=1 LUT6=1) |
| Clock ... Skew | 0.007ns |

Source Clock Path

| Delay Type | Incr (ns) | Path (ns) | Location | Netlist Resource(s) |
|-------------------------|-----------|-----------|----------------------|----------------------|
| (clock clock rise edge) | (r) 0.000 | 0.000 | | |
| | (r) 0.000 | 0.000 | Site: P15 | clk |
| net (fo=0) | 0.000 | 0.000 | | clk |
| IBUF (Prop_ibuf I O) | (r) 0.180 | 0.180 | Site: P15 | clk_IBUF_inst/O |
| net (fo=1, routed) | 0.631 | 0.811 | | clk_IBUF |
| BUFG (Prop_bufg I O) | (r) 0.026 | 0.837 | Site: BUF...TRL_X0Y0 | clk_IBUF_BUFG_inst/O |
| net (fo=73, routed) | 0.587 | 1.424 | | clk_IBUF_BUFG |
| FDRE | | | Site: SLICE_X6Y57 | e_r_reg[4]/C |

Data Path

| Delay Type | Incr (ns) | Path (ns) | Location | Netlist Resource(s) |
|--------------------------------|-----------|-----------|--------------------|----------------------|
| FDRE (Prop_fdre C Q) | (r) 0.164 | 1.588 | Site: SLICE_X6Y57 | e_r_reg[4]/Q |
| net (fo=1, routed) | 0.328 | 1.915 | | e_r[4] |
| LUT2 (Prop_lut2 I1 O) | (r) 0.045 | 1.960 | Site: SLICE_X8Y58 | out[16]_i_20/O |
| net (fo=1, routed) | 0.000 | 1.960 | | out[16]_i_20_n_0 |
| CARRY4 (Prop_carry4 S[0] O[0]) | (f) 0.070 | 2.030 | Site: SLICE_X8Y58 | out_reg[16]_i_3/O[0] |
| net (fo=21, routed) | 0.347 | 2.377 | | out1__0[4] |
| LUT6 (Prop_lut6 I2 O) | (r) 0.105 | 2.482 | Site: SLICE_X11Y60 | out[16]_i_1/O |
| net (fo=1, routed) | 0.000 | 2.482 | | p_0_in[16] |
| FDRE | | | Site: SLICE_X11Y60 | out_reg[16]/D |
| Arrival Time | | 2.482 | | |

Destination Clock Path

| Delay Type | Incr (ns) | Path (ns) | Location | Netlist Resource(s) |
|-------------------------|-----------|-----------|----------------------|----------------------|
| (clock clock rise edge) | (r) 0.000 | 0.000 | | |
| | (r) 0.000 | 0.000 | Site: P15 | clk |
| net (fo=0) | 0.000 | 0.000 | | clk |
| IBUF (Prop_ibuf I O) | (r) 0.369 | 0.369 | Site: P15 | clk_IBUF_inst/O |
| net (fo=1, routed) | 0.685 | 1.053 | | clk_IBUF |
| BUFG (Prop_bufg I O) | (r) 0.029 | 1.082 | Site: BUF...TRL_X0Y0 | clk_IBUF_BUFG_inst/O |
| net (fo=73, routed) | 0.827 | 1.910 | | clk_IBUF_BUFG |
| FDRE | | | Site: SLICE_X11Y60 | out_reg[16]/C |
| clock pessimism | -0.479 | 1.431 | | |
| FDRE (Hold_fdre C D) | 0.092 | 1.523 | Site: SLICE_X11Y60 | out_reg[16] |
| Required Time | | 1.523 | | |

Рисунок 2.5 – Данные о времени распространения сигналов

Из таблицы «Source Clock Path» получим значение T_{scd} , равное 1,424. Просуммировав значения столбца «Incr (ns)» таблицы «Data Path», получим значение T_{dd} , равное 1,059. Просуммировав значения столбца «Incr (ns)» с 3 по 7 строки таблицы «Destination Clock Path», получим значение T_{dcd} , равное 1,91. Значение T_h , равное 0,092, представлено в предпоследней строке таблицы «Destination Clock Path». Значение «Clock pessimism» равняется -0.479.

Подставим данные значения в Формулу 2.3. Получим значение Slack в Формуле 2.4.

$$Slack = 1,424 + 1,059 - 1,91 - 0,092 + 0,479 = 0,96 \quad (2.4)$$

Вычисленный вручную Slack сходится со значением, рассчитанным в Vivado,.

2.4 Гистограммы Slack по Setup и Hold

Гистограммы Slack по Setup и Hold представлены на Рисунке 2.6 и Рисунке 2.7 соответственно.

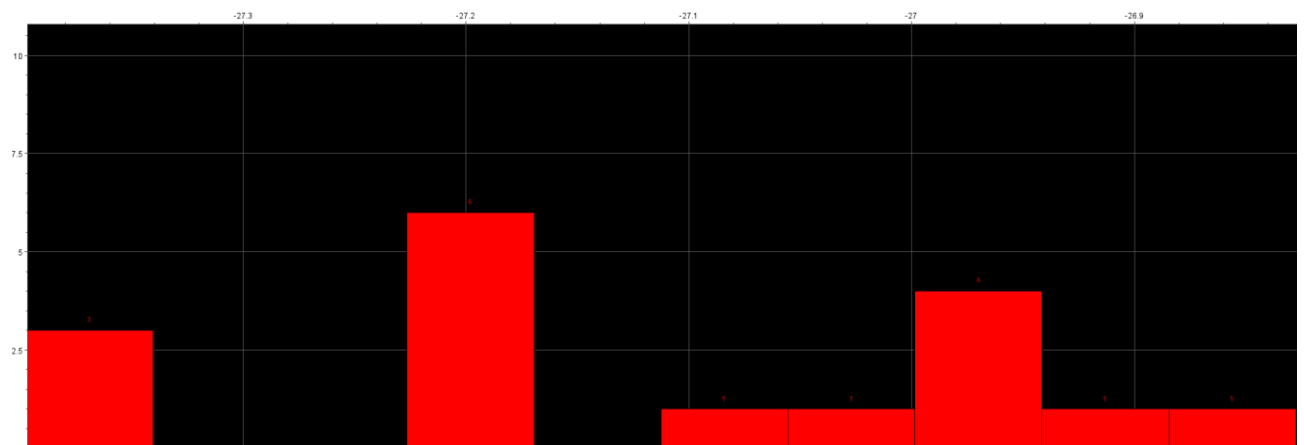


Рисунок 2.6 – Гистограмма Slack по Setup

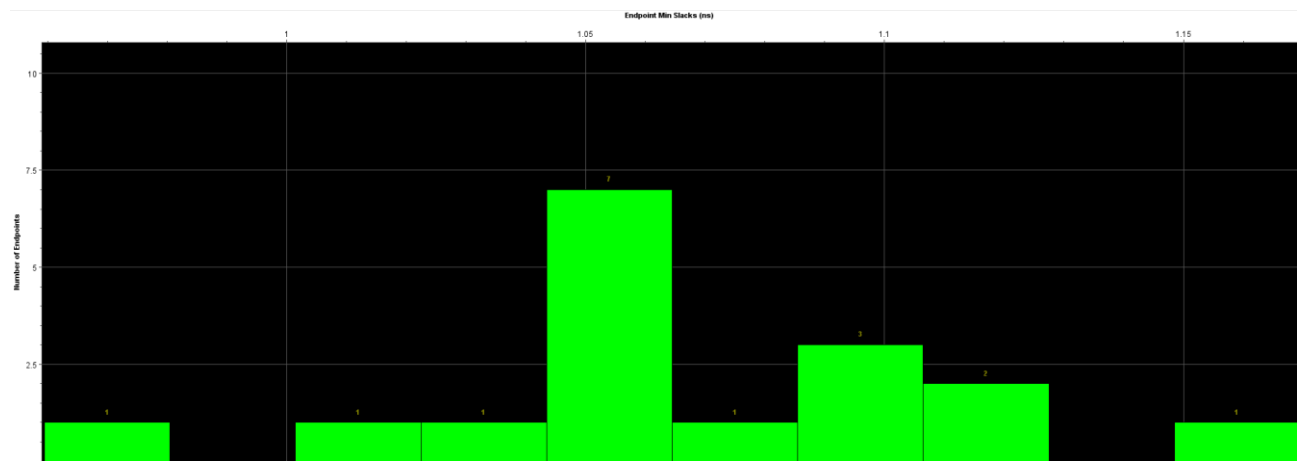


Рисунок 2.7 – Гистограмма Slack по Hold

ЗАКЛЮЧЕНИЕ

В ходе практической работы произведен расчёт для параметров WNS (Worst Negative Slack) и WHS (Worst Hold Slack) при анализе по Setup и по Hold для спроектированного устройства в САПР Vivado, произведен ручной расчет тех же параметров, рассмотрены Slack гистограммы для анализа по Setup и по Hold, в соответствии с персональным вариантом.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Тарасов И. Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. М.: Издательство: Горячая линия - Телеком, 2019 г. ISBN: 978-5-9912-0802-4
2. Орлов С.А. Организация ЭВМ и систем: Учебник для вузов. 3-е изд. Стандарт третьего поколения / С.А. Орлов, Б.Я. Цилькер. – Санкт-Петербург: Питер, 2014. - 688 с. - ISBN 978-5-496-01145-7.
3. Паттерсон Д., Хеннесси Дж. Архитектура компьютера и проектирование компьютерных систем. 4-е изд. СПб.: Питер, 2012. – ISBN 978- 5-459-00291-1.
4. Рабан, Жан.М., Чандракасан, А., Николич, Б. Цифровые интегральные схемы. Методология проектирования. 2-е изд.: Пер. с англ. – М.: ООО «И.Д. Вильямс», 2016. – 912 с.: ил. – Параллит. англ. ISBN 978-5-8459- 1116-2 (рус.).
5. Шафер Д., Фатрелл Р., Шафер Л. Управление программными проектами: достижение оптимального качества при минимуме затрат: Пер. с англ. – М.: Издательский дом «Вильямс», 2004. – 1136 с.: ил. – Парал.тит.англ.