



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«МИРЭА - Российский технологический университет»

**РТУ МИРЭА**

---

Институт Информационных Технологий  
Кафедра Вычислительной Техники (ВТ)

**ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ № 6**

«Проблемы тактирования»

по дисциплине

«Схемотехника устройств компьютерных систем»

Выполнил студент группы  
ИВБО-08-22

Стецюк В.В.

Принял ассистент кафедры ВТ

Дуксин Н.А.

Практическая работа выполнена

«\_\_»\_\_\_\_\_2024 г.

«Зачтено»

«\_\_»\_\_\_\_\_2024 г.

Москва 2024

## **АННОТАЦИЯ**

Данная работа включает в себя 4 рисунка и 2 листинга. Количество страниц в работе — 10.

# СОДЕРЖАНИЕ

ВВЕДЕНИЕ .....	4
1 ДОБАВЛЕНИЕ IP-ЯДРА PLL И ММСМ .....	5
2 СОЗДАНИЕ И ТЕСТИРОВАНИЕ МОДУЛЯ ВЕРХНЕГО УРОВНЯ .....	7
2.1 Создание модуля верхнего уровня .....	7
2.2 Верификация модуля верхнего уровня .....	7
ЗАКЛЮЧЕНИЕ .....	9
СПИСОК ИСПОЛЬЗУЕМЫХ ИСТОЧНИКОВ .....	10

## **ВВЕДЕНИЕ**

В практической работе рассматриваются вопросы организации тактовых ресурсов ПЛИС, выделяются особенности блоков ресинхронизации и способов их применения, а также изучаются принципы построения проектных ограничений для организации грамотного размещения проекта с точки зрения временных ограничений, а также приемы проектирования, позволяющие уменьшить негативное воздействие эффектов, связанных с распространением сигнала.

# 1 ДОБАВЛЕНИЕ IP-ЯДРА PLL И ММСМ

В проект было добавлено IP-ядро PLL (Рисунок 1.1).

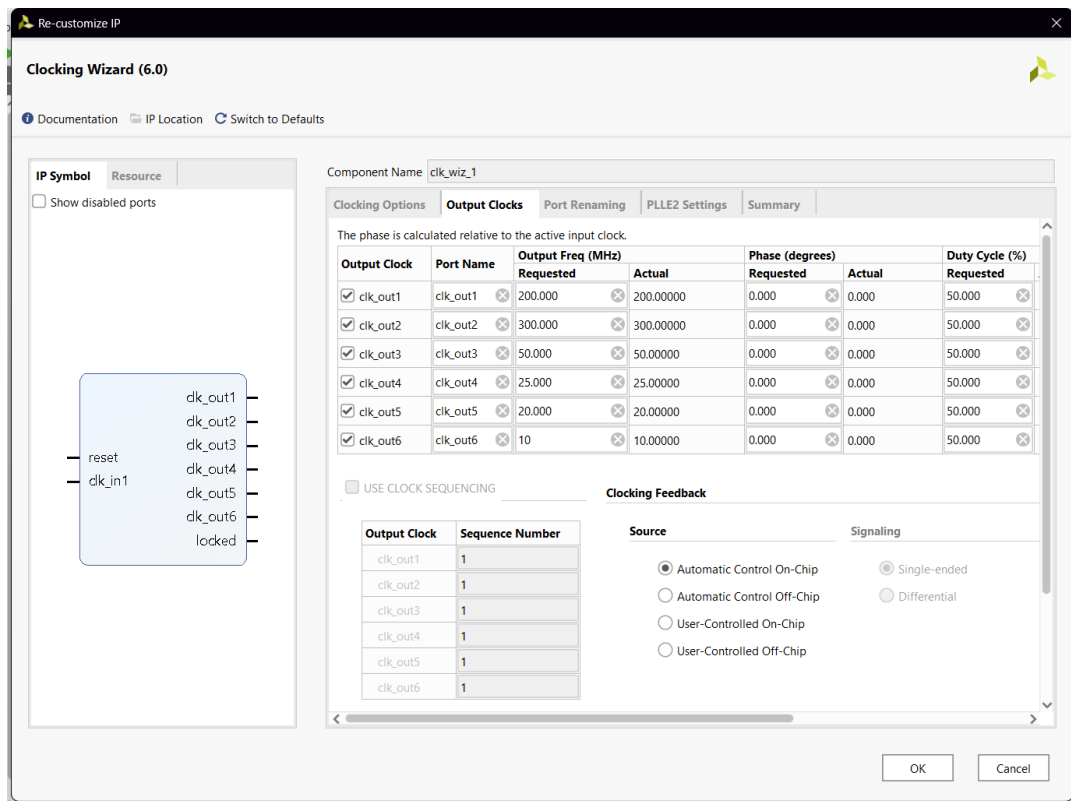


Рисунок 1.1 – Параметры IP-ядра PLL

Далее было добавлено IP-ядро ММСМ (Рисунок 1.2).

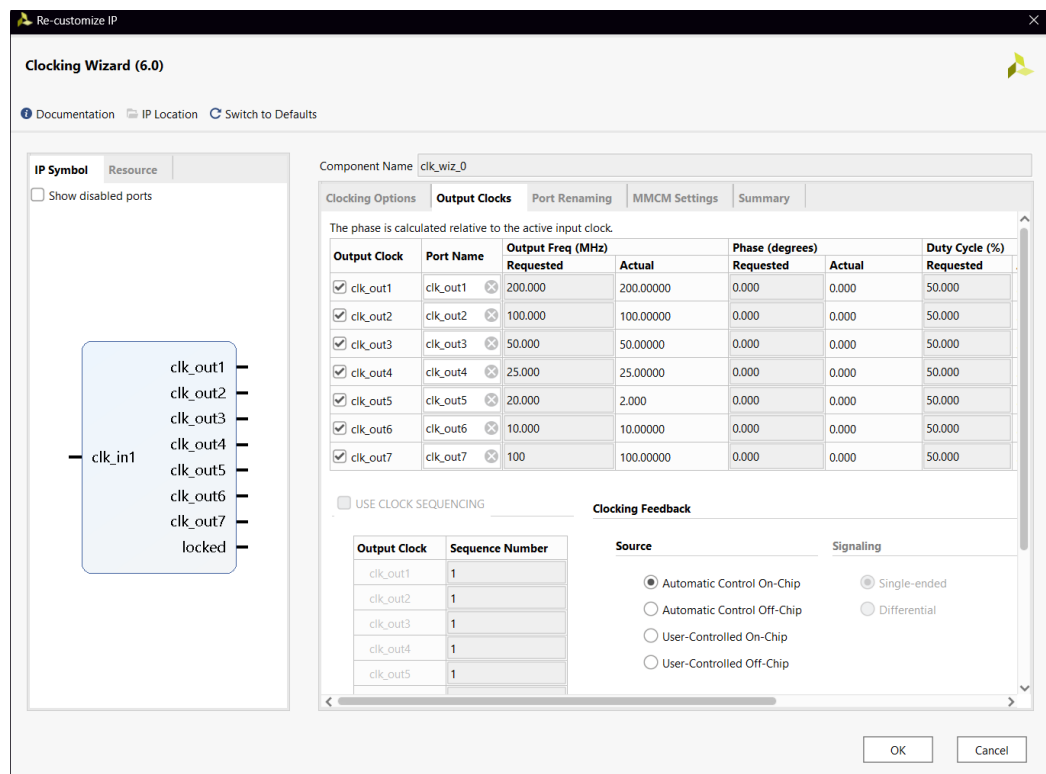


Рисунок 1.2 – Параметры IP-ядра ММСМ

Для достижения заданных параметров было разблокировано редактирование параметров в разделе MMCM Settings и установлены следующие значения (Рисунок 1.3):

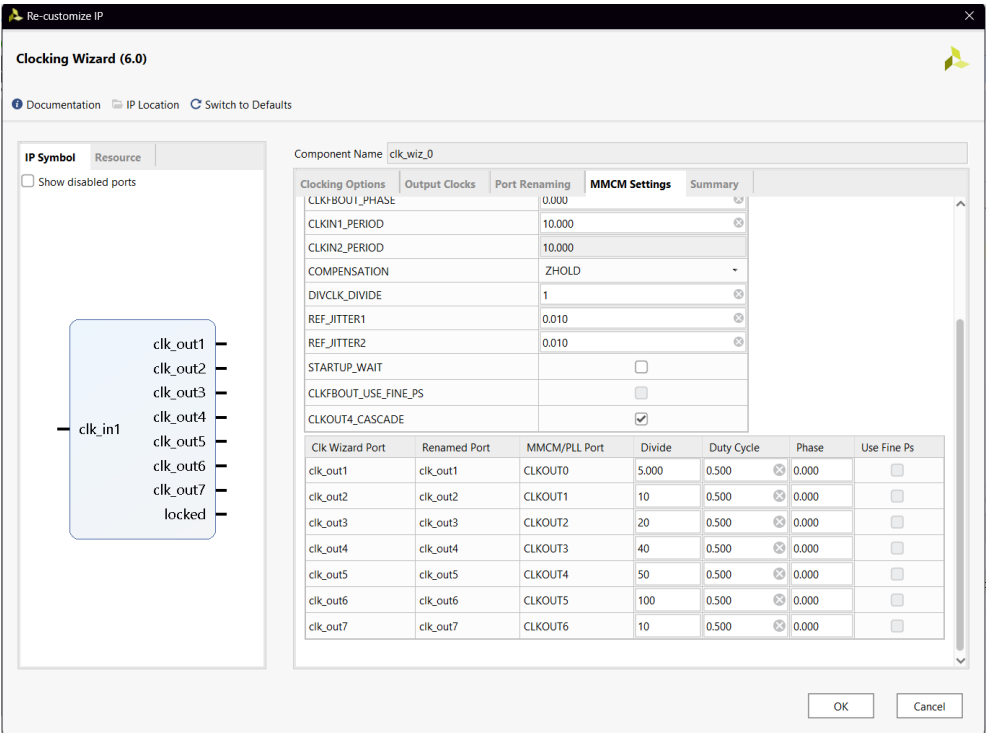


Рисунок 1.3 – Разблокированные настройки IP-ядра MMCM

## 2 СОЗДАНИЕ И ТЕСТИРОВАНИЕ МОДУЛЯ ВЕРХНЕГО УРОВНЯ

### 2.1 Создание модуля верхнего уровня

Был создан модуль, который включает в себя оба созданных IP-ядра. Код модуля верхнего уровня представлен на Листинге 2.1.

*Листинг 2.1 – Модуль верхнего уровня*

```
`timescale 1ns / 1ps

module top(
    input clk,
    output [6:0] mmcm_clk,
    output [5:0] pll_clk
);

wire mmcm_locked;
clk_wiz_0 mmcm (
    .clk_in1(clk),
    .clk_out1(mmcm_clk[0]),
    .clk_out2(mmcm_clk[1]),
    .clk_out3(mmcm_clk[2]),
    .clk_out4(mmcm_clk[3]),
    .clk_out5(mmcm_clk[4]),
    .clk_out6(mmcm_clk[5]),
    .clk_out7(mmcm_clk[6]),
    .locked(mmcm_locked)
);

wire pll_locked;
clk_wiz_1 pll (
    .clk_in1(clk),
    .clk_out1(pll_clk[0]),
    .clk_out2(pll_clk[1]),
    .clk_out3(pll_clk[2]),
    .clk_out4(pll_clk[3]),
    .clk_out5(pll_clk[4]),
    .clk_out6(pll_clk[5]),
    .locked(pll_locked)
);

endmodule
```

### 2.2 Верификация модуля верхнего уровня

Далее был создан тестовый модуль для верификации (Листинг 2.2).

*Листинг 2.1 – Модуль верхнего уровня*

```
`timescale 1ns / 1ps

module test();
```

### Продолжение Листинга 2.1

```
reg clk = 0;
always #5 clk <= ~clk;

wire [6:0] mmcm_clk;
wire [5:0] pll_clk;

top uut(
    .clk(clk),
    .mmcm_clk(mmcm_clk),
    .pll_clk(pll_clk)
);

endmodule
```

Результат верификации представлен на Рисунке 2.1.

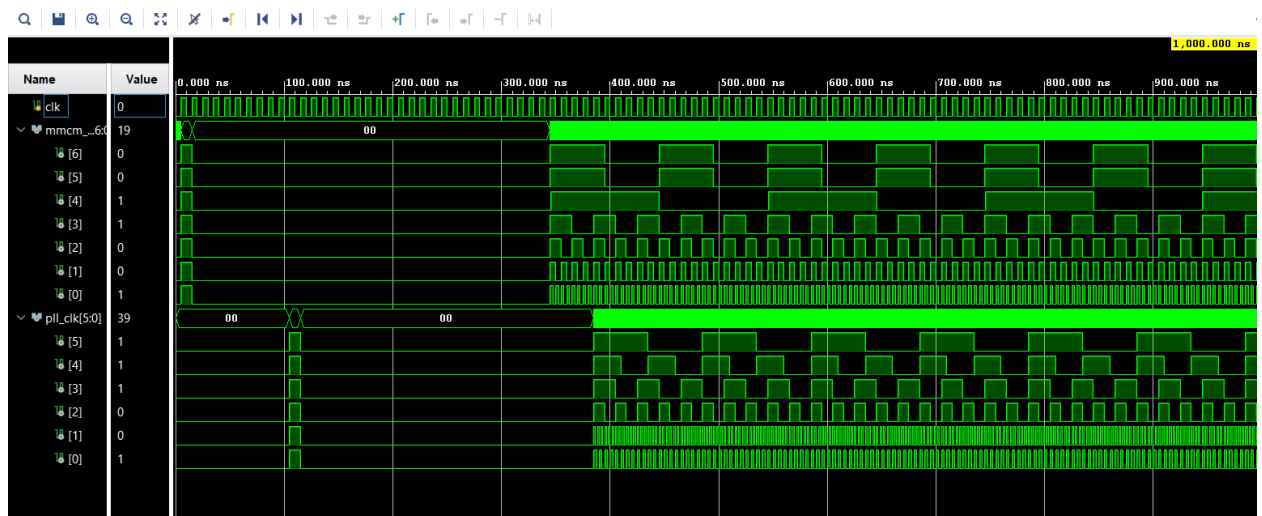


Рисунок 2.1 – Временная диаграмма тестового модуля

На временной диаграмме видно, что частоты всех выходных сигналов совпадают с необходимыми значениями.



## **ЗАКЛЮЧЕНИЕ**

В результате выполнения практической работы были изучены основные аспекты и способы распространения синхросигналов в проектах на базе ПЛИС, изучены структуры и способы применения блоков ресинхронизации.

## СПИСОК ИСПОЛЬЗУЕМЫХ ИСТОЧНИКОВ

1. Методические указания по ПР № 6 – [https://online-edu.mirea.ru/pluginfile.php?file=%2F1225654%2Fmod\\_assign%2Fintroattachmen%2F0%2F%D0%9F%D1%80%D0%B0%D0%BA%D1%82%D0%B8%D1%87%D0%B5%D1%81%D0%BA%D0%B0%D1%8F%20%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%B0%206.pdf&forcedownload=1](https://online-edu.mirea.ru/pluginfile.php?file=%2F1225654%2Fmod_assign%2Fintroattachmen%2F0%2F%D0%9F%D1%80%D0%B0%D0%BA%D1%82%D0%B8%D1%87%D0%B5%D1%81%D0%BA%D0%B0%D1%8F%20%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%B0%206.pdf&forcedownload=1)

(Дата обращения: 09.05.2024)

2. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. — М.: Горячая линия — Телеком, 2021. — 538 с.: ил.

3. Смирнов С.С. Информатика [Электронный ресурс]: Методические указания по выполнению практических и лабораторных работ / С.С. Смирнов — М., МИРЭА — Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).