



AGH

Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie

**WYDZIAŁ ELEKTROTECHNIKI, AUTOMATYKI,
INFORMATYKI I INŻYNIERII BIOMEDYCZNEJ**

KATEDRA INFORMATYKI STOSOWANEJ

Praca dyplomowa inżynierska

*Implementacja maszyny wirtualnej dla funkcyjnych języków
programowania wspierających przetwarzanie współbieżne.*

*Implementation of a virtual machine for functional programming
languages with support for concurrent computing.*

Autor:	<i>Kajetan Rzepecki</i>
Kierunek studiów:	<i>Informatyka</i>
Opiekun pracy:	<i>dr inż. Piotr Matyasik</i>

Kraków, 2013

*Oświadczam, świadomy odpowiedzialności karnej za poświadczenie nie-
prawdy, że niniejszą pracę dyplomową wykonałem osobiście i samodzielnie
i nie korzystałem ze źródeł innych niż wymienione w pracy.*

*Serdecznie dziękuję opiekunowi pracy
za wsparcie merytoryczne oraz dobre
rady edytorskie pomocne w tworzeniu
pracy.*

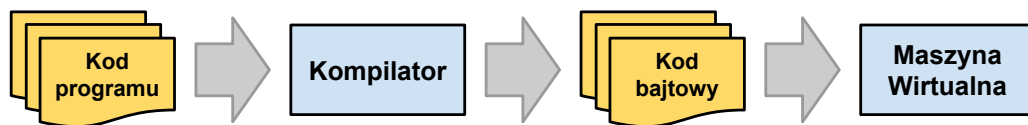
Spis treści

1. Wstęp	7
1.1. Motywacja pracy	7
1.2. Zawartość pracy	8
2. Architektura ThesisVM	11
2.1. Reprezentacja pośrednia programów (TVMIR)	11
2.2. Kompilacja kodu bajtowego	12
2.3. Interpretacja kodu bajtowego	13
2.4. Zarządzanie pamięcią	13
2.5. Przetwarzanie współbieżne	13
3. Interpreter kodu bajtowego	15
3.1. Implementacja obieteków prostych	15
3.2. Implementacja obiektów złożonych	16
3.3. Implementacja wbudowanych operatorów	16
3.4. Ewaluacja argumentów i aplikacja funkcji	16
3.5. Reprezentacja kodu bajtowego ThesisVM	16
3.6. Generacja kodu bajtowego ThesisVM	17
4. Model zarządzania pamięcią	19
4.1. Architektura wspólnej sterty	19
4.2. Implementacja alokatora obiektów	20
4.3. Kolekcja nieosiągalnych obiektów	20
4.4. Kolekcja obiektów cyklicznych	21
5. Model przetwarzania współbieżnego	23
5.1. Implementacja Modelu Aktorowego	23
5.2. Implementacja przesyłania wiadomości	24
5.3. Harmonogramowanie procesów	25
6. Podsumowanie	27
6.1. Leniwe zliczanie referencji	27

6.2. Przesyłanie wiadomości	27
Bibliografia	29
A. Przykładowe programy	33
B. Wizualizacja stanu maszyny wirtualnej	35
C. Spisy wbudowanych funkcji i operatorów	37
D. Spisy rysunków, fragmentów kodu i tablic	39

1. Wstęp

- Opisać temat pracy.
- Opisać czym jest maszyna wirtualna.



Rysunek 1.1: Schemat interakcji z Maszyną Wirtualną.

- Opisać czym jest przetwarzanie współbieżne w kontekście pracy.
- Wspomnieć o Modelu Aktorowym. [1, 2].
- Krótko opisać cel pracy - implementacja interpretera kodu bajtowego, GC i SMP.
- Wspomnieć o języku implementacji - język D. [3]

1.1. Motywacja pracy

- Sformułować problem do rozwiązania.
- Opisać krótko kod Erlanga prezentujący problem.
- Opisać konieczność kopiowania wiadomości w architekturze prywatnej sterty.
- Opisać sposób Erlanga na rozważany problem.
- Opisać problemy publicznej sterty (związane z GC).
- Opisać sposób w jaki ThesisVM ma je rozwiązać.

```
start() ->
    Data = file:read("file.json"),    %% <<"Dane ...">>
    transmogrify(Data).

transmogrify(Data) ->
    Pids = framework:spawn_bajilion_procs(fun do_stuff/1),
    JSON = json:decode(Data),          %% {[Dane ...]}
    framework:map_reduce(Pids, JSON).  %% $#@~@

do_stuff(JSON) ->
    %% Operacje na danych.
    result.
```

Listing 1: Fragment kodu prezentujący problem występujący w języku Erlang.

```
transmogrify(Data) ->
    Pids = framework:spawn_bajilion_procs(fun do_stuff/1),
    framework:map_reduce(Pids, Data).

do_stuff(Data) ->
    %% <<"Dane ...">>
    JSON = json:decode(Data), %% {[Dane ...]} * bajilion
    %% Operacje na danych.
    result.
```

Listing 2: Suboptymalne rozwiązanie problemu w języku Erlang.

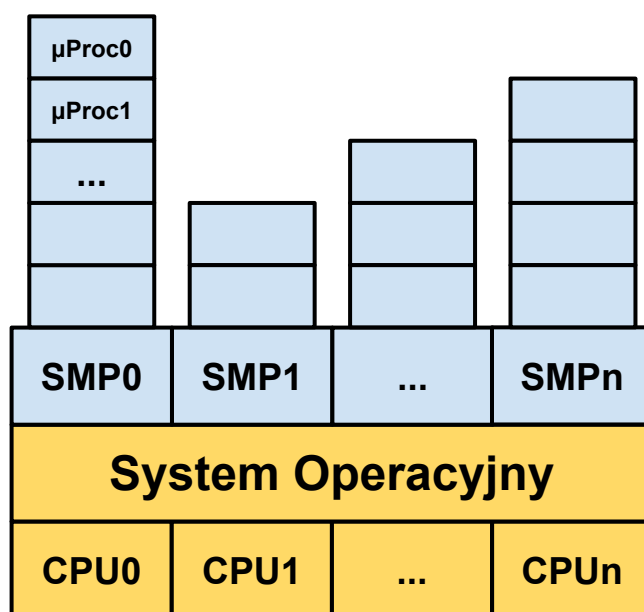
1.2. Zawartość pracy

- Opisać zakres pracy.
- Opisać zawartość Architektura ThesisVW.
- Opisać zawartość Interpreter kodu bajtowego.
- Opisać zawartość Model zarządzania pamięcią.
- Opisać zawartość Model przetwarzania współbieżnego.
- Opisać zawartość Podsumowanie.
- Opisać zawartość Przykładowe programy.

- Opisać zawartość Wizualizacja stanu maszyny.
- Opisać zawartość Spisy wbudowanych funkcji i operatorów.

2. Architektura ThesisVM

- Opisać architekturę w odniesieniu do wyżej wymienionych celów pracy.



Rysunek 2.1: Architektura maszyny wirtualnej ThesisVM.

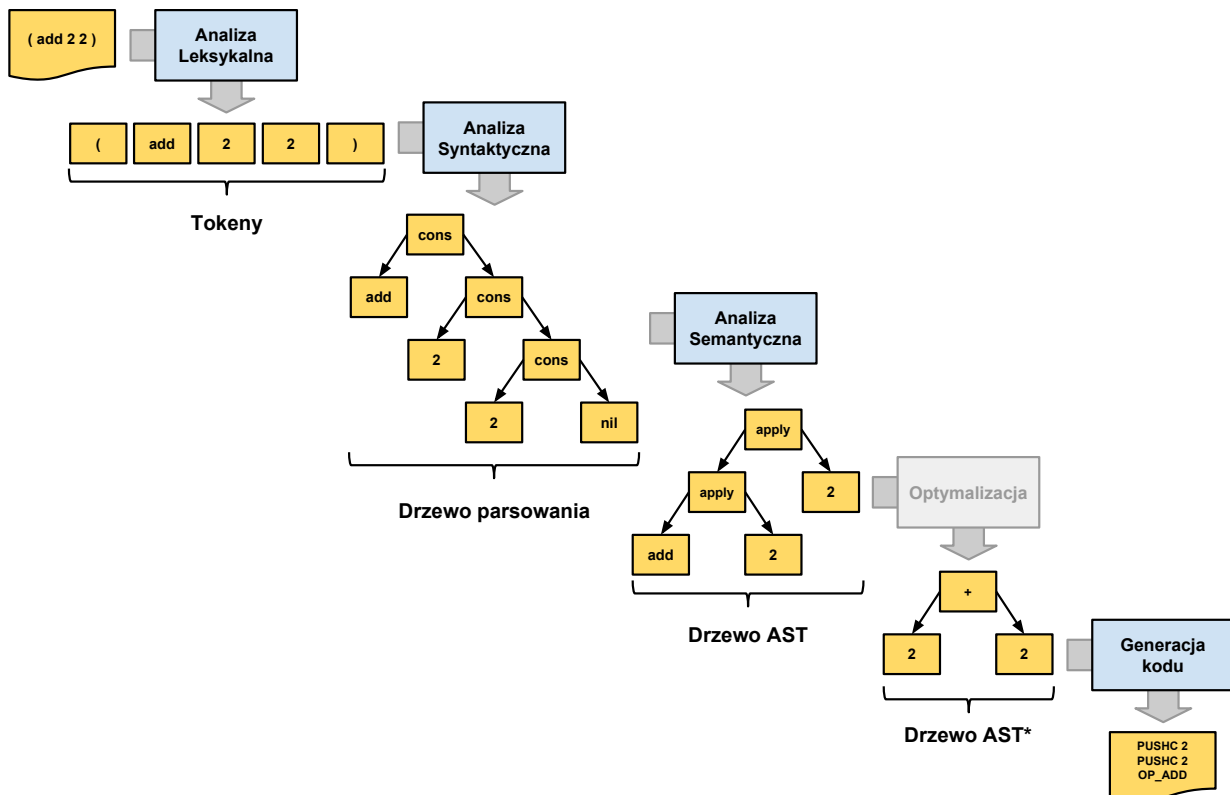
- Wspomnieć o wykorzystaniu TVMIR.
- Wspomnieć o wykorzystaniu kodu bajtowego i jego kompilatora.

2.1. Reprezentacja pośrednia programów (TVMIR)

- Opisać krótko TVMIR. [4, 5]
- Opisać dostępne typy danych.
- Opisać dostępne konstrukcje języka.

- Porównać TVMIR do core lang. [5]
- Porównać TVMIR do Core Erlang. [6, 7]

2.2. Kompilacja kodu bajtowego



Rysunek 2.2: *Pipeline* kompilatora kodu bajtowego ThesisVM wraz ze schematami reprezentacji danych poszczególnych faz.

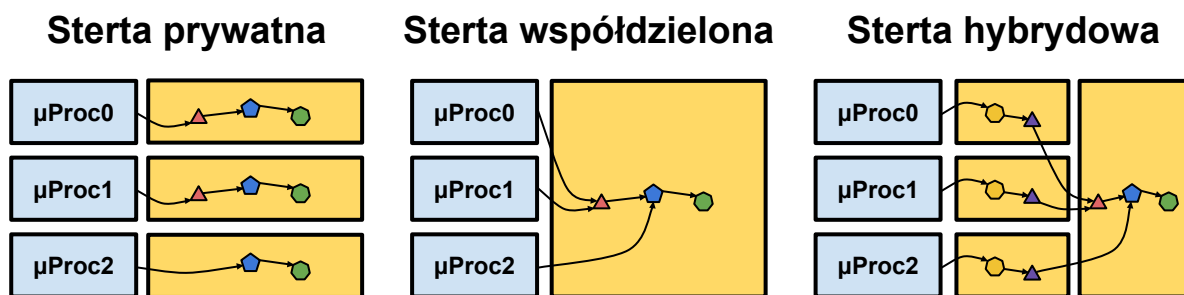
- Opisać krótko analizę leksykalną.
- Opisać krótko analizę syntaktyczną.
- Opisać krótko analizę semantyczną (+ proste transformacje TVMIR jeśli jakieś będą).
- Opisać krótko fazę optymalizacji (+ proste optymalizacje jak constant folding, etc).
- Opisać krótko generację kodu bajtowego.

2.3. Interpretacja kodu bajtowego

- Opisać ogólnie architektury pamięci i przekazywanie wiadomości. [8]
- Opisać sposób budowy interpreterów kodu bajtowego. [9]
- Opisać krótko różne architektury interpreterów (stosowa, rejestrowa, grafowa). [5]
- Wspomnieć o wybranym modelu.

2.4. Zarządzanie pamięcią

- Opisać krótko strategie alokacji i architektury sterty. [10, 8]



Rysunek 2.3: Różne modele wykorzystania pamięci maszyn wirtualnych.

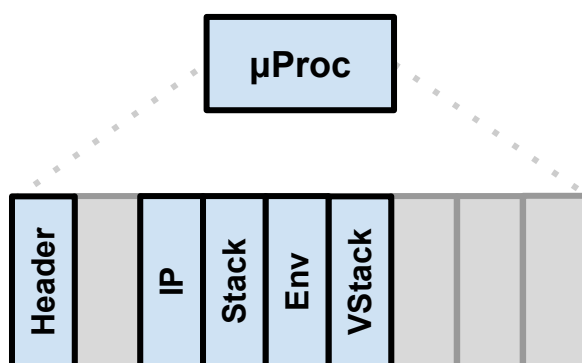
- Opisać krótko strategie GC (ref-count vs tracing). [11]
- Wspomnieć o problemach kolekcji tracing GC (w kontekście problemu Erlanga). [12]
- Umotywić wykorzystanie zliczania referencji (wspomnieć, że Erlang też korzysta). [13]

2.5. Przetwarzanie współbieżne

- Opisać różne sposoby przetwarzania wielowątkowego - SMP i AMP.
- Opisać wady i zalety poszczególnych modeli (SMP - skalowalność, AMP - VCGC). [14]
- Opisać krótko Model Aktorowy. [1, 2].
- Umotywić wybrany model przetwarzania i jego relację z Modelem Actorowym.

3. Interpreter kodu bajtowego

- Opisać wybrany model Three Instruction Machine. [15, 5], [16]
- Opisać krótko działanie TIM, zwrócić uwagę na leniwość. [15, 5], [16]
- Opisać modyfikacje modelu TIM.



Rysunek 3.1: Schemat stanu maszyny wirtualnej.

- Opisać wykorzystywane rejestry.
- Opisać krótko alternatywne rozwiązania (SECD, TRSECD, SICP machine). [17, 18, 4, 9], [16]

3.1. Implementacja obieteków prostych

- Opisać implementację atomów (≤ 8 bajtów).
- Opisać metodę tagowania atomów (dolne trzy bity) [12], [19]
- Opisać optymalizacje/trejdofy wybranego sposobu tagowania. [12], [19]

3.2. Implementacja obiektów złożonych

- Opisać implementację obiektów złożonych (≥ 8 bajtów - pary, funkcje/domknięcia, procesy).
- Opisać metodę tagowania (dolne dwa bajty + górne 48 bitów zarezerwowane dla GC). [12], [19]
- Opisać komponenty par.
- Opisać poszczególne komponenty obiektów funkcyjnych.
- Opisać reprezentację obiektów procesów (gołe rejestry).
- Opisać relację pomiędzy zbiorem rejestrów a reprezentacją procesu.

3.3. Implementacja wbudowanych operatorów

- Opisać wykorzystanie VStack.
- Opisać dostępne operacje prymitywne (LispKit). [4]
- Skonfrontować dostępne operacje prymitywne z Core Erlang. [7]
- Opisać optymalizacje operacji arytmetycznych. [12]

3.4. Ewaluacja argumentów i aplikacja funkcji

- Opisać działanie interpretera kodu bajtowego ThesisVM. [15, 5]
- Opisać leniwą ewaluację argumentów.
- Opisać aplikację funkcji.
- Opisać aplikację operacji prymitywnych.

3.5. Reprezentacja kodu bajtowego ThesisVM

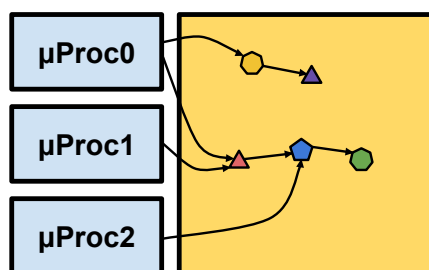
- Opisać reprezentację kodu bajtowego (listy opkodów).
- Opisać optymalizacje TVMBC (wykorzystanie górnych dwóch bajtów słowa, 0 = pushc, threading, itd).
- Opisać dostępne opkody kodu bajtowego. [15, 5]

3.6. Generacja kodu bajtowego ThesisVM

- Opisać szczegółowo generację kodu bajtowego. [5]

4. Model zarządzania pamięcią

- Opisać krótko architekturę wspólnej sterty. [8]



Rysunek 4.1: Model wspólnej pamięci ThesisVM.

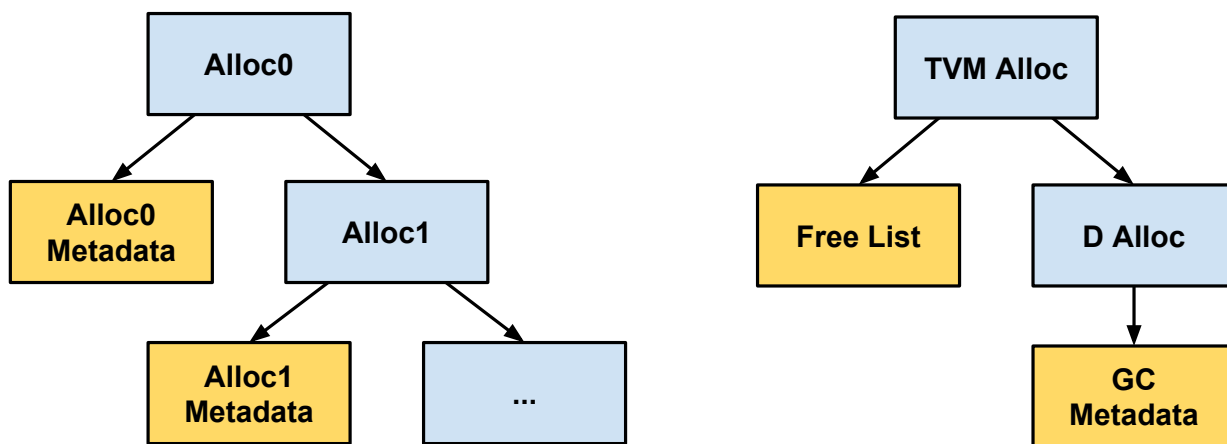
- Opisać strategie zarządzania pamięcią (alokator i GC). [11]

4.1. Architektura wspólnej sterty

- Opisać szczegółowo wybraną architekturę.
- Wspomnieć o problemach wybranej architektury (duży root-set, długie kolekcje). [8]
- Skonfrontować publiczną stertę z architekturą prywatnej sterty. [8]
- Wspomnieć o problemach prywatnej sterty (powolne przekazywanie wiadomości przez kopiowanie). [8]
- Wspomnieć o istnieniu rozwiązań hybrydowych. [8]
- Wspomnieć o problemach rozwiązań hybrydowych (usunięte z Erlang/OTP R15B02).

4.2. Implementacja alokatora obiektów

- Opisać działanie kaskadowego alokatora. [10]

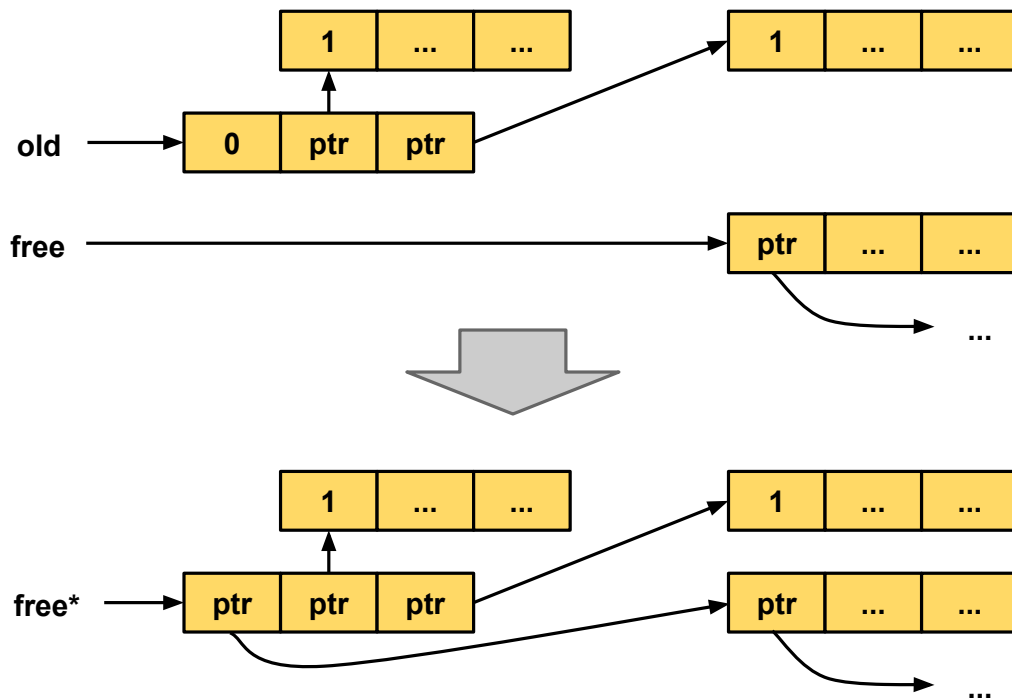


Rysunek 4.2: Schemat kaskadowych alokatorów wykorzystanych w ThesisVM.

- Opisać implementację wykorzystanego alokatora.
- Opisać optymalizacje alokatora (wykorzystanie free listy).
- Opisać zmiany wprowadzone w stanie maszyny wirtualnej (dodatkowe rejestry).
- Opisać krótko alternatywne rozwiązania (mallocator, etc). [10]

4.3. Kolekcja nieosiągalnych obiektów

- Opisać leniwe zliczanie referencji. [20]
- Opisać implementację algorytmu leniwego zliczania referencji. [11]
- Opisać konieczność wykorzystania operacji atomowych i barier pamięci (liczniki referencji).

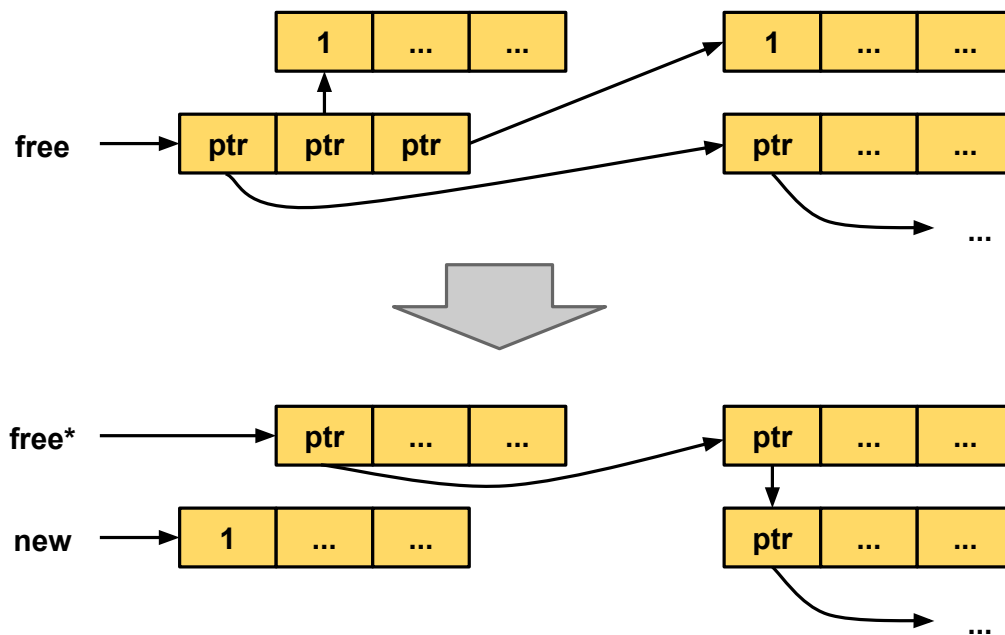


Rysunek 4.3: Schemat działania zwalniania pamięci obiektów.

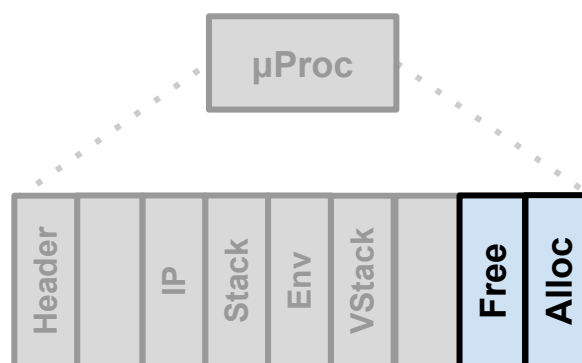
- Opisać zmiany wprowadzone w stanie maszyny wirtualnej (dodatkowe rejestry).
- Opisać narzut pamięci związany z licznikiem referencji i leniwością algorytmu. [20, 11]
- Opisać krótko wady, możliwe usprawnienia i alternatywne rozwiązania (zaproponowane przez Joe’go oraz VCGC) [21, 14]

4.4. Kolekcja obiektów cyklicznych

- Opisać, że obiekty cykliczne nie występują.
- Wspomnieć o możliwości zaimplementowania zapasowego stop-the-world GC.
- Wspomnieć o możliwości cyklicznego uruchamiania D’owego GC.



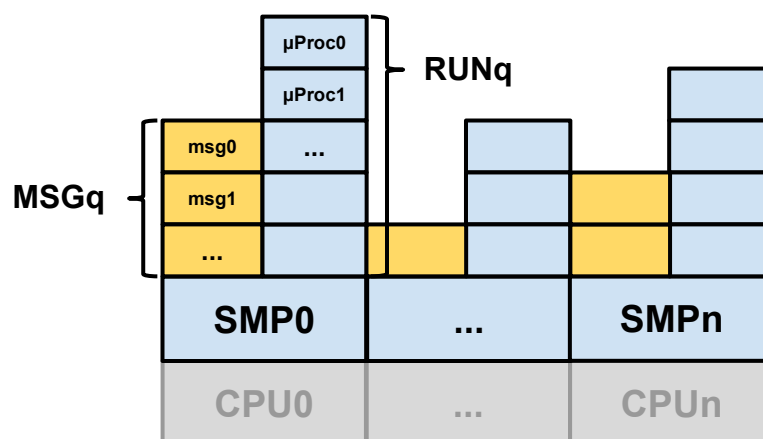
Rysunek 4.4: Schemat działania alokacji pamięci nowych obiektów.



Rysunek 4.5: Schemat rejestrów wymaganych przez implementację kolektora obiektów nieosiągalnych.

5. Model przetwarzania współbieżnego

- Opisać bardziej szczegółowo Model Aktorowy i asynchroniczne przekazywanie wiadomości. [1, 2]

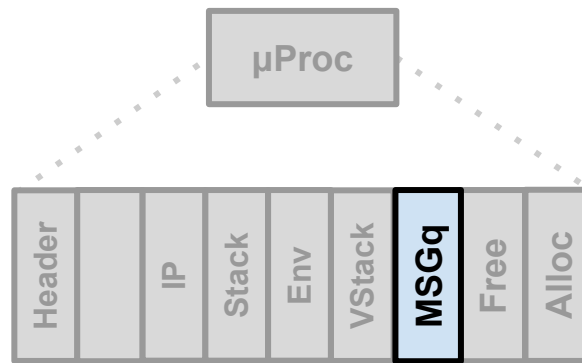


Rysunek 5.1: Schemat symetrycznego multiprocesora ThesisVM.

- Opisać bardziej szczegółowo działanie SMP - wiadomości kontrolne oraz RQue.

5.1. Implementacja Modelu Aktorowego

- Opisać powstawanie procesów i prymityw **spawn**.
- Opisać logiczną autonomiczność procesów (brak mutacji = inne procesy nie mogą ingerować).
- Opisać sposób porozumiewania się procesów (kolejki nieblokujące). [22, 23]
- Opisać implementację kolejek nieblokujących (+ weryfikacja poprawności). [22, 24]-
Opisać wykorzystanie CAS i problem ABA.

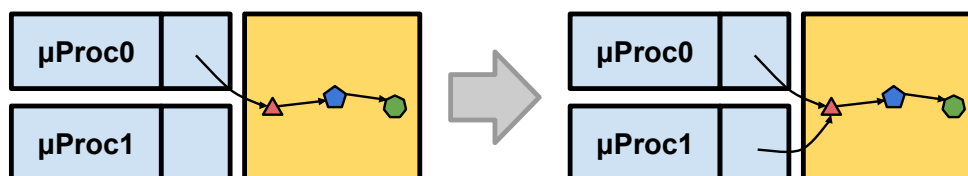


Rysunek 5.2: Schemat rejestrów wymaganych przez implementację Modelu Aktorowego.

- Opisać zmiany wprowadzone w stanie maszyny wirtualnej (dodatkowe rejestry).
- Opisać krótko wady i możliwe usprawnienia zastosowanego rozwiązania (dynamic size, wait-free, optimistic FIFO). [23, 25, 26]
- Opisać krótko alternatywne podejścia (synchroniczne przekazywanie wiadomości - kanały, locki/mutexy/semafony).

5.2. Implementacja przesyłania wiadomości

- Opisać implementację prymitywów `send` oraz `receive`.
- Zwrócić uwagę na konieczność wykorzystania operacji atomowych oraz barier pamięci.
- Snippet kodu przesyłającego wiadomość.



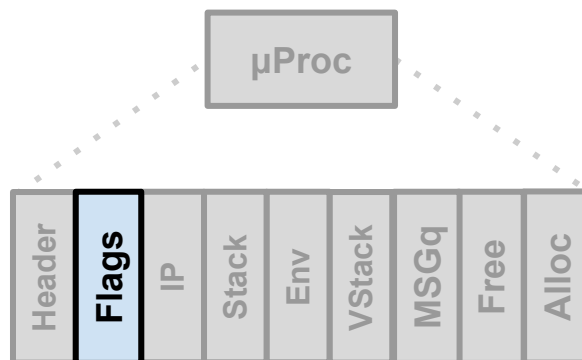
Rysunek 5.3: Schemat działania przesyłania wiadomości.

- Opisać co dzieje się podczas wysyłania wiadomości.

- Opisać sposób pobierania wiadomości z kolejki.
- Zwrócić uwagę na fakt, że problem kopiowania został zniwelowany kosztem lekkich barier pamięci.

5.3. Harmonogramowanie procesów

- Opisać sposób harmonogramowania procesów (brak load-balancingu, losowy spawn).
- Opisać implementację prymitywu `sleep` oraz `sleep-table`.
- Opisać wiadomości kontrolne.



Rysunek 5.4: Schemat rejestrów wymaganych przez usprawnienia harmonogramowania SMP.

- Opisać możliwe usprawnienia (load-balancing i dzielenie zużycia).

6. Podsumowanie

- Opisać co udało się zrobić.
- Opisać czego nie udało się zrobić (+ możliwe usprawnienia).
- Opisać plany na przyszły rozwój projektu (priorytet procesów, load balancing SMP, wsparcie dla Core Erlang, bytecode threading, przebiegi optymalizacyjne podczas kompilacji, umożliwienie dystrybucji na wiele maszyn, zapasowy kolektor śmieci cyklicznych, opcja wykorzystania sterty prywatnej i autonomicznego alokatora, natywna kompilacja JIT, wektory, data-level parallelism, optymalizacja wykorzystania stosu, hardłerowa implementacja interpretera kodu bajtowego).

6.1. Leniwe zliczanie referencji

- Przeanalizować szybkość, pauzy, zużycie pamięci.

6.2. Przesyłanie wiadomości

- Przeanalizować szybkość przesyłania wiadomości/konieczność czekania procesów, wielkość kolejek wiadomości.

Bibliografia

- [1] C. Hewitt, P. Bishop, and R. Steiger, “A universal modular actor formalism for artificial intelligence,” in *Proceedings of the 3rd International Joint Conference on Artificial Intelligence*, IJCAI’73, (San Francisco, CA, USA), pp. 235–245, Morgan Kaufmann Publishers Inc., 1973.
- [2] W. D. Clinger, “Foundations of actor semantics,” tech. rep., Cambridge, MA, USA, 1981.
- [3] A. Alexandrescu, *The D Programming Language*. Pearson Education, 2010.
- [4] H. Abelson and G. J. Sussman, *Structure and Interpretation of Computer Programs*. Cambridge, MA, USA: MIT Press, 2nd ed., 1996.
- [5] S. P. Jones and D. Lester, *Implementing functional languages: a tutorial*. Prentice Hall, 1992. Free online version.
- [6] R. Carlsson, “An introduction to Core Erlang,” in *In Proceedings of the PLI’01 Erlang Workshop*, 2001.
- [7] R. Carlsson, B. Gustavsson, E. Johansson, T. Lindgren, S.-O. Nyström, M. Pettersson, and R. Virding, “Core Erlang 1.0.3 language specification,” tech. rep., Department of Information Technology, Uppsala University, Nov. 2004.
- [8] J. Wilhelmsson, *Efficient Memory Management for Message-Passing Concurrency — part I: Single-threaded execution*. Licentiate thesis, Department of Information Technology, Uppsala University, May 2005.
- [9] G. L. Steele Jr and G. J. Sussman, “The art of the interpreter of the modularity complex (parts zero, one, and two),” 1978.
- [10] P. R. Wilson, M. S. Johnstone, M. Neely, and D. Boles, “Dynamic storage allocation: A survey and critical review,” 1995.

- [11] D. F. Bacon, P. Cheng, and V. T. Rajan, “A unified theory of garbage collection,” in *Proceedings of the 19th Annual ACM SIGPLAN Conference on Object-oriented Programming, Systems, Languages, and Applications*, OOPSLA '04, (New York, NY, USA), pp. 50–68, ACM, 2004.
- [12] D. Gudeman, “Representing type information in dynamically typed languages,” 1993.
- [13] R. Shahriyar, S. M. Blackburn, and D. Frampton, “Down for the count? getting reference counting back in the ring,” in *Proceedings of the 2012 International Symposium on Memory Management*, ISMM '12, (New York, NY, USA), pp. 73–84, ACM, 2012.
- [14] L. Huelsbergen and P. Winterbottom, “Very concurrent mark-&-sweep garbage collection without fine-grain synchronization,” in *Proceedings of the 1st International Symposium on Memory Management*, ISMM '98, (New York, NY, USA), pp. 166–175, ACM, 1998.
- [15] J. Fairbairn and S. Wray, “TIM: A simple, lazy abstract machine to execute super-combinators,” in *Proc. Of a Conference on Functional Programming Languages and Computer Architecture*, (London, UK, UK), pp. 34–45, Springer-Verlag, 1987.
- [16] O. Kaser, S. Pawagi, C. R. Ramakrishnan, I. V. Ramakrishnan, and R. C. Sekar, “Fast parallel implementation of lazy languages - the equals experience,” in *Journal of Functional Programming*, pp. 335–344, ACM, 1992.
- [17] D. Van Horn and M. Might, “Abstracting abstract machines,” in *Proceedings of the 15th ACM SIGPLAN International Conference on Functional Programming*, ICFP '10, (New York, NY, USA), pp. 51–62, ACM, 2010.
- [18] J. D. Ramsdell, “The Tail-Recursive SECD Machine,” *Journal of Automated Reasoning*, vol. 23, no. 1, pp. 43–62, 1999.
- [19] W. R. Cook, “Anatomy of programming languages.” Free online version.
- [20] H.-J. Boehm, “The space cost of lazy reference counting,” in *Proceedings of the 31st ACM SIGPLAN-SIGACT Symposium on Principles of Programming Languages*, POPL '04, (New York, NY, USA), pp. 210–219, ACM, 2004.
- [21] J. Armstrong and R. Virding, “One pass real-time generational mark-sweep garbage collection,” in *IN INTERNATIONAL WORKSHOP ON MEMORY MANAGEMENT*, pp. 313–322, Springer-Verlag, 1995.
- [22] M. M. Michael and M. L. Scott, “Simple, fast, and practical non-blocking and blocking concurrent queue algorithms,” in *Proceedings of the Fifteenth Annual ACM*

- Symposium on Principles of Distributed Computing*, PODC '96, (New York, NY, USA), pp. 267–275, ACM, 1996.
- [23] M. Herlihy, V. Luchangco, P. Martin, M. Moir, D. sized Lockfree, D. Structures, M. Herlihy, V. Luchangco, P. Martin, and M. Moir, “Dynamic-sized lockfree data structures,” tech. rep., 2002.
- [24] L. Groves, “Verifying michael and scott’s lock-free queue algorithm using trace reduction,” in *Proceedings of the Fourteenth Symposium on Computing: The Australasian Theory - Volume 77*, CATS '08, (Darlinghurst, Australia, Australia), pp. 133–142, Australian Computer Society, Inc., 2008.
- [25] A. Kogan and E. Petrank, “Wait-free queues with multiple enqueueers and dequeuers,” in *Proceedings of the 16th ACM Symposium on Principles and Practice of Parallel Programming*, PPOPP '11, (New York, NY, USA), pp. 223–234, ACM, 2011.
- [26] E. Ladan-Mozes and N. Shavit, “An optimistic approach to lock-free fifo queues,” 2004.

A. Przykładowe programy

- Opisać sposób uruchamiania maszyny wirtualnej.
- Hello world.
- Factorial.
- Fibonacci.
- Concurrent Hello world.
- Map-reduce.

B. Wizualizacja stanu maszyny wirtualnej

- Opisać narzędzie do rysowania grafów stanu maszyny i dać kilka przykładów.

C. Spisy wbudowanych funkcji i operatorów

Spis funkcji wbudowanych

- Wylistować funkcje wbudowane.

Spis operatorów wbudowanych

- Wylistować operacje prymitywne.

D. Spisy rysunków, fragmentów kodu i tablic

Spis rysunków

1.1. Schemat interakcji z Maszyną Wirtualną.	7
2.1. Architektura maszyny wirtualnej ThesisVM.	11
2.2. <i>Pipeline</i> kompilatora kodu bajtowego ThesisVM wraz ze schematami reprezentacji danych poszczególnych faz.	12
2.3. Różne modele wykorzystania pamięci maszyn wirtualnych.	13
3.1. Schemat stanu maszyny wirtualnej.	15
4.1. Model wspólnej pamięci ThesisVM.	19
4.2. Schemat kaskadowych alokatorów wykorzystanych w ThesisVM.	20
4.3. Schemat działania zwalniania pamięci obiektów.	21
4.4. Schemat działania alokacji pamięci nowych obiektów.	22
4.5. Schemat rejestrów wymaganych przez implementację kolektora obiektów nieosiągalnych.	22
5.1. Schemat symetrycznego multiprocesora ThesisVM.	23
5.2. Schemat rejestrów wymaganych przez implementację Modelu Aktorowego. . .	24
5.3. Schemat działania przesyłania wiadomości.	24
5.4. Schemat rejestrów wymaganych przez usprawnienia hammonogramowania SMP. .	25

Spis listingów

1.1. Fragment kodu prezentujący problem występujący w języku Erlang.	8
1.2. Suboptymalne rozwiązanie problemu w języku Erlang.	8

Spis tablic