



7회 ▶ 산 11-3, 07-1, 04-2, 03-1, 01-2, 01-1, 00-1

인터럽트의 발생 원인이나 종류를 소프트웨어로 판단하는 방법은?

- ① Polling ② Daisy chain ③ Decoder ④ Multiplex

핵심이론

폴링(Polling)

- 소프트웨어적인 방법이다.
- 인터럽트 요청 신호 Flag를 차례로 검사하여 찾고 이에 해당하는 인터럽트 서비스 루틴을 수행하는 방식이다.
- 회로가 간단하고 경제적이며, 정보량이 많은 시스템에 적합하다.
- 인터럽트가 많을 때 반응속도가 느리다.

유사문제

2회 ▶ 05-1, 04-1

1. 소프트웨어에 의하여 우선순위를 판별하는 방법을 무엇이라 하는가?

- ① 데이지 체인 ② 폴링 ③ 핸드셰이킹 ④ 인터럽트 벡터

3회 ▶ 산 06-4, 05-1추, 03-2

2. 우선순위 인터럽트 중에서 소프트웨어적으로 우선순위가 높은 인터럽트를 알아내는 방식을 무엇이라고 하는가?

- ① 폴링(Polling) ② 데이지 체인(daisy-chain)
③ 병렬우선순위 인터럽트 ④ 직렬우선순위 인터럽트

2회 ▶ 04-2, 01-2

3. 우선순위 인터럽트 가운데 소프트웨어적 처리 기법은?

- ① 스트로브(strobe) 방법
② 폴링(polling) 방법
③ 병렬 우선순위(parallel priority) 방법
④ 데이지-체인(daisy-chain) 방법

2회 ▶ 산 06-2, 04-4

4. 소프트웨어적인 인터럽트 요구 장치 판별법은?

- ① 벡터 인터럽트 ② 폴링 ③ 스택 ④ 핸드셰이킹

2회 ▶ 03-1, 산 13-2

5. 다음 중 인터럽트의 요청 신호 플래그를 순차적으로 검사하여 원인을 판별하는 방식은?

- ① DMA ② 스트로브 ③ 데이지 체인 ④ 폴링

1회 ▶ 산 10-2

6. 인터럽트 처리 과정 중 인터럽트를 요청한 장치를 차례대로 검사하는 방식은?

- ① 폴링 ② 핸드셰이킹 ③ 벡터 인터럽트 ④ 데이지 체인

1회 ▶ 산 09-1

7. 다음 입·출력 방법 중 중앙처리장치의 처리를 가장 많이 필요로 하는 것은?

- ① 인터럽트 ② DMA(DMA 제어기)
③ 입·출력 프로세서(IOP) ④ 폴링

1회 ▶ 08-1

8. 소프트웨어 인터럽트 사용 시 가장 큰 장점은?

- ① 우선순위 변경이 쉽다. ② 속도가 빠르다.
③ 비용이 비싸다. ④ 데이지 체인 방식이다.

1회 ▶ 07-4

9. 소프트웨어에 의한 우선순위 체제의 특성을 설명한 것으로 옳지 않은 것은?

- ① 경제적이다. ② 융통성이 있다.
③ 반응 속도가 느리다. ④ 정보량이 매우 적은 시스템에 적합하다.

1회 ▶ 09-4

10. 소프트웨어에 의한 우선순위 체제의 특성을 설명한 것으로 틀린 것은?

- ① 경제적이다. ② 융통성이 있다.
③ 반응 속도가 느리다. ④ 우선순위를 변경하기 어렵다.

1회 ▶ 12-2

11. 버스 중재에 있어서 소프트웨어 폴링 방식에 대한 설명으로 틀린 것은?

- ① 비교적 큰 정보를 교환하는 시스템에 적합하다.
② 융통성이 있다.
③ 반응속도가 느리다.
④ 우선순위를 변경하기 어렵다.

1회 ▶ 13-2

12. 인터럽트 우선순위를 결정하는 Polling 방식에 대한 설명으로 옳지 않은 것은?

- ① 많은 인터럽트 발생시 처리시간 및 반영시간이 매우 빠르다.
② S/W 적으로 CPU가 각 장치 하나 하나를 차례로 조사하는 방식이다.
③ 조사순위가 우선순위가 된다.
④ 모든 인터럽트를 위한 공통의 서비스 루틴을 갖고 있다.

2회 ▶ 산 12-1, 07-4

13. 데이지 체인(Daisy Chain) 방식과 폴링(Polling) 방식의 설명으로 옳지 않은 것은?

- ① 폴링 방식은 소프트웨어 방식이다.
② 데이지 체인 방식은 하드웨어 방식이다.
③ 데이지 체인 방식이 폴링 방식보다 속도가 빠르다.
④ 폴링 방식이 데이지 체인 방식보다 속도가 빠르다.

[정답] 핵심문제 ① / 유사문제 1. ② 2. ① 3. ② 4. ② 5. ④ 6. ① 7. ④ 8. ① 9. ④ 10. ④ 11. ④ 12. ① 13. ④



3회 ▶ 08-2, 04-1, 02-2

하드웨어 우선순위 인터럽트의 특징은?

- ① 가격이 싸다. ② 응답속도가 빠르다.
③ 유연성이 있다. ④ 우선순위는 소프트웨어로 결정한다.

핵심이론

데이지 체인(Daisy Chain)

- 하드웨어적인 방법이다.
- 우선순위가 높은 것에서 낮은 것 순으로 인터럽트 요청회선을 직렬로 연결하여 인터럽트 요청을 받는 순서대로 우선순위를 결정하는 직렬(Serial) 우선순위 부여 방식이다.
- 속도가 빠르다.
- 비용이 비싸고, 우선순위 변경이 어렵다.

유사문제

3회 ▶ 06-4, 04-4, 03-4

1. 인터럽트 처리 과정 중 하드웨어를 이용하여 우선순위를 결정하는 것은?

- ① 폴링 방법 ② 스택에 의한 방법
③ 데이지 체인을 이용한 방법 ④ 장치번호 디코더에 의한 방법

2회 ▶ 05-4, 99-3

2. 입·출력 장치를 하드웨어적으로 우선순위를 결정하는 방식은?

- ① Polling I/O ② Daisy Chain I/O
③ Multi interrupt I/O ④ Handshaking I/O

5회 ▶ 10-1, 07-1, 04-4, 03-2, 02-1

3. 인터럽트를 발생시키는 모든 장치들을 인터럽트의 우선순위에 따라 직렬로 연결함으로써 이루어지는 우선순위 인터럽트 처리 방법은?

- ① handshaking ② daisy-chain ③ DMA ④ polling

2회 ▶ 산 10-1, 00-1

4. 인터럽트 처리 방식 중 인터럽트 신호선을 공유하면서 연결 순서에 따라 우선순위가 결정되는 것은?

- ① Multiple Interrupt Line 방식 ② Daisy-chain 방식
③ software poll 방식 ④ Bus Arbitration 방식

3회 ▶ 산 12-3, 05-2, 03-4

5. 인터럽트를 발생하는 장치들을 직렬로 연결하는 하드웨어적인 우선순위 제어 방식은?

- ① interface ② daisy chain ③ polling ④ DMA

1회 ▶ 05-1추

6. 데이지 체인(Daisy chain)에 대한 설명 중 옳지 않은 것은?

- ① 인터럽트의 우선순위를 결정하기 위하여 직렬 연결한 하드웨어 회로이다.
② 벡터에 의한 인터럽트 처리 방법이다.
③ 우선순위에 기초한 인터럽트 처리 방법이 아니다.
④ 인터럽트 된 모든 장치들은 벡터를 동시에 보낼 수 있다.

2회 ▶ 산 14-2, 10-2

7. 데이지 체인(daisy-chain) 우선순위 인터럽트에 대한 설명으로 틀린 것은?

- ① 하드웨어 우선순위 인터럽트 장치로써 직렬로 연결한다.
② 우선순위가 가장 높은 장치를 선두에 연결한다.
③ 인터럽트 요구 선은 모든 장치에 공통이며, 와이어드 논리(wired-logic)로 연결되어 있다.
④ 마스크 레지스터를 사용하여 우선순위를 결정한다.

1회 ▶ 05-1

8. 데이지 체인(daisy-chain) 우선순위 인터럽트 방법에 대한 설명 중 옳은 것은?

- ① 소프트웨어적으로 가장 높은 순위의 인터럽트의 소스부터 차례로 검사하여 그 중 가장 우선순위가 높은 소스를 찾아낸다.
② 인터럽트를 발생하는 모든 장치들을 직렬로 연결한다.
③ 각 장치의 인터럽트 요청에 따라 각 비트가 개별적으로 세트될 수 있는 레지스터를 사용한다.
④ CPU에서 멀수록 우선순위가 높다.

1회 ▶ 00-3

9. Daisy chain에 대한 설명이 가장 옳은 것은?

- ① interrupt를 하드웨어적으로 Enable하거나 Disable하기 위한 방법이다.
② interrupt의 우선순위를 결정하기 위하여 직렬 연결한 하드웨어 회로이다.
③ I/O 장치의 상태 레지스터를 Polling하는 순서를 정하는 것이다.
④ Interrupt 요구를 하드웨어적으로 Disable하도록 한 회로이다.

3회 ▶ 산 11-3, 04-1, 01-2

10. 데이지 체인(daisy-chain) 우선순위 인터럽트 방법에서 인터럽트를 발생하는 장치들의 연결 방법은?

- ① 모든 장치를 직렬로 연결한다.
② 모든 장치를 병렬로 연결한다.
③ 직렬과 병렬로 연결한다.
④ 우선순위에 따라 직렬 및 병렬로 연결한다.

[정답] 핵심문제 ② / 유사문제 1. ③ 2. ② 3. ② 4. ② 5. ② 6. ③ 7. ④ 8. ② 9. ② 10. ①



183 메모리의 용량과 주소선

5회 ▶ 11-2, 06-2, 03-2, 01-1, 00-1

어느 컴퓨터의 기억 용량이 1Mbyte이다. 이 때 필요한 주소선의 수는?

- ① 8개 ② 16개
③ 20개 ④ 24개

핵심이론

메모리 용량 계산법

기억장치 용량 = 워드의 수 × 워드의 크기

- 워드의 수 = $2^{\text{입력 번지선의 수}} = 2^{\text{주소선의 수}}$
- 워드의 크기 = 출력 데이터선의 수 = Data Bus의 비트 수 = MBR = DR = IR

유사문제

1회 ▶ 산 13-2

1. 한 워드가 8비트이고, 총 32개의 워드를 저장하는 ROM이 있다. 입력 주소선은 몇 개 필요한가?

- ① 4 ② 5 ③ 8 ④ 32

1회 ▶ 산 12-1

2. 주소 선의 수가 12개이고 데이터 선의 수가 8개인 ROM의 내부 조작을 나타내는 것은?

- ① $2K \times 8$ ② $3K \times 8$
③ $4K \times 8$ ④ $12K \times 8$

1회 ▶ 산 14-1

3. 어떤 메모리가 $8K \times 8$ 크기를 가질 때 데이터의 입·출력선과 어드레스 선은 몇 개인가?

- ① 입·출력선: 8, 어드레스 선: 13
② 입·출력선: 8, 어드레스 선: 8
③ 입·출력선: 4, 어드레스 선: 8
④ 입·출력선: 4, 어드레스 선: 13

4회 ▶ 11-1, 산 12-3, 07-4, 02-3

4. 컴퓨터 주기억장치의 용량이 256MB라면 주소 버스의 폭은 최소한 몇 bit 이어야 하는가?

- ① 24 ② 26
③ 28 ④ 30

1회 ▶ 산 09-2

5. 컴퓨터 주기억장치의 용량이 128MB이면 address bus는 몇 비트 필요한가?

- ① 24 ② 25
③ 26 ④ 27

2회 ▶ 산 12-2, 08-2

6. 데이터 단위가 8비트인 메모리에서 용량이 8192byte인 경우 어드레스 핀의 개수는?

- ① 12개 ② 13개
③ 14개 ④ 15개

2회 ▶ 13-1, 04-1

7. 데이터 단위가 8비트인 메모리에서 용량이 64Kbyte 인 경우의 어드레스 핀의 개수는?

- ① 12개 ② 14개
③ 16개 ④ 18개

2회 ▶ 산 04-2, 02-3

8. 입력 번지 선이 8개, 출력 데이터 선이 8개인 ROM의 기억 용량은?

- ① 64 바이트 ② 256 바이트
③ 512 바이트 ④ 1024 바이트

1회 ▶ 산 07-4

9. 입력 주소선이 10개, 출력 데이터선이 8개인 ROM의 기억용량은?

- ① 256 Byte ② 1024 Byte
③ 2048 Byte ④ 8292 Byte

2회 ▶ 산 11-2, 06-2

10. 14개의 어드레스 비트는 몇 개의 메모리 장소의 내용을 리드(Read)할 수 있는가?

- ① 14 ② 140
③ 16384 ④ 32768

[정답] 핵심문제 ③ / 유사문제 1. ② 2. ③ 3. ① 4. ③ 5. ④ 6. ② 7. ③ 8. ② 9. ② 10. ③



1회 ▶ 14-1

기억장치의 용량이 1M워드(word)이고 1워드가 32비트인 경우 PC(program counter), MAR(memory address register), MBR(memory buffer register)의 각 비트수는?

- ① PC : 20비트, MAR : 20비트, MBR : 32비트
- ② PC : 20비트, MAR : 32비트, MBR : 32비트
- ③ PC : 32비트, MAR : 20비트, MBR : 20비트
- ④ PC : 32비트, MAR : 32비트, MBR : 20비트

유사문제

5회 ▶ 산 10-2, 06-4, 04-4, 01-3, 99-2

1. 메모리 용량이 총 4096워드이고, 1워드가 8비트라 할 때 PC(program counter)의 MBR(memory buffer register)의 비트 수를 올바르게 나타낸 것은?

- ① PC=8비트, MBR=12비트
- ② PC=12비트, MBR=8비트
- ③ PC=8비트, MBR=8비트
- ④ PC=12비트, MBR=12비트

1회 ▶ 산 03-2

2. 어떤 컴퓨터의 기억장치 용량이 4096워드이다. 각 32비트라고 하면 MAR(Memory Address Register)와 MBR(Memory Buffer Register)의 각 구성 비트 수는?

- ① MAR : 12, MBR : 32
- ② MAR : 5, MBR : 12
- ③ MAR : 12, MBR : 5
- ④ MAR : 32, MBR : 12

2회 ▶ 산 06-4, 05-1

3. 어떤 컴퓨터의 메모리 용량이 4K 워드이고, 워드 길이가 16비트일 때 AR(주소 레지스터)와 DR(데이터 레지스터)는 몇 비트로 구성하여야 하는가?

- ① AR : 4, DR : 16
- ② AR : 12, DR : 32
- ③ AR : 16, DR : 65536
- ④ AR : 12, DR : 16

1회 ▶ 14-2

4. 기억장치가 1024 word로 구성되고, 각 word는 16bit로 이루어져 있을 때 PC, MAR, MBR의 bit 수를 각각 바르게 나타낸 것은?

- ① 16, 10, 10
- ② 10, 10, 16
- ③ 10, 16, 16
- ④ 16, 16, 10

2회 ▶ 12-1, 03-1

5. 어떤 computer의 메모리 용량은 1024 word이고, 1 word는 16 bit로 구성되어 있다면 MAR과 MBR은 최소 몇 bit로 구성되어 있는가?

- ① MAR=10, MBR=8
- ② MAR=10, MBR=16
- ③ MAR=11, MBR=8
- ④ MAR=11, MBR=16

2회 ▶ 14-3, 06-4

6. 65536 워드(word)의 메모리 용량을 갖는 컴퓨터가 있다. 프로그램 카운터(PC)는 몇 비트인가?

- ① 8
- ② 16
- ③ 32
- ④ 64



1회 ▶ 01-3

기억장치의 총 용량이 4096비트이고 워드 길이가 16비트일 때 프로그램 카운터(PC), 주소 레지스터(AR), 데이터 레지스터(DR)의 크기로서 바른 것은?

PC AR DR

- ① 12, 12, 16
 ② 12, 12, 8
 ③ 8, 8, 16
 ④ 16, 8, 16

유 사 문 제

2회 ▶ 08-2, 05-2

1. 4096×16의 용량을 가진 주기억장치가 있다. 메모리 버퍼 레지스터(MBR)는 몇 비트의 레지스터인가?

- ① 4 ② 16 ③ 32 ④ 4096

1회 ▶ 05-4

2. 한 단어가 25비트로 이루어지고 총 65,536개의 단어를 가진 기억장치가 있다. 이 기억장치를 사용하는 컴퓨터 시스템의 명령어 코드는 하나의 indirect mode bit, operation code, processor register를 나타내는 2비트와 address part로 구분되어 있다. MBR(Memory Buffer Register), MAR(Memory Address Register), PC(Program Counter)에 필요한 각각의 bit는?

- ① MBR:23, MAR:15, PC:15 ② MBR:23, MAR:15, PC:14
 ③ MBR:25, MAR:16, PC:16 ④ MBR:25, MAR:16, PC:15

2회 ▶ 산 05-2, 03-4

3. 메인 메모리의 용량이 1024K×24bit 일 때 MAR과 MBR 길이는 각각 몇 비트인가?

- ① MAR=20, MBR=20 ② MAR=20, MBR=24
 ③ MAR=24, MBR=20 ④ MAR=24, MBR=24

2회 ▶ 산 11-3, 07-1

4. 어떤 micro-computer의 기억 용량이 64 Kbyte이다. 이 micro-computer의 memory 수와 필요한 address line의 수는? (단, memory 1개의 용량은 1 byte 이다)

- ① 2^{16} 개, 16 line ② 2^{64} 개, 64 line
 ③ 2^{64} 개, 16 line ④ 2^{16} , 64 line

1회 ▶ 산 10-2

5. 10가지의 명령어 종류를 가지며, 주소모드(addressing mode)는 직접 주소모드만 가능한 1-주소(1-address) 명령어 형식을 갖는 컴퓨터를 가정하자. 한 명령어의 길이가 1워드(16 bit)라면, 이 컴퓨터 주기억장치의 최대 용량은?

- ① 2^{16} = 64K 워드 ② 2^{15} = 32K 워드
 ③ 2^{12} = 4K 워드 ④ 2^{11} = 2K 워드

4회 ▶ 08-1, 05-1추, 02-1, 01-2

6. 컴퓨터의 메모리 용량이 16K×32bit라 하면 MAR(Memory Address Register)와 MBR(Memory Buffer Register)은 각각 몇 비트인가?

- ① MAR:12, MBR:16 ② MAR:32, MBR:14
 ③ MAR:12, MBR:32 ④ MAR:14, MBR:32

3회 ▶ 09-4, 06-1, 02-4

7. 컴퓨터의 주기억장치 용량이 8192비트이고, 워드 길이가 16비트일 때 PC(Program Counter), AR(Address Register)와 DR(Data Register)의 크기는?

- ① 8, 9, 16 ② 9, 9, 16
 ③ 16, 16, 16 ④ 8, 16, 16

3회 ▶ 10-2, 05-1, 03-4

8. 명령어가 오퍼레이션 코드(OP code) 6비트, 어드레스 필드 16비트로 되어 있다. 이 명령어를 쓰는 컴퓨터의 최대 메모리 용량은?

- ① 16K word ② 32K word
 ③ 64K word ④ 1M word

1회 ▶ 12-1

9. 256×8 RAM 소자를 이용해서 2Kbyte의 용량을 갖는 메모리를 구성하려고 한다. 필요한 RAM 소자의 개수는?

- ① 8개 ② 16개 ③ 24개 ④ 32개

1회 ▶ 13-1

10. 4×2 RAM을 이용하여 16×4 메모리를 구성하고자 할 경우에 필요한 4×2 RAM의 수는?

- ① 4개 ② 8개 ③ 16개 ④ 32개

2회 ▶ 14-1, 10-1

11. 사용자 프로그램에 할당된 영역이 EC00h - FFFFh 일 경우 사용 가능한 크기는 모두 몇 KByte 인가?

- ① 3KByte ② 4KByte
 ③ 5KByte ④ 6KByte

[정답] 핵심문제 ③ / 유사문제 1. ② 2. ③ 3. ② 4. ① 5. ③ 6. ④ 7. ② 8. ③ 9. ① 10. ② 11. ③



1회 ▶ 10-2

병렬 컴퓨터 구조를 설명한 내용으로 가장 옳지 않은 것은?

- ① 병렬 처리 기법을 구현한 컴퓨터 구조를 갖는다.
- ② 벡터(vector)컴퓨터는 병렬 컴퓨터에 속한다.
- ③ 파이프라인 처리(pipeline process)방식을 사용한다.
- ④ 다중프로그래밍(multiprogramming)기법을 사용한다.

핵심이론

병렬 처리(Parallel Processing)

- 병렬 처리는 폰 노이만 컴퓨터 구조의 순차처리에 반대되는 구조로, I/O 채널 또는 Processor와 같은 다수의 Processor(처리기)에서 동시에 여러 작업(Process)을 처리하는 것이다.
- 다수의 프로세서를 연결하여 동시에 수행을 하게 함으로써 연산 속도를 향상시키고, 다수의 프로세서를 관리하기 위한 시스템
- 병렬 처리의 목적은 처리율의 증가 및 처리 속도의 향상을 위한 것이다.

유사문제

1회 ▶ 99-1

1. 다수의 프로세서를 연결하여 동시에 수행을 하게 함으로서 연산속도를 향상시키고, 다수의 프로세서를 관리하기 위한 시스템은?

- ① 분산 처리 시스템
- ② 병렬 처리 시스템
- ③ 실시간 처리 시스템
- ④ 시분할 처리 시스템

1회 ▶ 12-2

2. 병렬 처리 컴퓨터의 특징으로 틀린 것은?

- ① 일부 하드웨어 오류가 발생하더라도 전체 시스템은 동작할 수 있다.
- ② 처리기(processor)를 N개 사용하면 처리 속도가 정확히 N배 빨라진다.
- ③ 프로그램작성이 어려워진다.
- ④ 기억장치를 공유할 수 있다.

1회 ▶ 99-2

3. 다음 중 병렬 처리기의 종류가 아닌 것은?

- ① Pipeline processor
- ② Vector processor
- ③ Multi processor
- ④ Micro processor

1회 ▶ 산 09-1

4. 다음 중 병렬 처리 시스템 방식이 아닌 것은?

- ① 배열 처리기 방식
- ② 약결합 시스템
- ③ 파이프라인 방식
- ④ 주종 다중 처리기



1회 ▶ 10-2

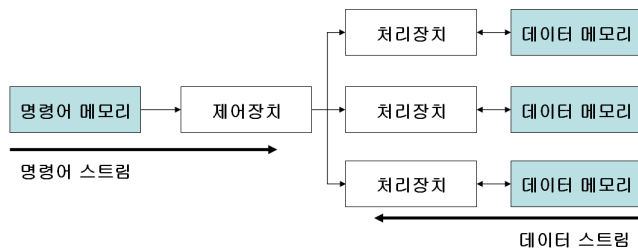
Flynn의 컴퓨터 구조 분류 방식 중 일반적으로 배열 처리기 구조라고도 하며, 여러 개의 처리기가 한 개의 제어 처리기에 의해 제어되는 구조를 갖고 있는 것은?

- ① SIMD ② MISD ③ MIMD ④ SISD

핵심이론

SIMD(Single Instruction stream Multiple Data stream)

- 하나의 명령이 여러 개의 데이터를 처리하는 형태이다.
- 병렬 처리는 배열 프로세서(Array Processor) 구조로 구현한다.
- 다수의 처리기가 한 개의 제어장치에 의해 제어되며, 모든 처리기는 제어장치로부터 같은 명령을 수행하도록 제어하지만 처리기는 각각 다른 자료를 사용함
- 모든 프로세서들은 제어 장치로부터 동일한 명령어를 받지만 명령어 실행 과정에서 서로 다른 데이터들을 사용한다.
- 모든 프로세서들이 기억장치를 공유하는 경우도 있고, 각 프로세서가 기억 장치 모듈을 따로 가지는 분산 기억장치 구조도 있다.



유사문제

1회 ▶ 99-1

1. Flynn은 컴퓨터 시스템의 구조를 네 가지로 분류하였다. 이 중 어레이 프로세싱(array processing)과 가장 밀접한 관계를 갖는 구조는?

- ① SISD(Single Instruction Single Data)
 ② SIMD(Single Instruction Multiple Data)
 ③ MISD(Multiple Instruction Single Data)
 ④ MIMD(Multiple Instruction Multiple Data)

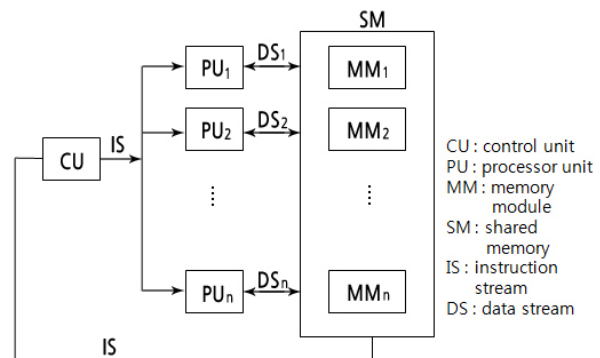
1회 ▶ 산 06-1

2. Flynn의 다중 처리기 분류에서 Array Processor와 가장 밀접한 것은?

- ① SIMD ② SISD
 ③ MISD ④ MIMD

1회 ▶ 14-2

3. 다음 [그림]은 어떤 종류의 병렬 컴퓨터를 나타낸 것 인가?



- ① SISD ② SIMD
 ③ MISD ④ MIMD



1회 ▶ 14-3

PE(Processing Element)라 불리는 복수개의 산술, 논리연산 장치를 갖는 프로세서로 동기적으로 병렬 처리를 수행하고 동시에 같은 기능을 수행하는 처리기를 무엇이라 하는가?

- ① 파이프라인 처리기(Pipeline Processor)
- ② 배열 처리기(Array Processor)
- ③ 단일 처리기(Single Processor)
- ④ 다중 처리기(Multi Processor)

핵심이론

배열 처리기(Array Processor)

- 모든 프로세싱 요소(PE ; Processing Element)들이 하나의 제어 유닛(Control Unit)의 통제 하에 동기적으로 동작하는 시스템이다.
- 각 PE는 프로세서와 기억장치로 구성되며, 간단한 연산만 수행한다.
- 제어 유닛은 명령어들을 해석하고, 그것이 실행될 PE들을 결정한다.
- 배열 처리기를 가진 컴퓨터에서 프로그램이 수행되는 곳은 제어 처리기이다.
- 호스트 컴퓨터에 접속되어서 계산 전용 컴퓨터로서 사용된다.

유사문제

1회 ▶ 99-3

1. 병렬 처리기 중에서 PE(Processing Element)라는 다수의 연산기를 가지고 다수의 데이터를 동시에 처리하도록 만들어진 처리기는?

- ① pipelined processor
- ② array processor
- ③ mulitprocessor
- ④ sigma processor

1회 ▶ 04-2

2. 다음은 어느 구조에 대한 설명인가?

PE(Processing element)라고 불리는 다수의 연산기를 갖는 형태로 PE들을 동기적으로 병렬 처리를 수행하는데 동시에 같은 기능을 수행하도록 되어 있다.

- ① 다중 처리기
- ② 배열 처리기
- ③ 파이프라인 처리기
- ④ 데이터 흐름기계

[정답] 핵심문제 ② / 유사문제 1. ② 2. ②



3회 ▶ 14-1, 13-2, 11-2

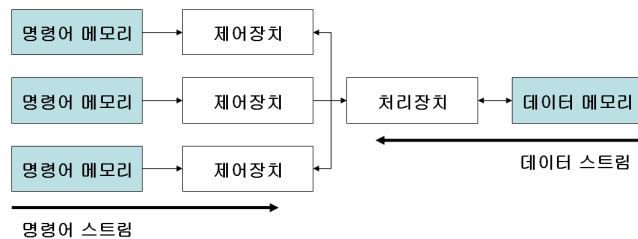
flynn의 분류법 중 여러 개의 처리기에서 수행되는 인스트럭션(instruction)들은 각기 다르나 전체적으로 하나의 데이터 스트림을 가지는 형태는?

- ① SISD ② MISD ③ SIMD ④ MIMD

핵심이론

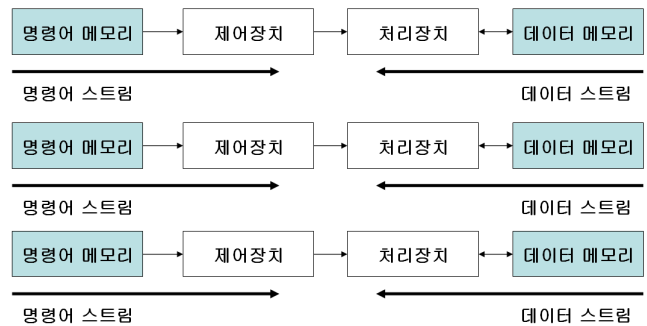
MISD(Multiple Instruction stream Single Data stream)

- 하나의 데이터에 대해 여러 명령어를 수행하는 구조이다.
- 비현실적이므로 실제로는 사용되지 않는 구조이다.



MIMD(Multiple Instruction stream Multiple Data stream)

- 여러 개의 프로세서들이 서로 다른 명령어와 데이터를 처리하는 방식이다.
- 진정한 의미의 병렬 처리 구조로 대부분 약결합 형태의 구조적 특징을 가지나, 강결합 형태도 있다.



유사문제

1회 ▶ 07-1

1. 다음 Parallel Process 중 Pipeline Process와 가장 관계가 깊은 것은?

- ① SISD(Single Instruction Single Data)
② MISD(Multi Instruction Single Data)
③ SIMD(Single Instruction Multi Data)
④ MIMD(Multi Instruction Multi Data)



유수의 조언

- 초기 가답안으로 인력공단에서는 MISD로 발표하였으나 정답은 SISD입니다.
- 파이프라인 방식은 SISD구조에서 병렬처리를 구현하는 기법입니다.

1회 ▶ 05-1추

2. 플린(Flynn)이 분류한 병렬 컴퓨터 중에서 실제 사용되기 어려운 것은?

- ① SISD(Single Instruction stream Single Data stream)
② SIMD(Single Instruction stream Multiple Data stream)
③ MISD(Multiple Instruction stream Single Data stream)
④ MIMD(Multiple Instruction stream Multiple Data stream)

1회 ▶ 06-1

3. Flynn이 제안한 4가지 병렬 처리 방식 중에서 이론적일 뿐 실질적인 처리 방식으로 사용되지 않는 구조는?

- ① SISD ② SIMD
③ MISD ④ MIMD

1회 ▶ 06-2

4. 다음 중 플린에 의한 컴퓨터 구조 방식에서 한 시스템 내에 n개의 프로세서들이 서로 다른 명령어들과 데이터를 처리하는 방식은?

- ① 단일 인스트럭션 스트림-단일 데이터 스트림(SISD)
② 단일 인스트럭션 스트림-복수 데이터 스트림(SIMD)
③ 복수 인스트럭션 스트림-단일 데이터 스트림(MISD)
④ 복수 인스트럭션 스트림-복수 데이터 스트림(MIMD)

1회 ▶ 산 06-4

5. 다수의 프로세서들이 독립적으로 서로 다른 명령어들과 프로그램을 수행하는 시스템 조직은?

- ① SISD ② SIMD
③ MIMD ④ MISO

[정답] 핵심문제 ② / 유사문제 1. ① 2. ③ 3. ③ 4. ④ 5. ③



1회 ▶ 13-2

입력 태스크(task)를 일련의 서브태스크(sub task)로 나누어 각 서브태스크는 특별한 하드웨어를 통해 동시에 동작할 수 있도록 하여 현재 디지털 컴퓨터의 처리능력을 크게 향상시키는데 기여한 기법은?

- ① pipeline ② dataflow ③ array processing ④ memory hierarchy

핵심이론

파이프라인 처리기(Pipeline Processor)

- 2개 이상의 명령어를 동시에 수행할 수 있는 프로세서이다.
- 명령어의 연산 과정을 몇 개의 단계로 구분하여, 한 명령어의 수행이 끝나기 전에 다른 명령어의 수행을 시작하는 기법이다.
- 4단계 명령어 파이프라인의 수행 순서

- ① IF(Instruction Fetch) ② ID(Instruction Decode) ③ OF(Operand Fetch) ④ EX(Execution)

파이프라인 해저드(Pipeline Hazard)

- 파이프라인이 정상적인 동작을 벗어나게 하는 요인이다.
- 종류

Structural Hazard	<ul style="list-style-type: none"> • 원인 : 자원 충돌(Resource Conflict) • 두 세그먼트가 동시에 메모리에 접근할 때 발생한다.
Data Hazard	<ul style="list-style-type: none"> • 원인 : 데이터 의존성(Data Dependency) • 어떤 명령어가 이전 명령어의 결과에 의존하여 수행될 경우 그 값이 아직 준비되지 않았을 때 발생한다.
Control Hazard	<ul style="list-style-type: none"> • 원인 : 분기 곤란(Branch Difficulty) • 분기 명령어와 같이 PC의 값을 변경시키는 명령에 의해 발생한다.

유사문제

1회 ▶ 06-2

1. 다음 중 4단계 명령어 파이프라인의 수행 순서가 올바른 것은?

- ① IF(Instruction Fetch) → OF(Operand Fetch) → ID(Instruction Decode) → EX(Execution)
 ② IF(Instruction Fetch) → ID(Instruction Decode) → OF(Operand Fetch) → EX(Execution)
 ③ ID(Instruction Decode) → IF(Instruction Fetch) → OF(Operand Fetch) → EX(Execution)
 ④ OF(Operand Fetch) → ID(Instruction Decode) → IF(Instruction Fetch) → EX(Execution)

3회 ▶ 08-1, 02-4, 01-1

2. CPU가 인스트럭션을 수행하는 순서는?

- | | |
|---------------|-----------------|
| ㉠ 인터럽트 조사 | ㉡ 인스트럭션 디코딩 |
| ㉢ 인스트럭션 fetch | ㉣ operand fetch |
| ㉤ execution | |

- ① ㉡-㉠-㉣-㉤-㉢ ② ㉡-㉣-㉤-㉢-㉠
 ③ ㉣-㉡-㉤-㉢-㉠ ④ ㉡-㉢-㉣-㉤-㉠

2회 ▶ 13-3, 10-4

3. 파이프라인 프로세서(Pipeline processor)의 설명 중 가장 적합한 것은?

- ① 2개 이상의 명령어를 동시에 수행할 수 있는 프로세서
 ② Micro program에 의한 프로세서
 ③ Bubble memory로 구성된 프로세서
 ④ Control memory가 분리된 프로세서

2회 ▶ 14-3, 12-1

4. 명령어 파이프라이닝을 사용하는 목적은?

- ① 기억용량 증대 ② 메모리 액세스의 효율 증대
 ③ CPU의 프로그램 처리 속도 개선 ④ 입출력 장치의 증설

1회 ▶ 12-3

5. 명령어 파이프라인이 정상적인 동작에서 벗어나게 하는 일반적인 원인이 아닌 것은?

- ① 자원 충돌 ② 유효 주소의 계산 ③ 데이터 의존성 ④ 분기 곤란

1회 ▶ 14-3

6. 일반적으로 명령어 파이프라인이 정상적인 동작에서 벗어나게 하는 원인으로 틀린 것은?

- ① 자원 충돌(resource conflict) ② 데이터 의존성(data dependency)
 ③ 분기 곤란(branch difficulty) ④ 지연된 분기(delayed branch)

[정답] 핵심문제 ① / 유사문제 1. ② 2. ② 3. ① 4. ③ 5. ② 6. ④