



1회 ▶ 09-1

다음 논리회로 중 성격이 다른 것은?

- ① 디코더
- ② 반가산기
- ③ 인코더
- ④ 카운터

핵심이론

조합 논리회로(Combinational Logic Circuit)

- 논리 게이트의 조합으로 구성되며, 현재의 입력값에 의해서만 출력값이 결정되는 논리회로이다.
- 기억 기능이 없다.
- 종류 : 반가산기, 전가산기, 병렬가산기, 반감산기, 전감산기, 인코더, 디코더, 멀티플렉서, 디멀티플렉서, 패리티 검사기 등

유사문제

1회 ▶ 산 02-1

1. 다음 중 조합 논리회로는?

- ① 멀티플렉서
- ② 레지스터
- ③ 카운터
- ④ RAM

1회 ▶ 산 13-3

2. 다음 중 조합 논리회로는?

- ① 반가산기
- ② 레지스터
- ③ 카운터
- ④ 버스

3회 ▶ 산 12-3, 08-4, 07-1

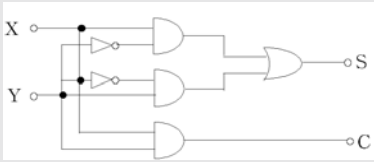
3. 다음 중 조합 논리회로가 아닌 것은?

- ① 반가산기
- ② 디코더
- ③ 멀티플렉서
- ④ 플립플롭



1회 ▶ 산 05-4

다음 회로와 진리표를 갖는 가산기의 명칭은?



입력		출력	
X	Y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

- ① Full Adder ② Half Adder ③ Full Multiplexer ④ Half Multiplexer

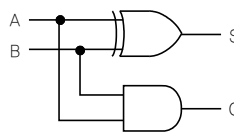
핵심이론

반가산기(Half Adder)

- 1Bit짜리 2진수 2개를 덧셈한 합(Sum)과 자리올림수(Carry)를 구하는 논리회로이다.
- 진리표
- 논리식
- 논리회로 : 1개의 AND 게이트와 XOR 게이트로 구성된다.

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

- $S = \bar{A}B + A\bar{B} = A \oplus B$
- $C = AB$



유사문제

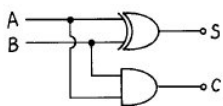
3회 ▶ 산 07-2, 02-4, 01-2

1. 하나의 AND 회로와 EX-OR 회로를 조합한 회로는?

- ① 반가산기 ② 전가산기 ③ 래치 ④ 플립플롭

1회 ▶ 05-1

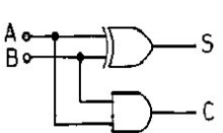
2. 그림과 같은 회로는 무엇인가?



- ① 반가산기 ② 전가산기
③ 반감산기 ④ 전감산기

1회 ▶ 산 04-2

3. 그림과 같은 논리회로를 설명한 내용 중 옳지 않은 것은?



- ① 반가산기를 나타내는 논리회로이다.
② $S = AB + A'B'$ 이다.
③ $C = AB$ 이다.
④ $S = A \oplus B$ 로 표시할 수 있다.

2회 ▶ 산 12-1, 08-8

4. 반가산기에서 합(sum)의 논리식은?

- ① $S = XY + \bar{X}\bar{Y}$ ② $S = X\bar{Y} + \bar{X}Y$
③ $S = XY + \bar{X}Y$ ④ $S = X\bar{Y} + XY$

1회 ▶ 12-3

5. 반가산기에서 입력을 X, Y라 할 때 출력 부분의 캐리(Carry) 값은?

- ① XY ② X ③ Y ④ X + Y

2회 ▶ 07-2, 04-1

6. Half-Adder는 2bit(x,y)를 산술적으로 가산하는 조합회로이며, 이에 해당하는 진리표는 다음과 같다. 캐리(C)와 합(S)을 논리적으로 구한 것은?

X	Y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

- ① $S = x \oplus y, C = xy$ ② $S = xy + xy', C = x'y$
③ $S = x \oplus y, C = xy'$ ④ $S = xy' + y, C = xy$

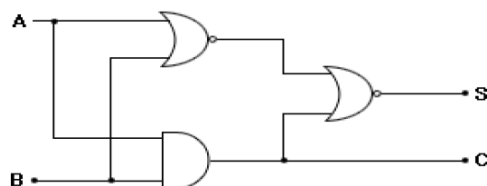
2회 ▶ 12-2, 08-2

7. 반가산기 회로의 carry(C)와 sum(S)을 나타내는 논리식은?

- ① $S = A \cdot B + \bar{A} \cdot \bar{B}, C = \bar{A} \cdot \bar{B}$ ② $S = A \cdot \bar{B} + \bar{A} \cdot B, C = \bar{A} \cdot B$
③ $S = A \cdot B + \bar{A} \cdot \bar{B}, C = A \cdot B$ ④ $S = A \cdot \bar{B} + \bar{A} \cdot B, C = A \cdot B$

1회 ▶ 산 11-2

8. 다음 회로의 명칭은?



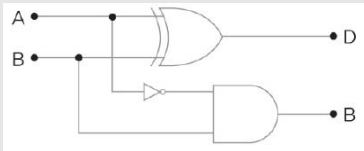
- ① Coincidence 회로 ② EX-OR 회로
③ Subtract 회로 ④ Half-adder 회로

[정답] 핵심문제 ② / 유사문제 1. ① 2. ① 3. ② 4. ② 5. ① 6. ① 7. ④ 8. ④



1회 ▶ 산 09-1

다음과 같은 회로의 명칭은?



- ① 전감산기
- ② 반가산기
- ③ 패리티 검사기
- ④ 반감산기

핵심이론

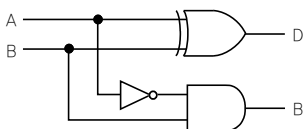
반감산기(Half Subtractor)

- 1Bit짜리 2진수 2개를 뺄셈한 차(Difference)와 자리빌림수(Borrow)를 구하는 논리회로이다.
- 진리표

A	B	Br	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

- 논리식
 - $D = \bar{A}B + A\bar{B} = A \oplus B$
 - $Br = \bar{A}B$

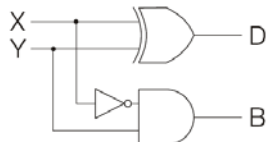
- 논리회로



유사문제

1회 ▶ 산 09-2

1. 다음과 같은 게이트로 이루어진 조합 논리회로는?



- ① 반가산기
- ② 반감산기
- ③ RS 플립플롭
- ④ 디코더

1회 ▶ 12-1

2. 반감산기에서 차를 얻기 위하여 사용하는 게이트는 EX-OR이다. 이 EX-OR와 같은 기능을 수행하기 위하여 필요한 게이트를 조합할 때, 필요한 게이트와 개수는?

- ① NOR Gate, 3개
- ② NAND Gate, 5개
- ③ OR Gate, 6개
- ④ AND Gate, 6개



1회 ▶ 산 11-3

전가산기(full adder)의 sum(s)과 carry(C_0) 비트를 논리식으로 바르게 나타낸 것은?

- ① $s = (A \oplus B) + C_i$ $C_0 = (A \oplus B \oplus C_i) + AB$
- ② $s = (A \oplus B)$ $C_0 = (A \oplus B)C_i$
- ③ $s = (A \oplus B) + C_i$ $C_0 = (A \oplus B)C_i + (A \oplus B)$
- ④ $s = (A \oplus B) + C_i$ $C_0 = (A \oplus B) \oplus C_i + AB$

핵심이론

전가산기(Full Adder)

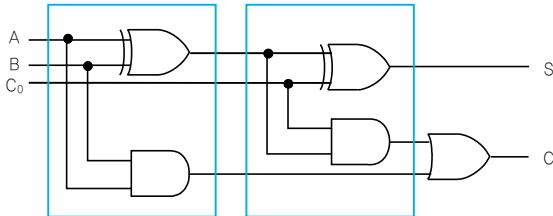
- 반가산기 회로에 뒷자리에서 발생한 자리올림수를 처리할 수 있도록 한 논리회로이다.
- 진리표

A	B	C_0	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

- 논리식

$$\begin{aligned}
 S &= \overline{A}\overline{B}C_0 + \overline{A}B\overline{C_0} + A\overline{B}\overline{C_0} + ABC_0 \\
 &= (\overline{A}\overline{B} + AB)C_0 + (\overline{A}B + A\overline{B})\overline{C_0} \\
 &= (\overline{A \oplus B})C_0 + (A \oplus B)\overline{C_0} \\
 &= (A \oplus B) \oplus C_0 \\
 C &= \overline{A}BC_0 + \overline{A}B\overline{C_0} + A\overline{B}\overline{C_0} + ABC_0 \\
 &= (\overline{A}B + A\overline{B})C_0 + AB(\overline{C_0} + C_0) \\
 &= (A \oplus B)C_0 + AB
 \end{aligned}$$

- 논리회로 : 최소 2개의 반가산기와 1개의 OR 게이트로 구성된다.



유사문제

3회 ▶ 13-1, 00-3, 99-3

1. 1개의 Full adder를 구성하기 위해서는 최소 몇 개의 Half adder가 필요한가?

- ① 1개 ② 2개
- ③ 3개 ④ 4개

2회 ▶ 산 14-2, 06-1

2. 하나의 전가산기를 구성하는데 필요한 반가산기는 최소 몇 개인가?

- ① 5 ② 4
- ③ 3 ④ 2

1회 ▶ 산 99-2

3. 전가산기(full adder)의 합의 동작을 얻을 수 있는 것은?

- ① AND ② OR
- ③ 배타적 OR ④ 다수결

4회 ▶ 13-3, 05-1, 01-1, 산 10-2

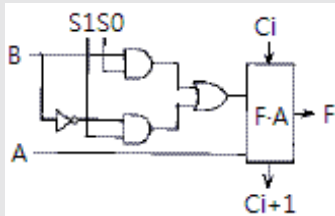
4. 전기산기(full-adder)의 carry 비트를 논리식으로 나타낸 것은? (단, x, y, z는 입력, C(carry)는 출력)

- ① $C = x \oplus y \oplus z$
- ② $C = x' y + x' z + yz$
- ③ $C = xy + (x \oplus y)z$
- ④ $C = xyz$



1회 ▶ 03-1

다음 연산회로에서 S1S0=11이고, Ci=1일 때 FA회로 출력 F는?

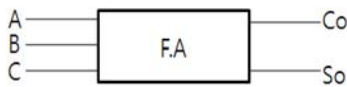


- ① $F=A+B+1$
- ② $F=A+B$
- ③ $F=A+1$
- ④ $F=A$

유사문제

1회 ▶ 산 11-2

1. 그림과 같은 전가산기(Full Adder)의 입력이 $A=1, B=0, C=1$ 일 때 출력 S0(합)과 C0(캐리)는?



- ① $C_0=0, S_0=0$
- ② $C_0=0, S_0=1$
- ③ $C_0=1, S_0=0$
- ④ $C_0=1, S_0=1$

1회 ▶ 11-3

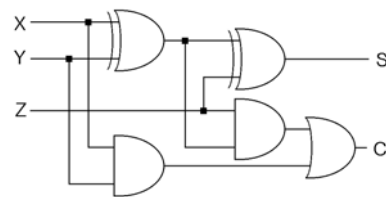
2. 다음 전가산기의 진리표 중 출력 캐리(C2)의 값은?

입력			출력	
x	y	C1	C2	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	(a)	1
1	0	1	(b)	0
1	1	0	(c)	0
1	1	1	(d)	1

- ① (a) : 1 (b) : 0 (c) : 1 (d) : 0
- ② (a) : 1 (b) : 0 (c) : 0 (d) : 1
- ③ (a) : 0 (b) : 1 (c) : 1 (d) : 1
- ④ (a) : 0 (b) : 0 (c) : 0 (d) : 1

1회 ▶ 산 08-2

3. 그림은 2개의 반가산기와 하나의 OR게이트에 의한 전가산기를 실현시킨 것이다. 출력 S의 함수로서 옳은 것은?



- ① $S = \bar{X}Y\bar{Z} + X\bar{Y}\bar{Z} + XYZ + \bar{X}\bar{Y}Z$
- ② $S = \bar{X}Y\bar{Z} + X\bar{Y}\bar{Z} + XYZ$
- ③ $S = XY\bar{Z} + X\bar{Y}\bar{Z} + XYZ + \bar{X}\bar{Y}Z$
- ④ $S = XY\bar{Z} + \bar{X}Y\bar{Z} + \bar{X}\bar{Y}Z$



1회 ▶ 09-2

일반적으로 n비트의 2진 병렬 가산기는 어떻게 구성되는가?

- ① 2^n 개의 반가산기로 구성
- ② 2^n 개의 전가산기로 구성
- ③ n개의 반가산기로 구성
- ④ n개의 전가산기로 구성

핵심이론

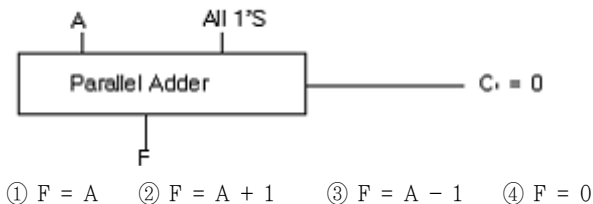
병렬 가산기(Parallel Adder)

- n-Bit로 된 2진수 A, B에 대한 덧셈을 n개의 전가산기(FA)로 구현한 실질적인 가산기이다.
- 여러 개의 자릿수로 구성된 2진수를 더하는 경우 2개의 같은 자릿수끼리 동시에 더하고 여기서 생기는 자리올림수를 다음 단 전가산기에 연결하는 방식이다.
- 덧셈을 순차적으로 처리하는 반가산기나 전가산기와는 달리 결과를 생성하는 처리 단계를 줄이기 때문에 처리 속도가 빠르다.
- 더하는 비트 수 만큼 전가산기가 필요하므로 회로가 복잡하다.

유사문제

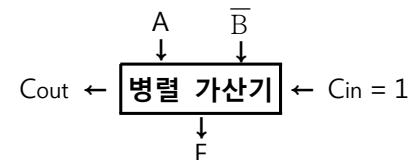
1회 ▶ 00-3

1. 그림에서 F의 값은?



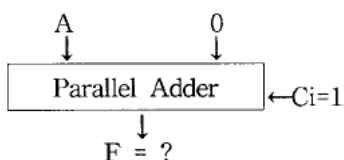
1회 ▶ 산 08-1

2. 그림과 같이 병렬 가산기의 입력에 데이터를 인가하였을 때 이 회로의 출력 F는 어떻게 되겠는가?



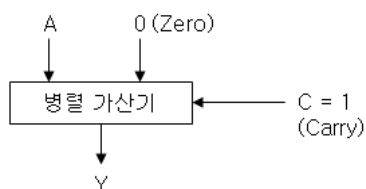
1회 ▶ 04-4

3. 다음 그림에 해당하는 마이크로 오퍼레이션 동작은 어떤 기능을 수행하는가?



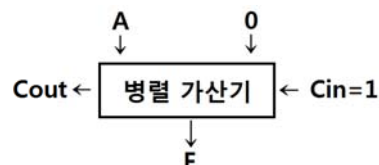
1회 ▶ 산 07-4

4. 그림과 같은 연산회로에서 얻어지는 마이크로 동작은? (단, A, 0, C는 입력이고, Y는 출력이다)



1회 ▶ 산 12-2

5. 다음 그림에서 출력 F가 갖는 논리값은?





1회 ▶ 04-4

M비트 입력단자를 통하여 들어온 2진 신호를 최대 2^M 개의 출력단자 중 하나를 선택하는 회로는?

- ① 인코더 ② 디코더
③ 멀티플렉서 ④ 디멀티플렉서

핵심이론

디코더(Decoder, 복호기)

- 인코더의 반대 기능을 수행한다.
- n개의 입력선을 통하여 들어온 2진 신호를 최대 2^n 개의 출력선 중 하나를 선택하여 출력하는 논리회로이다.
- 부호화된 데이터로부터 정보를 찾아내는 논리회로이다.
- 진리표 (2×4 디코더)

A	B	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

- 논리식 (2×4 디코더)

- $D_0 = \overline{A}\overline{B}$
- $D_1 = \overline{A}B$
- $D_2 = A\overline{B}$
- $D_3 = AB$

유사문제

1회 ▶ 05-4

1. 디코더(decoder)의 출력이 4개일 때 입력은 보통 몇 개인가?

- ① 1 ② 2
③ 8 ④ 16

1회 ▶ 07-4

2. 부호화된 데이터로부터 정보를 찾아내는 조합 논리회로는?

- ① Flip-Flop ② Decoder
③ Encoder ④ Adder

1회 ▶ 산 06-1

3. 디코더(Decoder)는 주로 어떤 게이트의 집합으로 구성되는가?

- ① NOT
② XOR
③ OR
④ AND

1회 ▶ 산 09-4

4. 다음 () 안에 알맞은 것은? (단, NOT은 고려하지 않는다.)

3×8 Decoder는 ()회로 8개로 만들 수 있다.

- ① NOR
② OR
③ NAND
④ AND

1회 ▶ 산 14-1

5. 다음 () 안에 가장 알맞은 내용은?

기본 컴퓨터의 제어장치로서 컴퓨터의 타이밍은 시퀀스 카운터와 ()에 의해 발생된다.

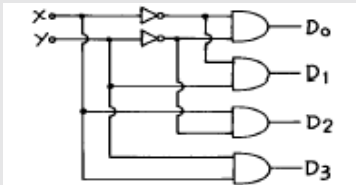
- ① 레지스터
② 누산기
③ 플립플롭
④ 디코더

[정답] 핵심문제 ② / 유사문제 1. ② 2. ② 3. ④ 4. ④ 5. ④



4회 ▶ 13-2, 07-4, 06-1, 03-1

다음 회로는 무엇인가?

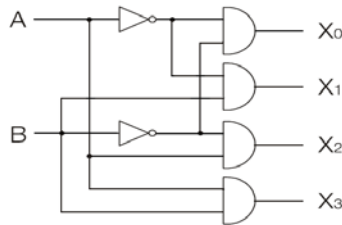
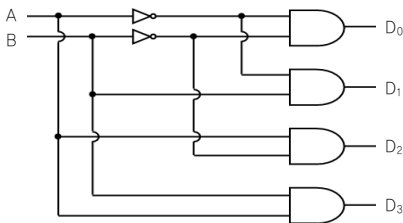


- ① decoder
- ② multiplexer
- ③ encoder
- ④ shifter

핵심이론

디코더 논리회로

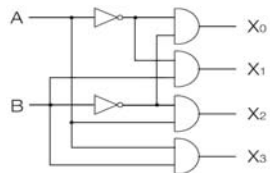
- 2×4 디코더 (NOT 게이트 2개, AND 게이트 4개로 구성)



유사문제

1회 ▶ 산 07-2

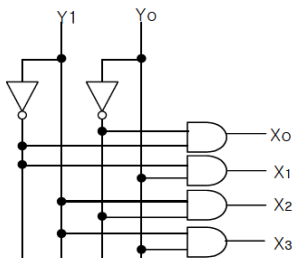
1. 다음은 어떤 논리회로인가?



- ① 인코더
- ② 디코더
- ③ RS 플립플롭
- ④ JK 플립플롭

1회 ▶ 08-4

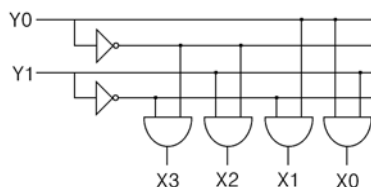
2. 그림의 Decoder에 있어서 Y0, Y1에 각각 0, 1 이 입력되었을 때 1을 출력하는 것은 다음 중 어느 쪽 단자인가?



- ① X0
- ② X1
- ③ X2
- ④ X3

1회 ▶ 산 09-4

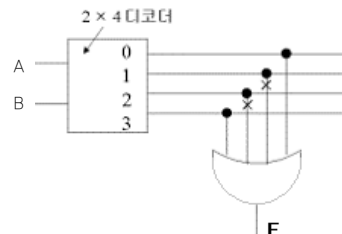
3. 다음 논리도(Logic Diagram)에서 Y0에 1, Y1에 0이 입력되었을 때, 1을 출력하는 단자는?



- ① X1
- ② X1과 X2
- ③ X2
- ④ X2과 X3

2회 ▶ 07-4, 99-1

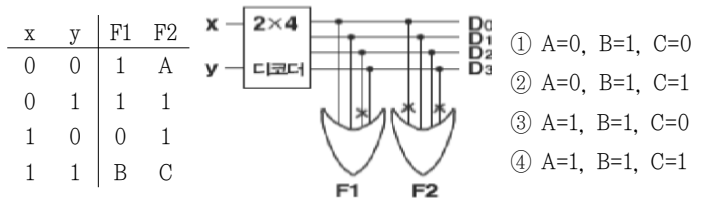
4. 다음 그림에서 F를 A, B의 불식으로 나타내면? (단, 그림에서 X는 선의 절단을 표시함)



- ① $F = A + B$
- ② $F = A\bar{B} + \bar{A}B$
- ③ $F = AB$
- ④ $F = AB + \bar{A}\bar{B}$

1회 ▶ 산 07-4

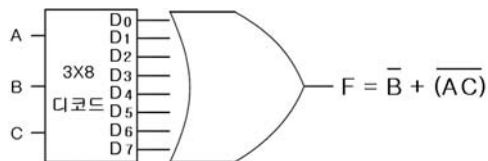
5. 다음 ROM의 회로도를 보고 진리표의 A, B, C 값을 구하면?



- ① A=0, B=1, C=0
- ② A=0, B=1, C=1
- ③ A=1, B=1, C=0
- ④ A=1, B=1, C=1

1회 ▶ 09-1

6. 다음 회로에서 OR게이트의 입력으로 연결되어야 할 디코더 출력들로 옳은 것은?



- ① D1, D4, D5, D6
- ② D0, D1, D2, D3, D4, D5, D6
- ③ D0, D1, D2, D4, D5, D6
- ④ D4, D5

[정답] 핵심문제 ① / 유사문제 1. ② 2. ③ 3. ① 4. ④ 5. ① 6. ②



2회 ▶ 산 14-3, 06-1

N개의 입력 데이터에서 입력선을 선택하여 단일 채널로 송신하는 것은?

- ① 인코더
- ② 감산기
- ③ 전가산기
- ④ 멀티플렉서

핵심이론

멀티플렉서(Multiplexer)

- 2^n 개의 입력선을 통해 들어온 2진 신호 중 n개의 선택선(selection line)을 이용하여 1개의 출력선으로 출력시키는 논리회로이다.
- 데이터 선택기(Data Selector)라고도 한다.
- 버스(Bus)를 구성하는 데 사용된다.

파고들기

조합 논리회로의 입력 및 출력 수 정리

종류	입력	출력
반가산기	2	2
전가산기	3	2
반감산기	2	2
전감산기	3	2
인코더	2^n	n
디코더	n	2^n
멀티플렉서	2^n	1
디멀티플렉서	1	2^n

유사문제

1회 ▶ 00-2

1. 버스(bus)를 구성하는데 사용할 수 있는 논리회로는?

- ① encoder
- ② multiplexer
- ③ counter
- ④ comparator

1회 ▶ 14-2

2. 디멀티플렉서(demultiplexer)에 대한 설명 중 옳은 것은?

- ① data selector라고도 불린다.
- ② 2^n 개의 input line과 n개의 output line을 갖는다.
- ③ n개의 input line과 2^n 개의 output line을 갖는다.
- ④ 1개의 input line과 n개의 selection line을 갖는다.



1회 ▶ 11-2

디코더(Decoder)로 전가산기 회로를 설계하고자 한다. 설계에 필요한 IC는?

- ① 2×4 디코더 : 1개, 4입력 OR 게이트 : 2개
- ② 2×4 디코더 : 1개, 2입력 OR 게이트 : 2개
- ③ 3×8 디코더 : 1개, 2입력 OR 게이트 : 2개
- ④ 3×8 디코더 : 1개, 4입력 OR 게이트 : 2개

유 사 문 제

1회 ▶ 12-1

1. 프로그램이 가능한 논리소자로, n 개의 입력에 대하여 2^n 개 이하의 출력을 만들 수 있는 논리회로는?

- ① RAM
- ② ROM
- ③ PLA
- ④ pipeline register

2회 ▶ 14-1, 09-4

2. 다음 소자 중에서 ROM과 유사한 성격을 가지며, AND array 와 OR array로 구성된 것은?

- ① PLA
- ② shift register
- ③ RAM
- ④ LSI