



1회 ▶ 14-1

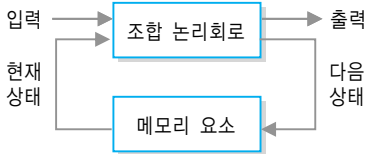
순서 논리회로에 대한 설명 중 옳지 않은 것은?

- ① 순서 논리회로는 논리 게이트 외에 메모리 요소와 귀환(feedback) 기능을 포함한다.
- ② 순서 논리회로의 출력은 현재 상태의 입력 상태와 전 상태에 의해 결정되며 회로의 동작은 내부 상태와 입력 등의 시간 순차에 의해 결정된다.
- ③ 순서 논리회로의 출력은 입력 상태와 메모리 요소들의 상태에 따라 값이 결정되므로 언제나 일정한 값을 갖지 않는다.
- ④ 순서 논리회로는 현재 상태가 다음 상태의 출력에 영향을 미치는 논리회로로서 플립플롭, 패리티 발생기, 멀티플렉서 등이 있다.

핵심이론

순서 논리회로(Sequential Logic Circuit)

- 현재의 내부 상태와 외부로부터의 입력값에 의해 출력이 결정되는 논리회로이다.
- 순서 논리회로의 출력은 현재 상태의 입력 상태와 전 상태에 의해 결정되며 회로의 동작은 내부 상태와 입력 등의 시간 순차에 의해 결정된다.
- 순서 논리회로의 출력은 입력 상태와 메모리 요소들의 상태에 따라 값이 결정되므로 언제나 일정한 값을 갖지 않는다.
- 조합 논리회로는 논리 게이트로 구성되지만, 순서 논리회로는 논리 게이트 외에 메모리 요소와 귀환(feedback) 기능을 포함한다.



- 종류 : 플립플롭, 레지스터, 카운터, RAM, CPU 등

유사문제

1회 ▶ 14-3

1. 다음 중 순서 논리회로가 아닌 것은?

- ① 플립플롭 회로
- ② 레지스터 회로
- ③ 카운터 회로
- ④ 가산기 회로

1회 ▶ 산 12-1

2. 순서 논리회로에 해당하는 것은?

- ① 인코더
- ② 가산기
- ③ 카운터
- ④ 멀티플렉서



1회 ▶ 산 07-2

플립플롭(Flip-Flop) 회로의 설명으로 틀린 것은?

- ① 1비트의 정보량을 기억하는 기능을 가진다.
- ② 레지스터의 구성 회로로 널리 사용된다.
- ③ 대표적인 조합 논리회로에 속한다.
- ④ 어느 한 상태에서 다른 상태로 동작하기 위해서는 외부의 영향이 작용하여야 한다.

핵심이론

플립플롭(FF ; Flip-Flop)

- 상태 변화를 위한 새로운 입력이 주어질 때까지 현재의 상태를 그대로 유지하는 논리회로이다.
- 어느 한 상태에서 다른 상태로 동작하기 위해서는 외부의 영향이 작용하여야 한다.
- 1Bit를 기억할 수 있다.
- 레지스터, 카운터, RAM, CPU 등을 구성하는 기본 소자이다.
- 종류 : RS 플립플롭, D 플립플롭, JK 플립플롭, T 플립플롭 등

유사문제

2회 ▶ 02-4, 00-2

1. 1비트(bit)를 저장할 수 있는 기억장치는?

- ① register
- ② accumulator
- ③ flip-flop
- ④ delay

3회 ▶ 14-3, 12-1, 10-1

2. 플립플롭이 가지고 있는 기능은?

- ① 전송 기능
- ② 기억 기능
- ③ 증폭 기능
- ④ 전원 기능

1회 ▶ 산 07-4

3. 다음 중 플립플롭으로 구성할 수 없는 것은?

- ① Counter
- ② Register
- ③ RAM
- ④ 주파수 판별기



1회 ▶ 산 11-3

RS 플립플롭의 입력과 출력에 대한 설명으로 틀린 것은?

- ① 입력 S가 1일 때 Q, \bar{Q} 는 모두 0이 된다.
- ② 입력 RS가 모두 0일 때 Q, \bar{Q} 는 앞의 상태를 유지한다.
- ③ 입력 RS가 모두 1이 되어서는 안 된다.
- ④ 출력 \bar{Q} 는 항상 Q의 반대로 된다.

핵심이론

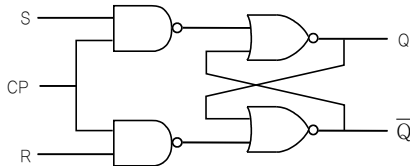
RS 플립플롭(Reset-Set FF)

- S(Set)와 R(Reset)의 입력을 조절하여 이전 값을 유지시키거나, 0 또는 1의 값을 기억시키기 위해 사용되는 플립플롭이다.
- S와 R의 입력값이 모두 0이면 상태 변화가 없고, R만 1이면 0으로 Reset, S만 1이면 1로 Set, 모두 1이면 동작하지 않는다.
- 특성표

S	R	$Q_{(t+1)}$	
0	0	$Q_{(t)}$	불변
0	1	0	Reset
1	0	1	Set
1	1	동작X	불능

※ $Q_{(t)}$: 현재 상태 값, $Q_{(t+1)}$: 플립플롭 동작 후 상태 값

• 논리회로



• 여기표

$Q_{(t)}$	$Q_{(t+1)}$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

※ X : 0, 1 중 아무거나 입력되어도 상관없는 무관(Don't care) 조건임

유사문제

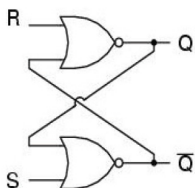
1회 ▶ 08-4

1. RS 플립플롭에서 출력이 이전 입력에 의한 출력값을 그대로 유지하는 경우는?

- ① R=0, S=0 ② R=0, S=1
- ③ R=1, S=0 ④ R=1, S=1

1회 ▶ 10-2

2. 다음 RS 플립플롭의 진리표 중에서 잘못된 것은?



R	S	$Q_{(n+1)}$
0	0	Q_n (불변)
0	1	1
1	0	0
1	1	\bar{Q}_n (toggle)

- ① Q_n (불변) ② 0
- ③ 1 ④ \bar{Q}_n (toggle)

1회 ▶ 산 05-2

3. 다음은 RS 플립플롭의 여기표(Excitation Table)이다. 옳지 않은 것은? (단, X는 무관 조건(Don't care 조건)임)

$Q(t)$	$Q(t+1)$	S	R
0	0	0	X
0	1	1	X
1	0	0	1
1	1	X	0

- ① (1)
- ② (2)
- ③ (3)
- ④ (4)

[정답] 핵심문제 ① / 유사문제 1, ① 2, ④ 3, ②



2회 ▶ 산 06-2, 02-3

JK플립플롭의 트리거 입력과 상태 전환조건을 설명한 것 중 옳지 않은 것은?

- ① $J=0$, $K=0$ 일 때는 반전치 않는다.
- ② $J=0$, $K=1$ 일 때 0으로 되돌아간다.
- ③ $J=1$, $K=0$ 일 때는 1로 된다.
- ④ $J=1$, $K=0$ 일 때는 반전된다.

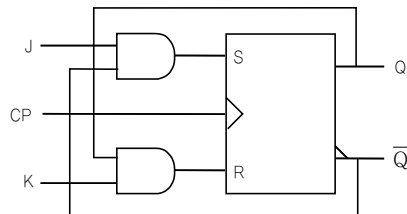
핵심이론

JK 플립플롭(JK FF)

- RS 플립플롭에서 $S=R=1$ 일 때 동작되지 않는 결점을 보완한 플립플롭이다.
- RS 플립플롭의 S와 R 입력선을 JK 플립플롭의 J와 K 입력선으로 사용한다.
- 다른 모든 플립플롭의 기능을 대용할 수 있으므로 응용 범위가 넓고 집적회로화 되어, 가장 널리 사용된다.
- 특성표

J	K	$Q_{(t+1)}$	
0	0	$Q_{(t)}$	불변
0	1	0	Reset
1	0	1	Set
1	1	$\overline{Q_{(t)}}$	반전

논리회로



여기표

$Q_{(t)}$	$Q_{(t+1)}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

유사문제

2회 ▶ 산 10-4, 06-1

1. JK 플립플롭에서 $J_n=0$, $K_n=0$ 일 때, Q_{n+1} 의 출력은?

- ① 0 ② 1
- ③ Q_n ④ $\neg Q_n$

1회 ▶ 02-3

2. JK 플립플롭에서 $J_n=1$, $K_n=0$ 일 때 Q_{n+1} 의 출력 상태는?

- ① 반전 ② 불변
- ③ 세트 ④ 리셋

2회 ▶ 12-3, 산 08-1

3. JK 플립플롭에서 $J=1$, $K=1$ 일 때 Q_{n+1} 의 출력은?

- ① Q_n ② 0(reset)
- ③ 1(set) ④ toggle

1회 ▶ 산 08-4

4. JK 플립플롭의 동작 설명으로 틀린 것은?

- ① J, K 입력이 모두 0일 때 출력은 변하지 않는다.
- ② $J=0$, $K=1$ 일 때 $Q=0$, $\overline{Q}=1$ 이다.
- ③ $J=1$, $K=0$ 일 때 $Q=1$, $\overline{Q}=0$ 이다.
- ④ $J=1$, $K=1$ 일 때 출력은 무의미하며, 사용이 안 된다.

1회 ▶ 산 13-2

5. RS 플립플롭을 JK 플립플롭으로 바꾸어 사용하려고 할 때 필요한 게이트는?

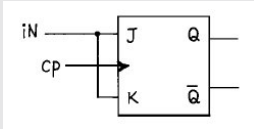
- ① OR 게이트 2개
- ② AND 게이트 2개
- ③ EX-OR 게이트 2개
- ④ NAND 게이트 2개

[정답] 핵심문제 ④ / 유사문제 1. ③ 2. ③ 3. ④ 4. ④ 5. ②



2회 ▶ 06-1, 04-4

JK 플립플롭을 그림과 같이 연결하면 어떤 플립플롭과 같은 동작을 하는가?



- ① D ② RS
③ T ④ Master-slave

핵심이론

D 플립플롭(Delay FF)

- RS 플립플롭의 R선에 인버터(Inverter)를 추가하고 S선과 하나로 묶어서 입력선을 하나로 구성한 플립플롭이다.
- 입력값을 그대로 저장하는 기능을 수행하지만, 한 클록 펄스 동안 지연(Delay)되어 출력된다.
- 특성표

D	$Q_{(t+1)}$	
0	0	Reset
1	1	Set

T 플립플롭(Toggle FF)

- JK 플립플롭의 두 입력선 J와 K를 묶어서 한 개의 입력선 T로 구성한 플립플롭이다.
- T 입력선에 1이 입력될 때마다 출력 단자의 상태가 바뀐다.
- 카운터(Counter)를 설계하는 데 가장 많이 사용되는 플립플롭이다.
- 특성표

T	$Q_{(t+1)}$	
0	$Q_{(t)}$	불변
1	$\overline{Q_{(t)}}$	반전

유사문제

3회 ▶ 11-1, 08-1, 06-2

1. 플립플롭 중 입력단자가 하나이며, 1이 입력될 때마다 출력단자의 상태가 바뀌는 것은?

- ① RS 플립플롭 ② T 플립플롭
③ D 플립플롭 ④ M/S 플립플롭

1회 ▶ 산 13-1

2. 카운터를 설계하는데 가장 많이 사용되는 플립플롭은?

- ① M/S 플립플롭 ② T 플립플롭
③ RS 플립플롭 ④ D 플립플롭

1회 ▶ 14-2

3. D 플립플롭에 입력 D가 들어오고, 클록펄스가 들어올 때 출력 $Q_{(t+1)}$ 의 식은?

- ① $D\overline{Q} + \overline{D}Q$
② $D\overline{Q}$
③ D
④ \overline{D}

[정답] 핵심문제 ③ / 유사문제 1. ② 2. ② 3. ③



1회 ▶ 08-1

RISC(Reduced Instruction Set Computer)와 CISC(Complex Instruction Set Computer)의 특징이 아닌 것은?

- ① RISC는 명령어의 길이가 고정적이다.
- ② RISC는 하드웨어에 의해 직접 명령어가 수행된다.
- ③ CISC의 수행 속도가 더 빠르다.
- ④ 펜티엄을 포함한 인텔사의 x86 시리즈는 CISC 프로세서이다.

핵심이론

CISC와 RISC 프로세서의 비교

구분	CISC (Complex Instruction Set Computer)	RISC (Reduced Instruction Set Computer)
명령어 개수	많음	적음
명령어 길이	가변적	고정적
처리 속도	느림	빠름
구조	복잡함	간단함
프로그래밍	간단함	복잡함
컴파일링	간단함	복잡함
레지스터 개수	적음	많음
메모리 접근	어떤 명령어로도 가능함	Load와 Store만 가능함
주소지정 방식	다양함	적음
제어 방식	Microprogrammed Control	Hard-wired Control
용도	개인용 컴퓨터	워크스테이션급 이상

유사문제

1회 ▶ 13-1

1. RISC 프로세서의 설명으로 옳지 않은 것은?

- ① 인텔 계열의 거의 모든 프로세서에서 사용되고 있다.
- ② 축소 명령어 세트 컴퓨터의 약어이다.
- ③ 명령어 코드로 구성하기 위한 bit 수의 증가에 대한 보완으로 개발된 프로세서이다.
- ④ 명령어들의 사용 빈도를 조사하여 사용 빈도가 높은 명령어만 사용하는 프로세서이다.

2회 ▶ 산 03-1, 99-3

2. 기존의 CISC 방식의 컴퓨터에 비해 RISC 방식의 컴퓨터에서 괄목적인 변화를 보여준 것은?

- ① 메모리 관리 측면 ② 명령어 처리 측면
- ③ 자원 관리 측면 ④ 디바이스 관리 측면

1회 ▶ 산 11-1

3. 다음 중 CISC(Complex Instruction Set Computer)형 프로세서의 특징이 아닌 것은?

- ① 명령어의 길이가 일정하다.
- ② 많은 수의 명령어를 갖는다.
- ③ 다양한 addressing mode를 지원한다.
- ④ 레지스터와 메모리의 다양한 명령어를 제공한다.

1회 ▶ 14-2

4. RISC(Reduced Instruction Set Computer)와 CISC(Complex Instruction Set Computer)에 대한 설명 중 옳지 않은 것은?

- ① RISC는 실행 빈도가 적은 하드웨어를 제거하여 자원 이용률을 높이는 장점이 있다.
- ② RISC는 프로그램의 길이가 길어지므로 수행 속도가 느린 단점이 있다.
- ③ CISC는 고급언어를 이용하여 알고리즘을 쉽게 표현 할 수 있는 장점이 있다.
- ④ CISC는 복잡한 명령어군을 제공하므로 컴퓨터 설계 및 구현시 많은 시간을 필요로 하는 단점이 있다.

1회 ▶ 13-2

5. CISC(Complex Instruction Set Computer)와 RISC(Reduced Instruction Set Computer)에 대한 비교 설명으로 옳지 않은 것은?

- ① CISC-명령어와 주소지정 방식을 보다 복잡하게 하여 풍부한 기능을 소유하도록 한다. RISC-아주 간단한 명령들만 가지고 매우 빠르게 동작하도록 한다.
- ② CISC-거의 모든 명령어가 레지스터를 대상으로 하며 메모리의 접근을 최소로 한다. RISC-처리 속도를 증가시키기 위해서 독특한 형태로 다 기능을 지원하는 메모리와 레지스터를 대상으로 한다.
- ③ CISC-명령어의 수가 수 백 개에서 많게는 1500여 개로 매우 다양하다. RISC-명령어의 수가 CISC에 비해서 약 30% 정도며 명령어 형식도 최소한 줄였다.
- ④ CISC-데이터 경로가 메모리로부터 레지스터 ALU, 버스로 연결되는 등 다양하다. RISC-데이터 경로 사이클을 단일화하며 사이클 time을 최소화한다.

[정답] 핵심문제 ③ / 유사문제 1. ① 2. ② 3. ① 4. ② 5. ②



1회 ▶ 산 13-3

일반적인 micro processor에서 ALU가 위치한 곳, ALU 의미가 옳게 나열된 것은?

- ① CPU, 산술논리연산장치
- ② ROM, 산술논리연산장치
- ③ CPU, address locating unit
- ④ ROM, address locating unit

핵심이론

연산장치(ALU ; Arithmetic and Logic Unit, 산술논리장치)

- 제어장치의 명령에 따라 실제로 연산을 수행하는 장치이다.
- 산술 연산, 논리 연산, 관계 연산, 이동(Shift) 등을 수행한다.
- 가산기, 누산기, 보수기, 데이터 레지스터, 시프트 레지스터 등으로 구성된다.

유사문제

2회 ▶ 산 03-1, 01-2

1. ALU의 목적은?

- ① OP 코드의 번역
- ② 산술과 논리 연산의 실행
- ③ 필요한 기계 사이클 수의 계산
- ④ 어드레스 버스 제어

2회 ▶ 산 01-3, 99-2

2. 연산장치의 기본 요소가 되는 것은?

- ① 자기 테이프
- ② 레지스터
- ③ 카드
- ④ 자기코어

1회 ▶ 산 05-1

3. 중앙처리장치의 하드웨어 요소 중 조합 논리회로만으로 구성된 것은?

- ① 명령 레지스터(Instruction register)
- ② 프로그램 카운터(Program counter)
- ③ 어큐뮬레이터(Accumulator)
- ④ 연산기(ALU)

1회 ▶ 산 07-4

4. 마이크로프로세서의 연산 단위를 결정하는 기준에 포함되지 않는 것은?

- ① 메모리 용량
- ② 레지스터의 크기
- ③ 외부 버스의 크기
- ④ CPU 내부 버스의 크기



1회 ▶ 12-2

제어장치의 기능에 대한 설명으로 옳지 않은 것은?

- ① 입력장치의 내용을 기억장치에 기록한다.
- ② 기억장치의 내용을 연산장치에 옮긴다.
- ③ 가상메모리에 있는 프로그램을 해독한다.
- ④ 기억장치의 내용을 출력장치에 옮긴다.

핵심이론

제어장치(Control Unit)

- 주기억장치에 기억된 명령을 꺼내서 해독하고, 시스템 전체에 제어 신호(Control Signal)를 보낸다.
- 명령 코드가 명령을 수행할 수 있도록 필요한 제어 기능을 제공해 준다.
- 명령 레지스터, 명령어 해독기, 주소 처리기(번지 해독기), 제어 신호 발생기(부호기), 프로그램 카운터 등으로 구성된다.

유사문제

1회 ▶ 12-3

1. 일반적인 제어장치 모델에서 제어장치로 입력되는 항목이 아닌 것은?

- ① CPU 내의 제어 신호들
- ② 클록
- ③ 명령어 레지스터
- ④ 플래그



1회 ▶ 산 08-1

컴퓨터 내부 회로에서 버스 선(Bus Lines)을 사용하는 가장 큰 목적은?

- ① Speed를 향상시킨다.
- ② 보다 정확한 전송이 가능하다.
- ③ 레지스터(Register)의 수를 줄인다.
- ④ 결선의 수를 줄인다.

핵심이론

버스(Bus)

- CPU, 메모리, 입·출력장치 등과 상호 필요한 정보를 교환하기 위해 연결하는 공동의 전송선이다.
- 컴퓨터 내부 회로에서 버스를 사용하는 가장 큰 목적은 결선의 수를 줄이기 위함이다.
- 전송하는 정보에 따른 분류

번지 버스 (Address Bus)	CPU가 메모리나 입·출력장치의 번지를 지정할 때 사용되는 단방향 전송선이다.
자료 버스 (Data Bus)	CPU, 메모리, 입·출력장치 간에 데이터를 주고받을 때 사용되는 양방향 전송선이다.
제어 버스 (Control Bus)	CPU가 메모리나 입·출력장치에게 제어 신호를 전송할 때 사용되는 양방향 전송선이다.

- 위치에 따른 분류

내부 버스 (Internal Bus)	CPU 및 메모리 내에 있는 버스이다.
외부 버스 (External Bus)	입·출력장치에 있는 버스이다.

유사문제

1회 ▶ 산 04-1

1. 중앙처리장치에서 사용하고 있는 버스(BUS)의 형태에 속하지 않는 것은?

- ① Address Bus
- ② Control Bus
- ③ Data Bus
- ④ System Bus

1회 ▶ 산 00-1

3. 마이크로프로세서 장치로 들어가는 4가지 입력 중에서 출력과 겹쳐져 쌍방향성인 것은?

- ① 전원공급 입력
- ② 클록 입력
- ③ 인터럽트 입력
- ④ 데이터 버스 입력

3회 ▶ 04-2, 00-3, 산 10-1

2. I/O bus에 연결될 수 있는 다음 4개의 선 중에서 양방향성(bidirectional)인 것은?

- ① interrupt sense line
- ② data line
- ③ function line
- ④ device address line

[정답] 핵심문제 ④ / 유사문제 1. ④ 2. ② 3. ④



1회 ▶ 09-4

버스 클럭(bus clock)이 2.5GHz이고, 데이터 버스의 폭이 8비트인 버스의 대역폭에 가장 근접한 것은?

- ① 25 [Gbytes/sec]
- ② 16 [Gbytes/sec]
- ③ 2 [Gbytes/sec]
- ④ 1 [Gbytes/sec]

유 사 문 제

1회 ▶ 99-3

1. M 비트 크기를 갖는 N개의 레지스터 간에 직접자료 전달을 위해서 점점끼리 연결했을 경우 선의 수와 버스를 사용했을 때 선의 수의 차이는?

- ① $N(N-1)$
- ② $MN(N-1)$ 개
- ③ M개
- ④ $M(N^2-N-1)$ 개

2회 ▶ 산 08-2, 06-2

2. 버스 경합을 줄이기 위한 방법이 아닌 것은?

- ① 슈퍼스칼라 방식 사용
- ② 버스의 고속화
- ③ 캐시의 사용
- ④ 다중 버스 사용