

Hardware: Processoren

- Processorarchitectuur
- Algemene processorkenmerken
- Microarchitectuur

Hardware: Processoren

- Processorarchitectuur
- Algemene processorkenmerken
- Microarchitectuur

Hardware: Processoren

□ Processorarchitectuur

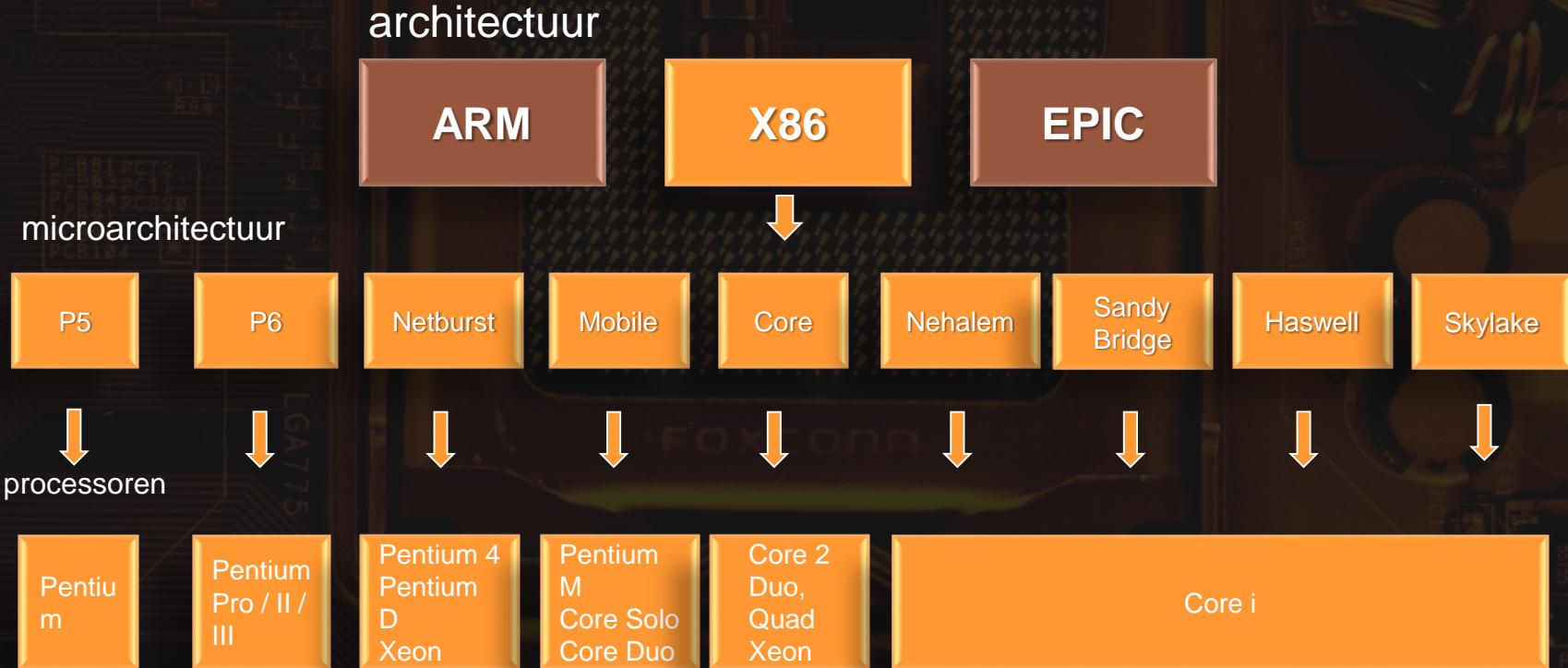
- ❖ X 86
- ❖ Tick tock strategie

□ Algemene processorkenmerken

□ Microarchitectuur

Processorarchitectuur

Beschrijft de inwendige manier waarop een processor instructies uit voert en hoe hij dient te worden aangestuurd (instructieset).



Processorarchitectuur

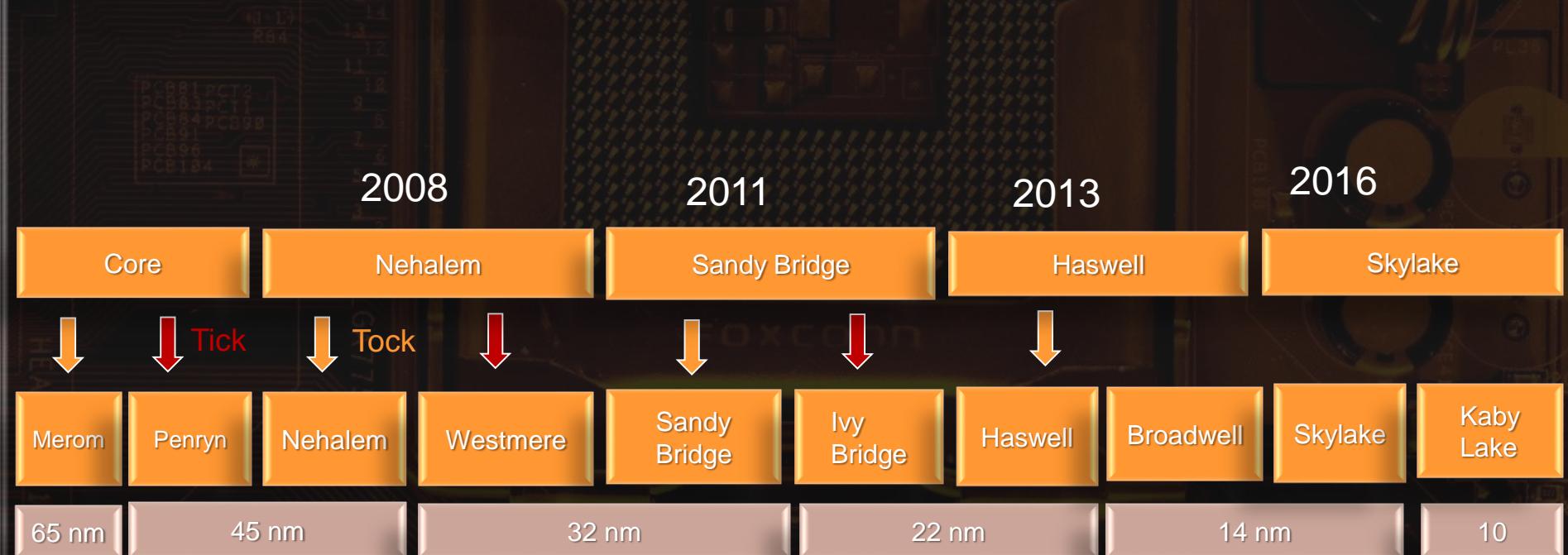
❑ X86 architectuur

- ❖ Belangrijkste architectuur binnen de pc-markt
- ❖ Sinds de jaren 80 = Intel
- ❖ NEC = V20 en V30 processoren, "8088" compatibel
- ❖ Andere fabrikanten = AMD en Cyrix (eerst in licentie)
- ❖ Drie hoofdvarianten van de x86-instructieset:
 - 16-bits variant
 - 32-bits variant
 - 64-bits variant.
 - Afhankelijk van de modus, gebruikt de processor een van de varianten.

Processorarchitectuur

□ Tick Tock

- ❖ Intel past de “Tick-Tock”-strategie toe.
- ❖ Tick = nieuwe productietechnologie met toename van transistordensiteit en betere energieëfficiëntie.
- ❖ Tock = nieuwe microarchitectuur



Hardware: Processoren

- Processorarchitectuur
- **Algemene processorkenmerken**
 - ❖ Data bus
 - ❖ Klokfrequentie
 - ❖ Bandbreedte
 - ❖ Superscalaire, pipelining
 - ❖ Cache
 - ❖ Dynamic branch
 - ❖ SSE (STREAMING - **Single instruction, multiple data, extensions**)
 - ❖ Floating point unit
 - ❖
- **Algemene processorkenmerken**

Hardware: Processoren

- Processorarchitectuur
- Algemene processorkenmerken

- ❖ Data bus
- ❖ Klokfrequentie
- ❖ Bandbreedte
- ❖ Superscalaire, pipelining
- ❖ Cache
- ❖ Dynamic branch
- ❖ SSE (STREAMING - **Single instruction, multiple data, extensions**)
- ❖ Floating point unit
- ❖

- Algemene processorkenmerken

Kenmerken: databus

□ Interne data en externe data

- ❖ De interne databus van de microprocessor worden gevormd door zijn registers. Hierin plaatst de microprocessor de gegevens die hij nodig heeft voor het uitvoeren van de instructies.
 - interne databus = registerbreedte = woordgrootte
- ❖ De externe databus (datapad) wordt gevormd door de parallelle verbindingen die gebruikt worden om de gegevens tussen de verschillende onderdelen van het moederbord te verzenden.
 - externe databus = datapad = busbreedte

Kenmerken: databus

CPU

ALU



Registers

Intern
Datapad

Busbreedte

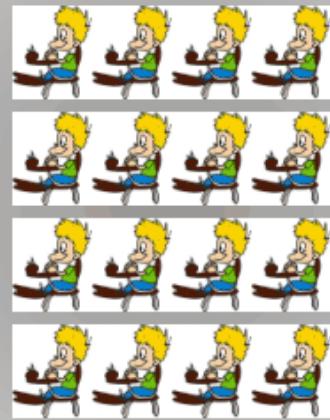
Extern
Datapad

RAM



Kenmerken: databus

School



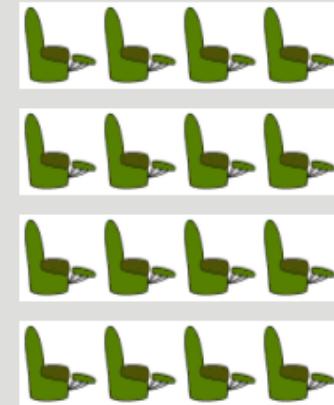
Registers

Intern
Datapad



Extern
Datapad

Bioscoop



Kenmerken: databus

□ Interne en externe databus

Processor	Interne databus	Externe databus
8086	16 bit	16 bit
8088	16 bit	8 bit
80286	16 bit	16 bit
80386 DX	32 bit	32 bit
80386 SX	32 bit	16 bit
80486	32 bit	32 bit
Pentium	32 bit	64 bit
Core 2 Duo	32 bit	64 bit
Core i7	32 bit	64 bit
Itanium2	64 bit	128 bit

Hardware: Processoren

- Processorarchitectuur
- **Algemene processorkenmerken**
 - ❖ Data bus
 - ❖ Klokfrequentie
 - ❖ Bandbreedte
 - ❖ Superscalaire, pipelining
 - ❖ Cache
 - ❖ Dynamic branch
 - ❖ SSE (STREAMING - **Single instruction, multiple data, extensions**)
 - ❖ Floating point unit
 - ❖
- **Algemene processorkenmerken**

Kenmerken: klokfrequentie

□ Klokfrequentie: intern en extern

- ❖ Een klok die precies een miljoen tikken per seconde slaat noemt men een megahertz klok. De snelheid wordt dan ook uitgedrukt in MHz (één miljoen trillingen per seconde) of GHz.

interne kloksnelheid = processorfrequentie

externe kloksnelheid = busfrequentie

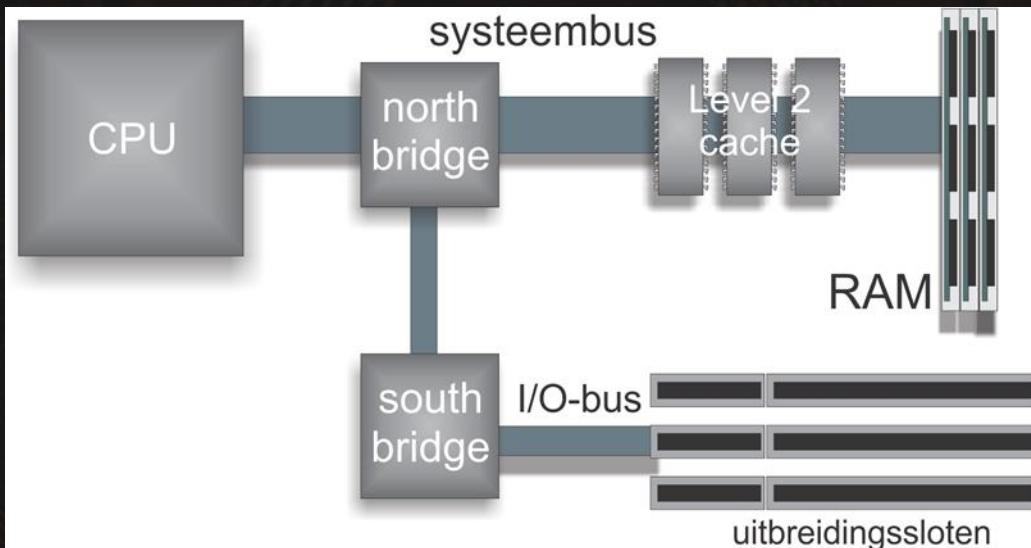
- ❖ Het type van de processor bepaalt welke snelheden kunnen worden bereikt.

Kenmerken: klokfrequentie

□ Klokfrequentie: intern en extern

interne klok = vermenigvuldigingsfactor X externe klok

- ❖ 8088, 80286, 80386
 - interne klok gelijk aan externe klok (systeembus)
- ❖ 80486
 - klokverdubbelaars en klokverdrievoudigers.



Kenmerken: klokfrequentie

□ Dual Independent Bus architectuur

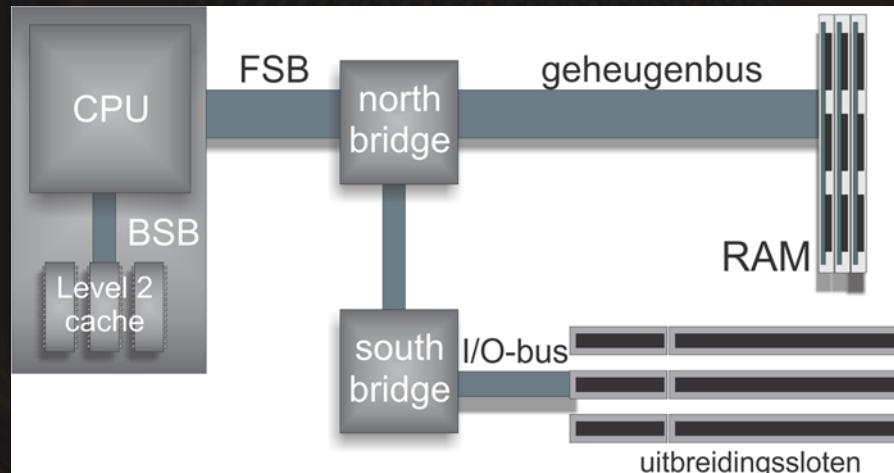
- ❖ De systeembus is opgedeeld in de back side bus (BSB) de front side bus (FSB) snelheid;
 - **Back side bus** is de bus die door de processor gebruikt wordt voor het aanspreken van de L2-cache;
 - **Front side bus** is de bus tussen de processor en het hoofdgeheugen (via north bridge);
- ❖ Dit laat toe om de snelheid van de front side bus te verhogen en dit onafhankelijk van de back side bus die evenredig met de klokfrequentie van de processor stijgt.

Kenmerken: klokfrequentie

□ Klokfrequentie: intern en extern

interne klok = vermenigvuldigingsfactor X FSB

- ❖ Pentium processoren
 - maken gebruik van halve factoren
- ❖ Pentium 4/D en Core 2
 - bezitten een “quad pumped” bus



Kenmerken: klokfrequentie

□ Multipliers bij Core 2 Duo

Core 2 Duo

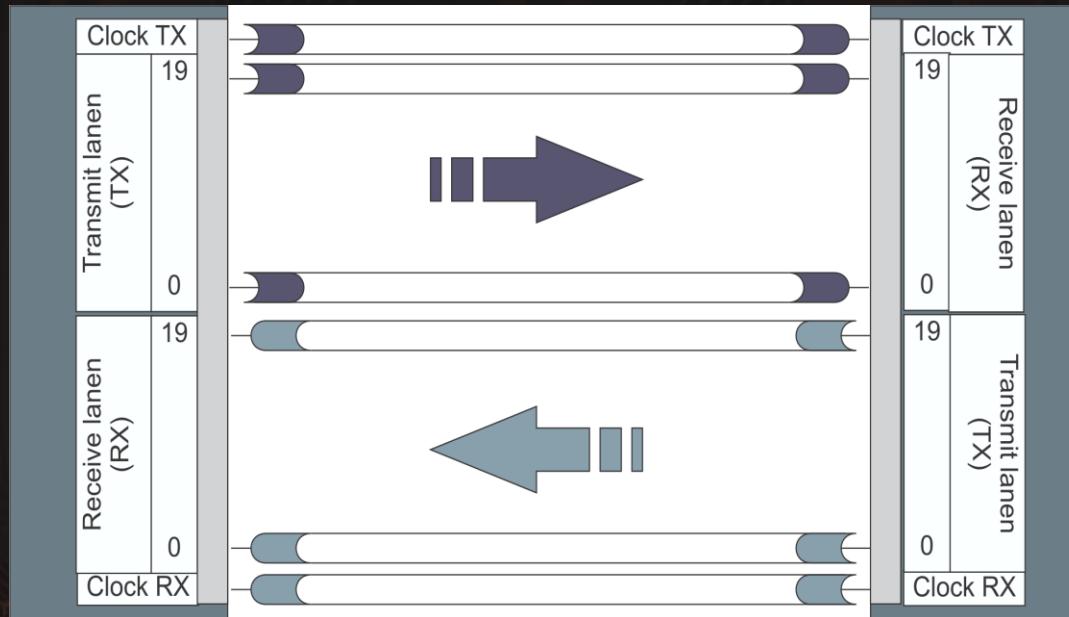
Multiplier	800 MHz	Multiplier	1066 MHz	Multiplier	1333 MHz	Multiplier	1600 MHz
9	1,80 GHz	7	1,86 GHz	7	2,333 GHz	8	3,200 GHz
10	2,00 GHz	8	2,13 GHz	8	2,667 GHz		
11	2,20 GHz	9	2,40 GHz	8,5	2,833 GHz		
12	2,40 GHz	9,5	2,53 GHz	9	3,000 GHz		
13	2,60 GHz	10	2,67 GHz	9,5	3,167 GHz		
		10,5	2,8 GHz	10	3,333 GHz		
		11	2,93 GHz				

Kenmerken: klokfrequentie

❑ Klokfrequentie: intern en extern

❖ Core i (Nehalem en Sandy Bridge)

- de paralelle front side bus vervangen door een seriële bus, de QuickPath Interconnect (QPI)
- een frequentie van 2,4 GHz, 2,93 GHz of 3,2 GHz
- geven 2 bits per cyclus door (double date rate).



Kenmerken: klokfrequentie

❑ Basisklokfrequenties:

Processor	Interne klokfrequentie	Externe klokfrequentie
8086	4,77 MHz	4,77 MHz
80286	6 MHz	6 MHz
80386	16 MHz	16 MHz
80486	33 MHz	33 MHz
Pentium	60 - 233 MHz	50/60/66 MHz
Pentium 2	233 - 450 MHz	66/100 MHz
Pentium 3	450 MHz – 1,13 GHz	100/133 MHz
Pentium 4/D	1.3 – 3,8 GHz	400/533/667 MHz
Core 2 Duo	1.8 – 3,33 GHz	800/1066/1333 MHz
Core i	2,1 – 3,33 GHz	2,4 – 3,2 GHz

Kenmerken: klokfrequentie

□ Prestaties - IPC

- ❖ IPC = Instructions per clockcycle
- ❖ Aantal instructies per klokslag
- ❖ Afhankelijk van de architectuur
- ❖

Hardware: Processoren

- Processorarchitectuur
- **Algemene processorkenmerken**
 - ❖ Data bus
 - ❖ Klokfrequentie
 - ❖ **Bandbreedte**
 - ❖ Superscalaire, pipelining
 - ❖ Cache
 - ❖ Dynamic branch
 - ❖ SSE (STREAMING - **Single instruction, multiple data, extensions**)
 - ❖ Floating point unit
 - ❖
- **Algemene processorkenmerken**

Kenmerken: bandbreedte

□ Bandbreedte

- ❖ Product van busbreedte en busfrequentie
- ❖ Pentium 4 met FSB van 1066 MHz
 - $8 \text{ byte} * 266 \text{ miljoen/s} * 4 = 8,4 \text{ GiB /s}$
- ❖ Core 2 Duo met FSB van 1600 MHz
 - $8 \text{ byte} * 400 \text{ miljoen/s} * 4 = 12,8 \text{ GiB /s}$
- ❖ Core i
 - Een 3,2 GHz QPI werkt in double date rate (dus 2 bits per cyclus) en is opgebouwd uit 20 bidirectionele lijnen (tweerichtingsverkeer).
 - In totaal = 256 gigabits. Om 64 bits aan data door te geven zijn er echter 80 bits nodig (8/10 encoding), dus resten er 204,8 Gb of 25,6 GB.

Kenmerken: bandbreedte

❖ Bandbreedte = busbreedte x busfrequentie

Processor	Busbreedte	Busfrequentie	Bandbreedte
8088, 8086	8 bit	4,7 MHz	4,7 MB
80286	16 bit	6 MHz	12 MB
80386	32 bit	16 MHz	64 MB
80486	32 bit	33 MHz	128 MB
Pentium	64 bit	66 MHz	528 MB
Pentium II	64 bit	100 MHz	800 MB
Pentium III	64 bit	133 MHz	1066 MB
Pentium 4	64 bit	4*266 MHz	8,4 GB
Core 2 Duo	64 bit	4*400 MHz	12,8 GB
Core i	64 bit	3,2 GHz	25,6 GB

Kenmerken: adresbus

❑ Adresbus

- ❖ Aantal adrespennen bepaalt het 'adresseerbaar' geheugenbereik (RAM-geheugen).
- ❖ Meer pennen = groter adresseerbaar bereik.

Processor	Aantal adrespennen	Adresseerbaar geheugen
8088/8086	20	1 MiB
80286	24	16 MiB
80386, 486, Pentium	32	4 GiB
Pentium II/III/4	36	64 GiB
Core	36	64 GiB
Itanium 2	44	16 TiB

Hardware: Processoren

- Processorarchitectuur
- **Algemene processorkenmerken**
 - ❖ Data bus
 - ❖ Klokfrequentie
 - ❖ Bandbreedte
 - ❖ **Superscalaire, pipelining**
 - ❖ Cache
 - ❖ Dynamic branch
 - ❖ SSE (STREAMING - **Single instruction, multiple data, extensions**)
 - ❖ Floating point unit
 - ❖
- **Algemene processorkenmerken**

Superscalair en pipelining

□ Superscalaire uitvoering

- ❖ manier om meer werk te doen op dezelfde tijd.

□ Superscalar execution door gebruik te maken van meerdere pipelines.

□ Één instructie = vijf stadia (stages):

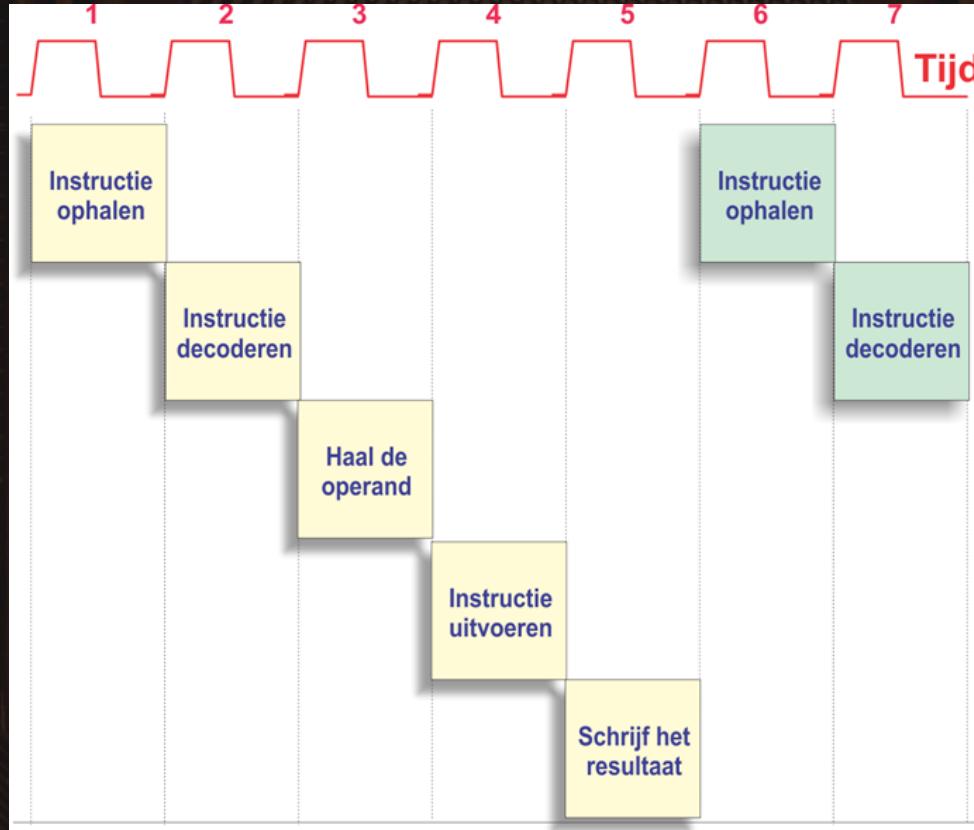
- | | |
|----------------------|---------------------------|
| ❖ Prefetch | S1 = haal de instructie |
| ❖ Instruction decode | S2 = wat uitvoeren? |
| ❖ Adress generation | S3 = haal de operanden |
| ❖ Execution | S4 = doe het werk |
| ❖ Write back | S5 = plaats het antwoord. |



Superscalair en pipelining

□ Zonder pipeline

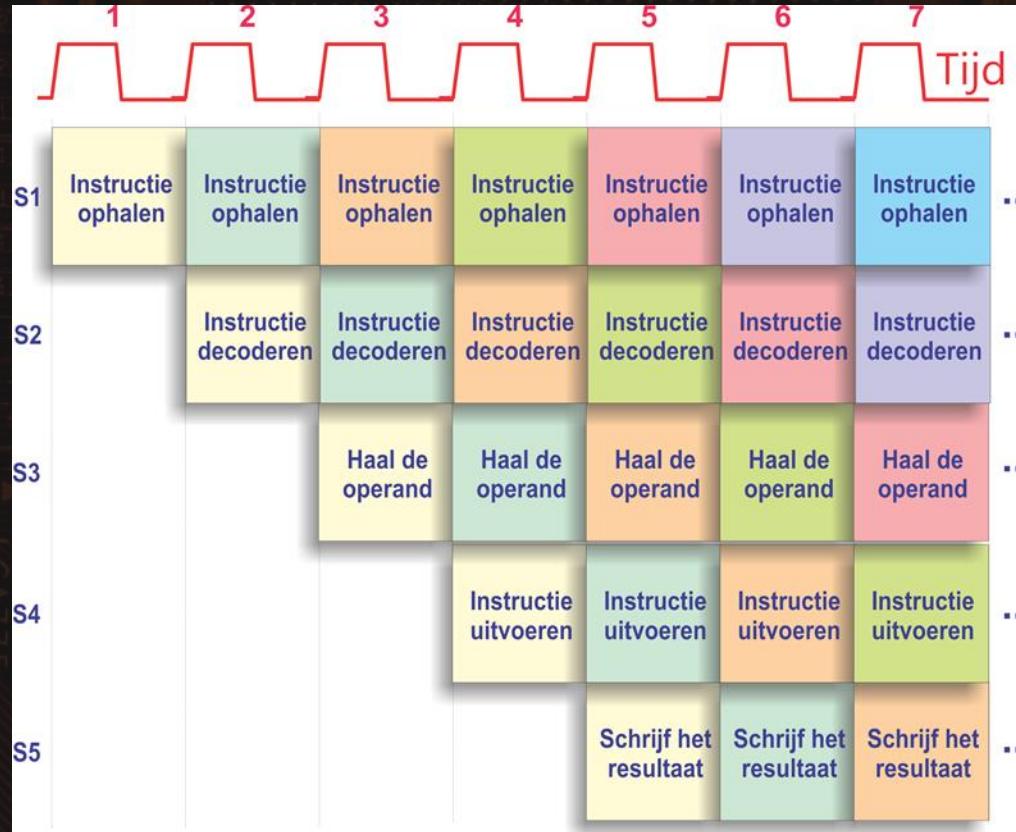
- ❖ Elke instructie duurt vijf cycli



Superscalair en pipelining

Met pipeline

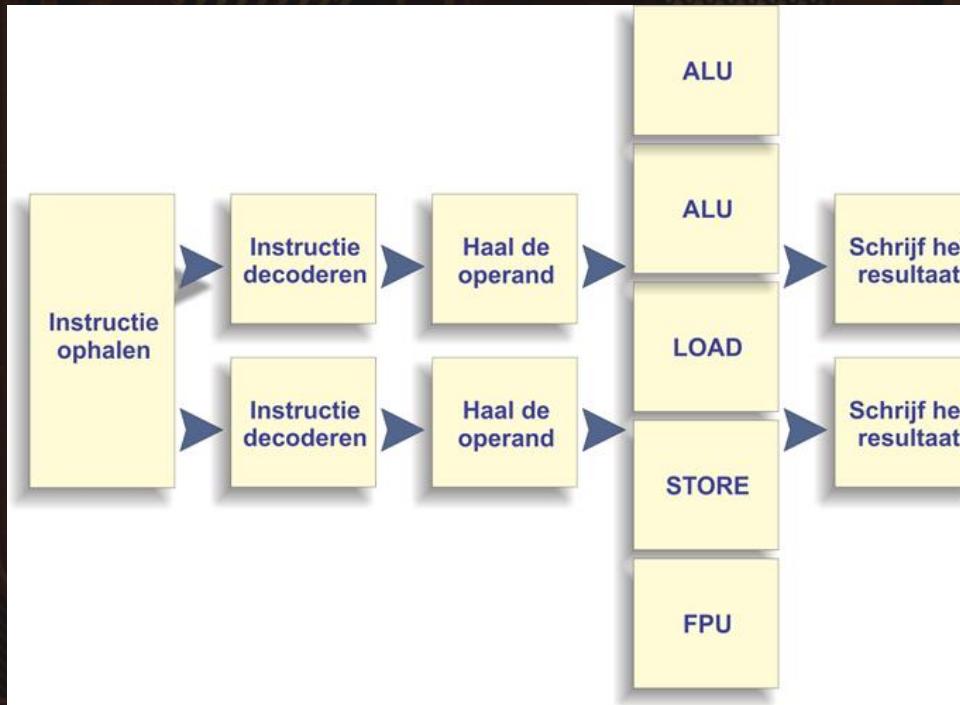
- ❖ Eén instructie per cyclus, per pipeline



Superscalair en pipelining

□ Pentium = 5 stages, 2 pipelines

- ❖ elke stage = minder werk = eenvoudiger = kan sneller worden uitgevoerd
- ❖ Pentium 200 MHz = 400 MIPS



Superscalair en pipelining

- elke stage = minder werk = eenvoudiger = kan sneller worden uitgevoerd

Processor	Aantal stappen	Aantal pipelines
Pentium	5	2
Pentium MMX	6	2
Pentium Pro, II en III	12	3
Pentium 4	20	3
Pentium 4 (Prescott)	31	3
Core 2 Duo en Quad	14	4
Core i3/i5/i7 (Nehalem, Sandy Bridge)	20-24	4
Core i3/i5/i7 (Haswell)	14	4

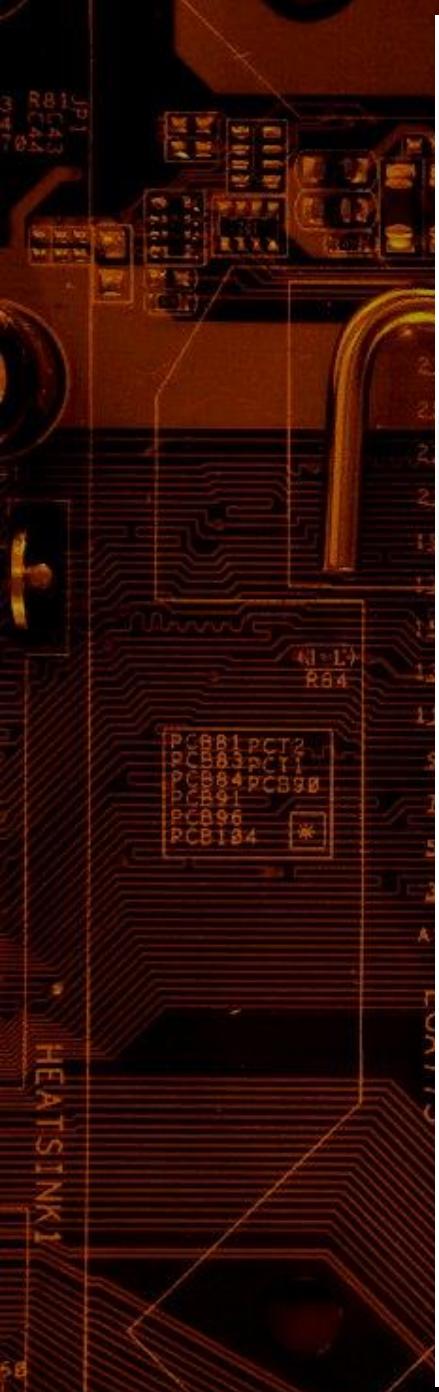
Hardware: Processoren

- Processorarchitectuur
- **Algemene processorkenmerken**
 - ❖ Data bus
 - ❖ Klokfrequentie
 - ❖ Bandbreedte
 - ❖ Adresbus
 - ❖ Superscalaire, pipelining
 - ❖ Cache
 - ❖ Dynamic branch
 - ❖ SSE (STREAMING - **Single instruction, multiple data, extensions**)
 - ❖ Floating point unit
 - ❖
- **Algemene processorkenmerken**

Kenmerken: cache

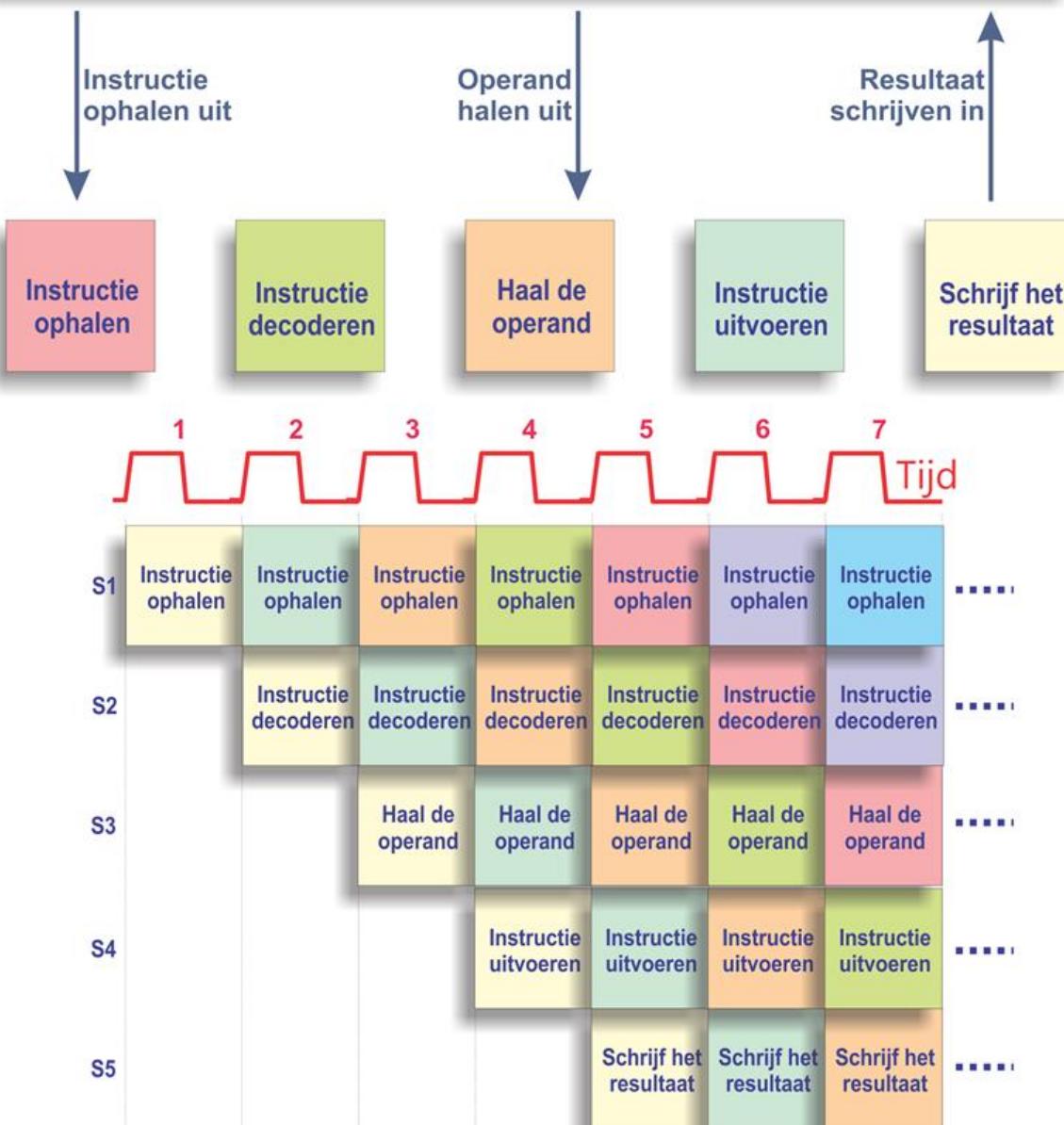
□ Level-1: gescheiden code- en datacaches

- ❖ Vanaf de Pentium processoren is er een fysisch gescheiden L1-cache voor instructies (Icache) en voor data (Dcache). Dit creëert een parallelisme dat de processor toelaat om instructies en data tegelijkertijd op te halen uit de cache. Hierdoor kunnen drie instructies (lezen van de instructie, lezen van de operand, schrijven van de operand) in dezelfde klokcyclus plaatsvinden.
- ❖ Door de scheiding van het L1-cache geheugen wordt het volledige voordeel uit de parallelle pipelines geput aangezien deze verhoogde benadering van het geheugen voorkomt dat de pipeline moet wachten.



INSTRUCTION Cache

DATA Cache



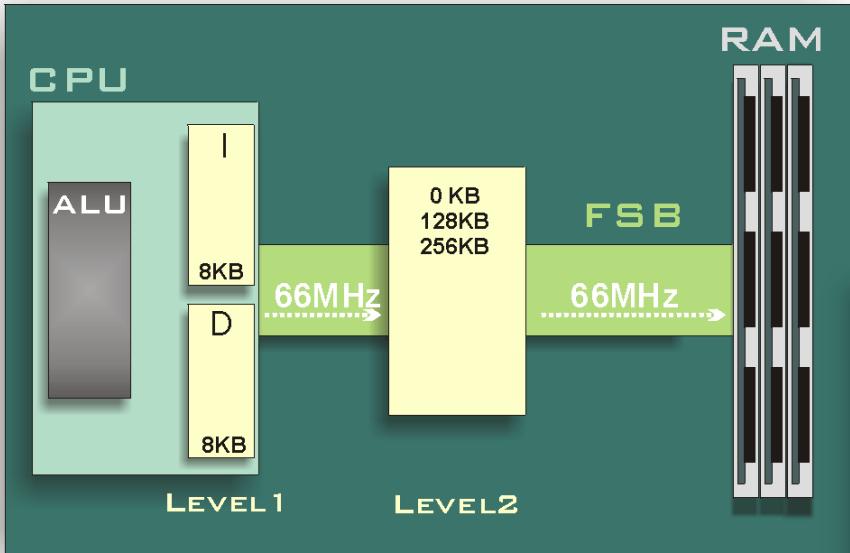
Kenmerken: cache

□ Level-1 cache (primaire cache)

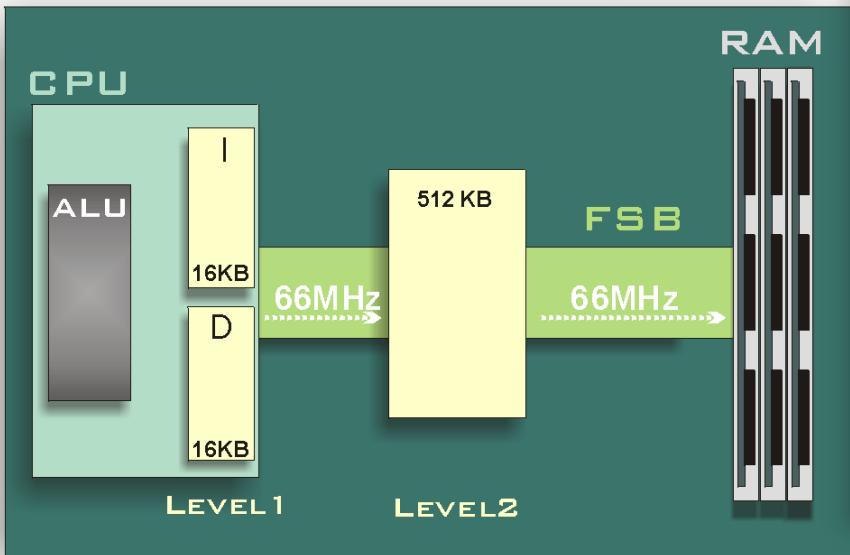
- ❖ Vanaf de 80486 wordt gebruik gemaakt van 'on-chip caches' (Level-1 cache).
- ❖ Statisch RAM-geheugen laat de prestaties sterk toenemen.

Processor	L1-cache
80486 DX	8 KiB L1 cache
80486 DX4	16 KiB L1 cache
Pentium	16 KiB L1 cache
Pentium MMX	32 KiB L1 cache (data- en code)
Pentium 4	20 KiB L1 cache (data- en code)
Core 2 / Core i	32 KiB L1 cache (data- en code)

PENTIUM (P54C)



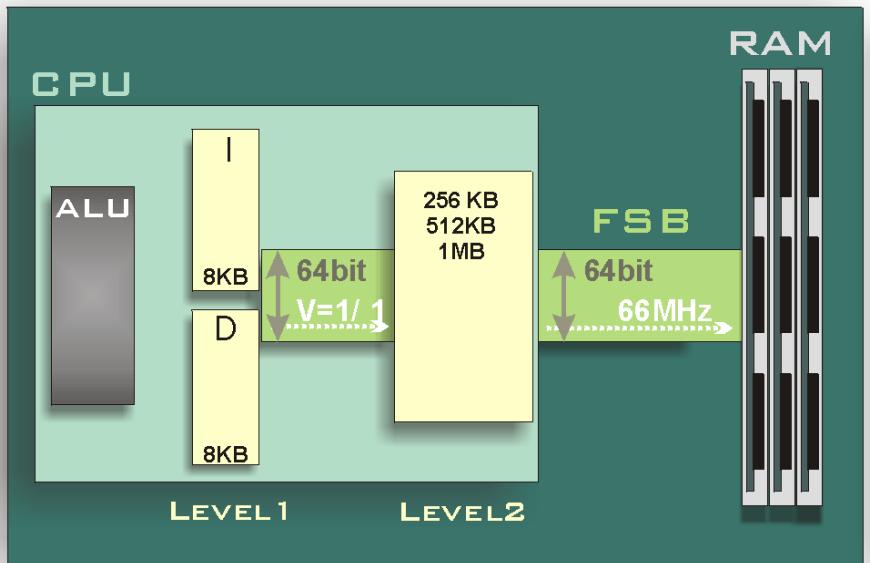
PENTIUM MMX (P55)



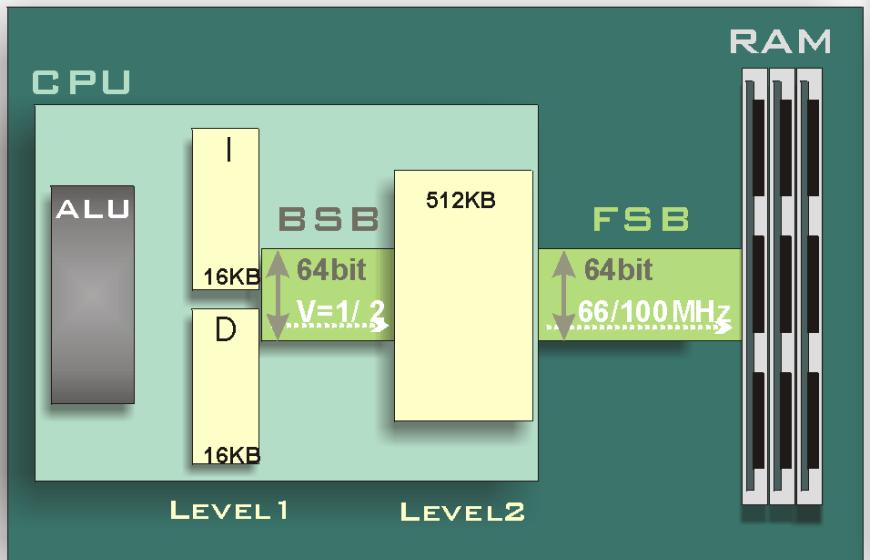
□ Level2 cache

- ❖ Naast de hoeveelheid cache in de processor zelf, werd er op 80486 en Pentium moederborden eveneens plaats voorzien voor statisch RAM-geheugen (128 – 256 – 512 KiB). Aangezien dit geheugen fysisch verder verwijderd zit van de processor, noemt men dit dan.

PENTIUM PRO



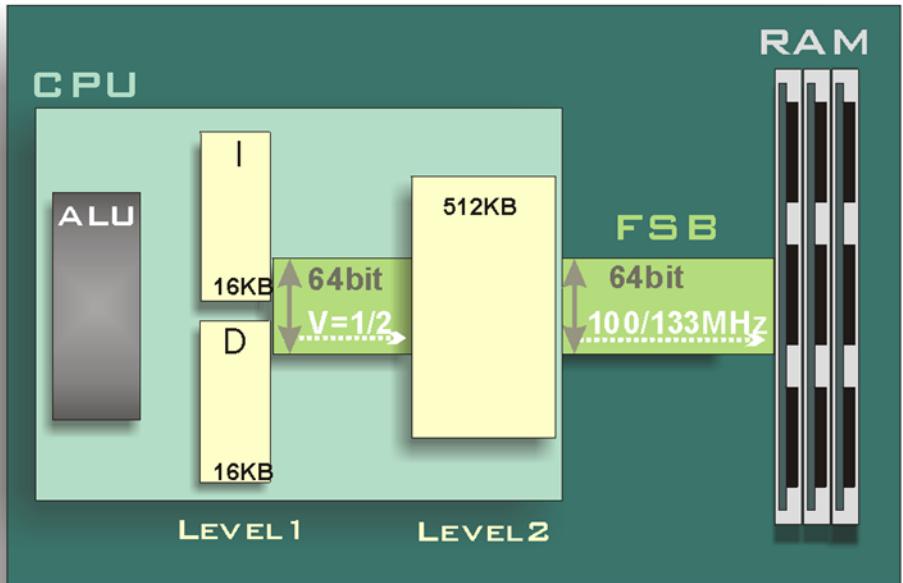
PENTIUM II



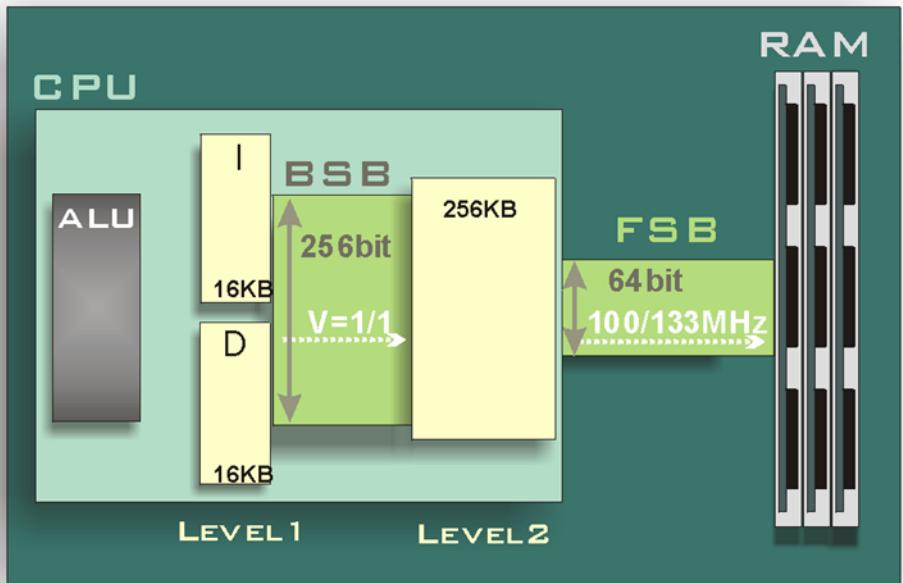
□ Level2 cache

- ❖ Bij de Pentium Pro verschillen de hoeveelheden van model tot model: 256 KB, 512 KiB of 1 MiB.
- ❖ Bij de Pentium II is 512 KiB geïntegreerd. De snelheid van de BSB is de helft van de processor.

PENTIUM III (KATMAI)

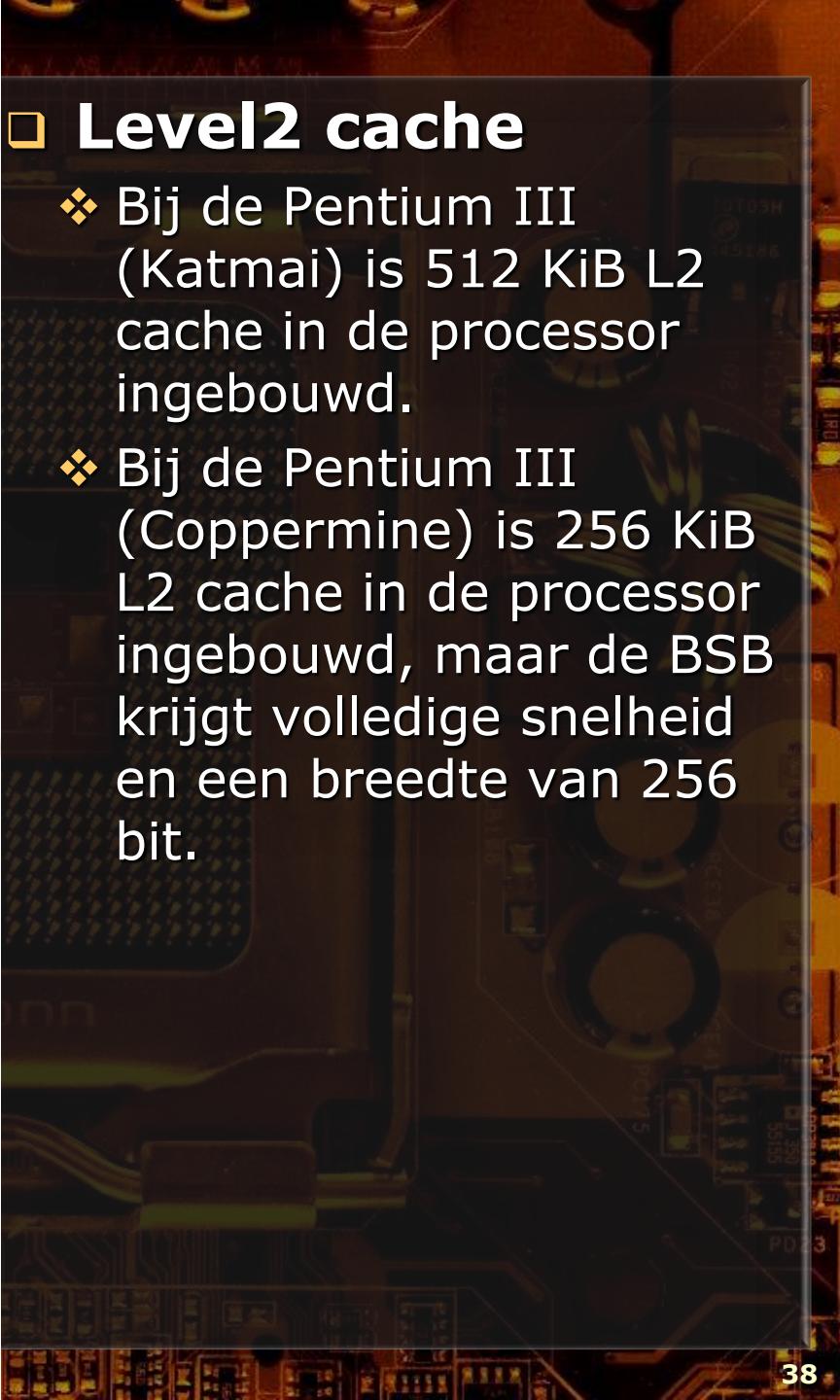


PENTIUM III (COPPERMINE)



□ Level2 cache

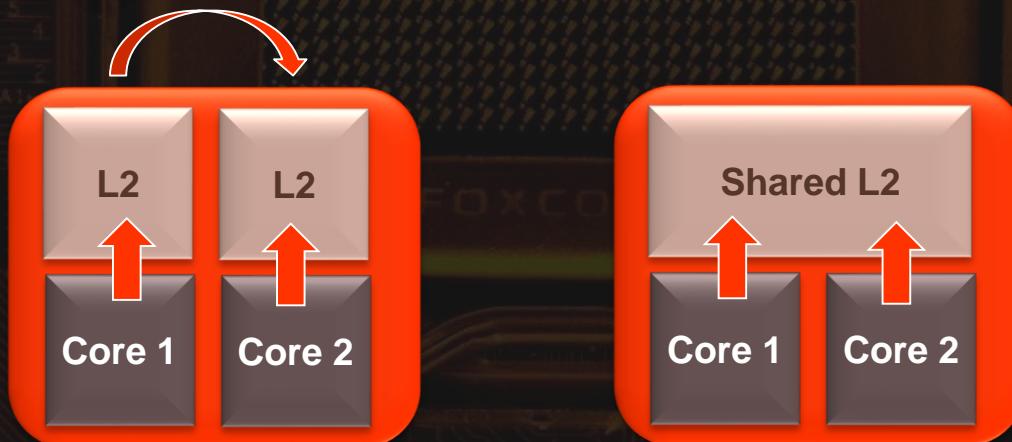
- ❖ Bij de Pentium III (Katmai) is 512 KiB L2 cache in de processor ingebouwd.
- ❖ Bij de Pentium III (Coppermine) is 256 KiB L2 cache in de processor ingebouwd, maar de BSB krijgt volledige snelheid en een breedte van 256 bit.



Kenmerken: cache

□ Advanced Smart Cache vanaf Core

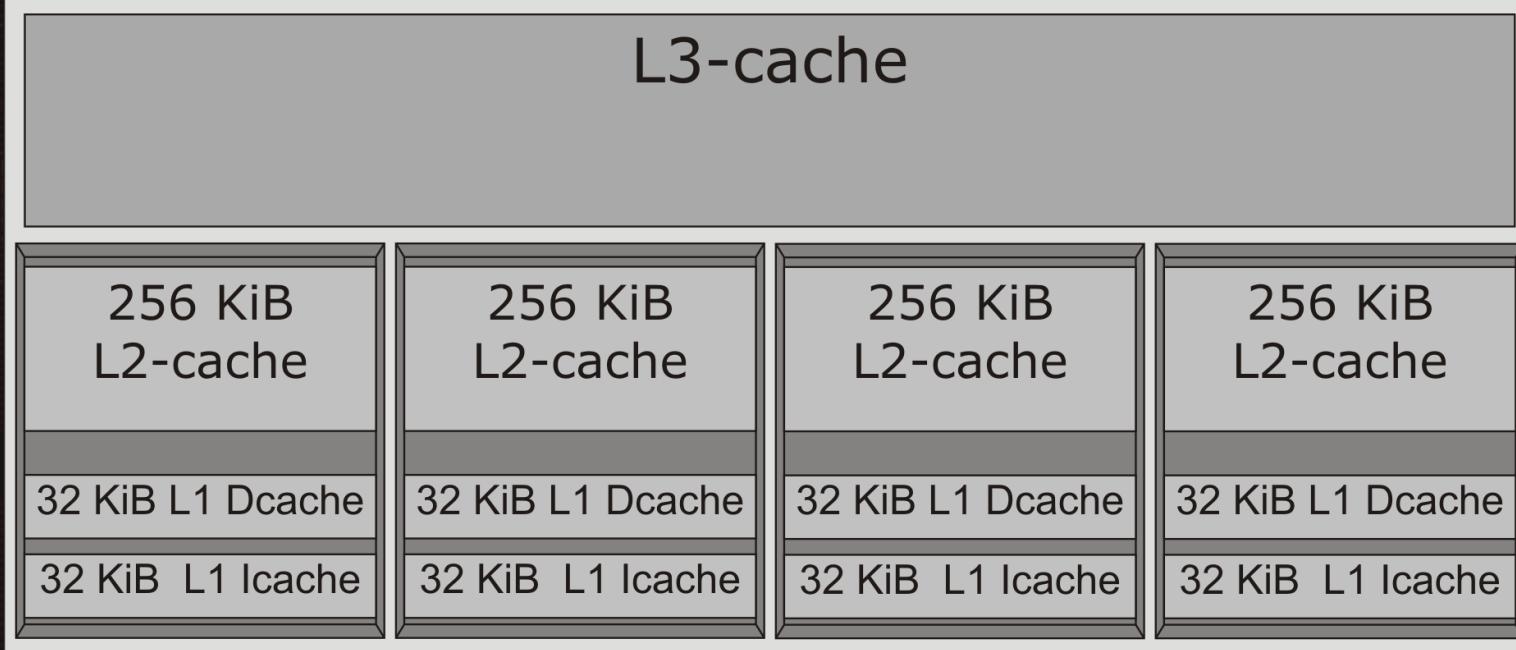
- ❖ Ongedeelde cache (Pentium D, Athlon 64 X2)
 - Beide cores kijken via omweg (FSB) in de cache van de ander;
 - Vaak dezelfde data in beide caches aanwezig;
 - Cachegeheugen kan niet evenredig verdeeld worden.
- ❖ L2-cache gedeeld door de twee cores.



Kenmerken: cache

□ Level-3 cache (tertiaire cache)

- ❖ Vanaf de Nehalem wordt een derde niveau toegevoegd.



Hardware: Processoren

- Processorarchitectuur
- **Algemene processorkenmerken**
 - ❖ Data bus
 - ❖ Klokfrequentie
 - ❖ Bandbreedte
 - ❖ Adresbus
 - ❖ Superscalaire, pipelining
 - ❖ Cache
 - ❖ Dynamic branch
 - ❖ SSE (STREAMING - **Single instruction, multiple data, extensions**)
 - ❖ Floating point unit
 - ❖
- **Algemene processorkenmerken**

Dynamische sprongvoorspelling

□ Dynamic branch prediction:

- ❖ Door het pipeline principe moet de processor het adres kennen van de instructie die als derde komt na degene die hij aan het uitvoeren is.
- ❖ Nemen we het volgende voorbeeld:
 1. Laad een waarde voor de variabele
 2. Bekijk de waarde
 3. Bewaar de nieuwe waarde van de variabele
 4. Als de waarde kleiner is dan 0, ga dan terug naar nummer 1, indien niet voor dan instructie 5 uit
 5.

Dynamische sprongvoorspelling

- ❑ Niet lineaire code geeft problemen bij het gebruik van pipelining
 - ❖ Mogelijkheid 1: ga ervan uit dat de volgende instructie achter een sprong of vertakking altijd de eerst volgende is.
 - ❖ Mogelijkheid 2: De Branch Target Buffer (BTB) versnelt de uitvoering van de instructies door bij te houden in welke richting een instructie 'gesprongen' is. De volgende maal zal dezelfde sprong toegepast worden.
 - ❖ De Pentium: Bij het uitvoeren van een lus zal hij zowel de instructie laden die dadelijk volgt na de lus, als de instructie die de voorgaande maal na het verlaten van de lus werd uitgevoerd.

Dynamic execution

□ Dynamische uitvoering vanaf P6

- ❖ Pipeline in vele stappen;
- ❖ Groot aantal opdrachten slechts gedeeltelijk afhandelen;
- ❖ Opdrachten afhandelen in een afwijkende volgorde, waardoor de drie pipelines op zeer hoog vermogen kunnen werken;
- ❖ Voorbeeld:
 1. Laad een waarde voor variabele 1
 2. Laad een waarde voor variabele 2
 3. Vermenigvuldig variabele 1 met variabele 2
 4. Bewaar de nieuwe waarde van variabele 1



Voorbeeld:

1. Laad een waarde voor variabele 1
2. Laad een waarde voor variabele 2
3. Vermenigvuldig variabele 1 met variabele 2
4. Bewaar de nieuwe waarde van variabele 1

- Instructie 1 en 2 kunnen parallel door de pipelines uitgevoerd worden
- Instructie 3 moet wachten op het voltooien van instructie 1 en 2
- Instructie 4 moet op zijn beurt wachten op instructie 3

	Fetch	Decode	Get Op.	Execute	Store
1					
2					
3					



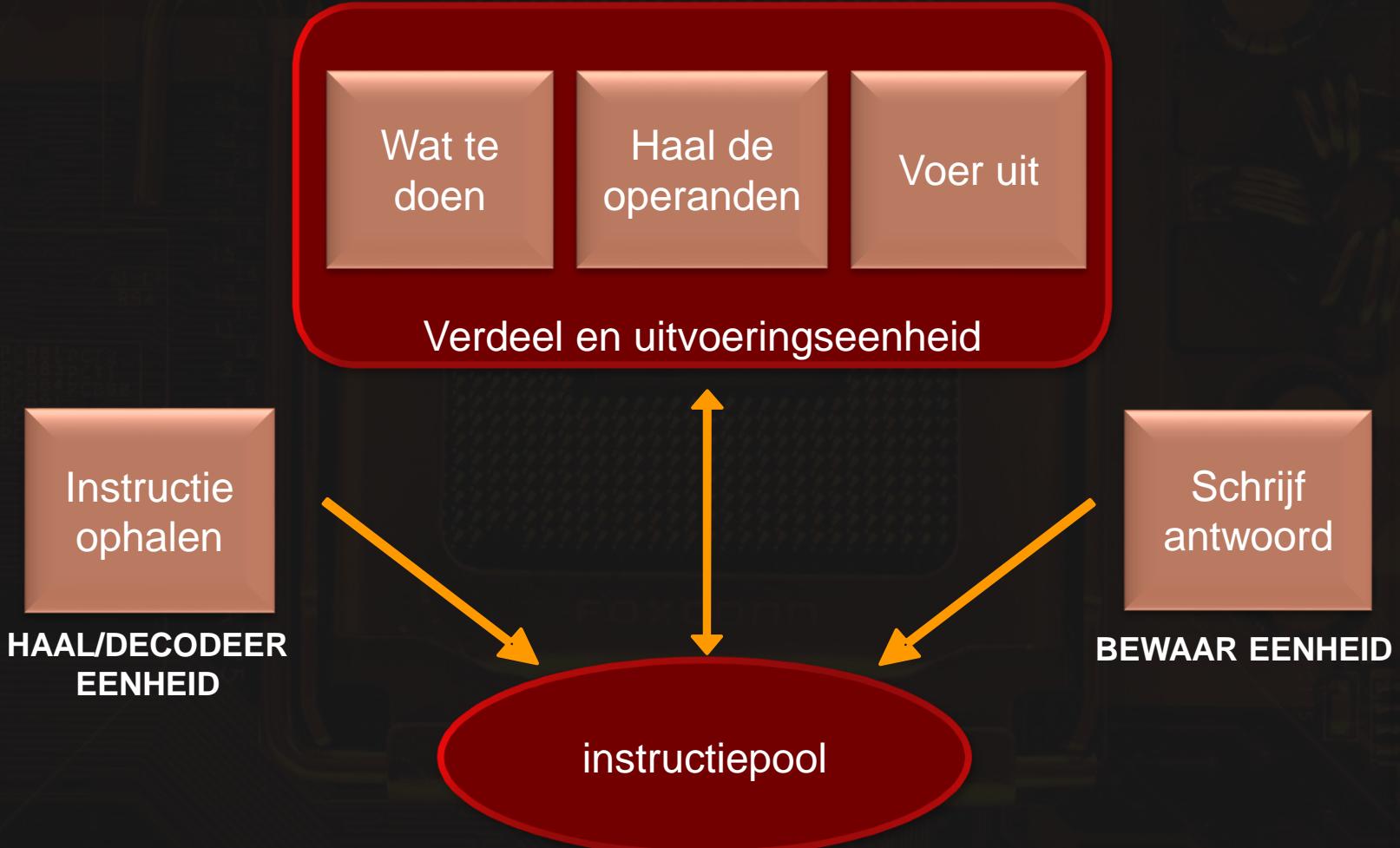
Voorbeeld:

1. Laad een waarde voor variabele 1
2. Laad een waarde voor variabele 2
3. Vermenigvuldig variabele 1 met variabele 2
4. Bewaar de nieuwe waarde van variabele 1
5. Laad een waarde voor variabele 3
6. Tel 1 op bij variabele 3
7. Sla de gewijzigde variabele 3 op

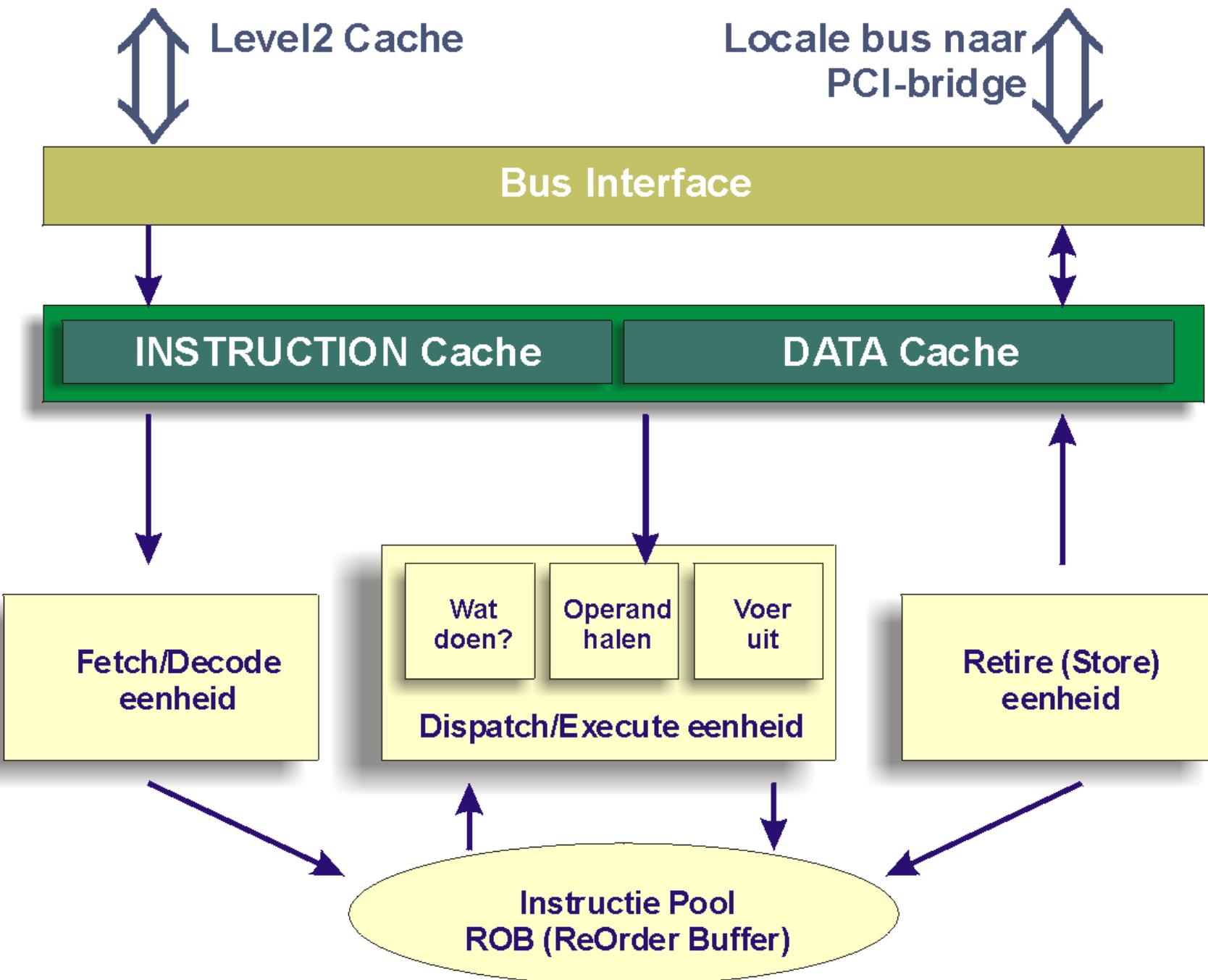
Door gebruik te maken van dynamische verwerking kan de P6 haal- en decoderingseenheid (**fetch/decode unit**) de instructies 5, 6 en 7 reeds laden, ook als de instructie 3 en 4 nog uitgevoerd moeten worden. Op het moment dat de verdeel- en uitvoeringseenheid (**dispatch execution unit**) stopt bij instructie 3, zal zo instructie 5 al beschikbaar zijn. De dispatch execution eenheid neemt die dan aan en kan zo blijven werken. Er worden dus geen cycli overgeslagen zodat programma's sneller worden uitgevoerd.

Dynamic execution

Dynamische uitvoering



ONTKOPPELDE PIPELINE BIJ PENTIUM PRO/II



Hardware: Processoren

- Processorarchitectuur
- **Algemene processorkenmerken**
 - ❖ Data bus
 - ❖ Klokfrequentie
 - ❖ Bandbreedte
 - ❖ Adresbus
 - ❖ Superscalaire, pipelining
 - ❖ Cache
 - ❖ Dynamic branch
 - ❖ SSE (STREAMING - **Single instruction, multiple data, extensions**)
 - ❖ Floating point unit
 - ❖
- **Algemene processorkenmerken**

SSE-technologie

❑ Internet Streaming SIMD Extensies

- ❑ Single Instruction, Multiple Data (SIMD);
- ❖ Voordelen:
 - beeldverwerking
 - 3D
 - streaming audio en video
 - spraakherkenning.
- ❖ Meer specifiek betekent dit:
 - Afbeeldingen met een hogere resolutie en hogere kwaliteit;
 - Hoog kwalitatieve audio, MPEG video en simultane MPEG codering and decoding;
 - Verminderde CPU belasting bij spraakherkenning.

SSE-technologie

❑ MMX: Multimedia extensies

- ❖ 57 nieuwe instructies (vanaf Pentium MMX en PII);

❑ ISSE1

- ❖ 70 nieuwe instructies vanaf laatste PIII;
- ❖ 12 instructies komen als Multimedia instructies bovenop de MMX instructies;
- ❖ 8 nieuwe 128-bit floating point registers;
- ❖ 8 64-bit brede Intel MMX-registers;
- ❖ Een bijkomend SIMD-integer;
- ❖ 8 controle instructies voor cache.

SSE-technologie

□ SSE2

- ❖ 144 nieuwe instructies vanaf laatste P4;
- ❖ nieuwe 128-bit registers;

□ SSE3

- ❖ 13 nieuwe instructies vanaf Core;

□ SSE4

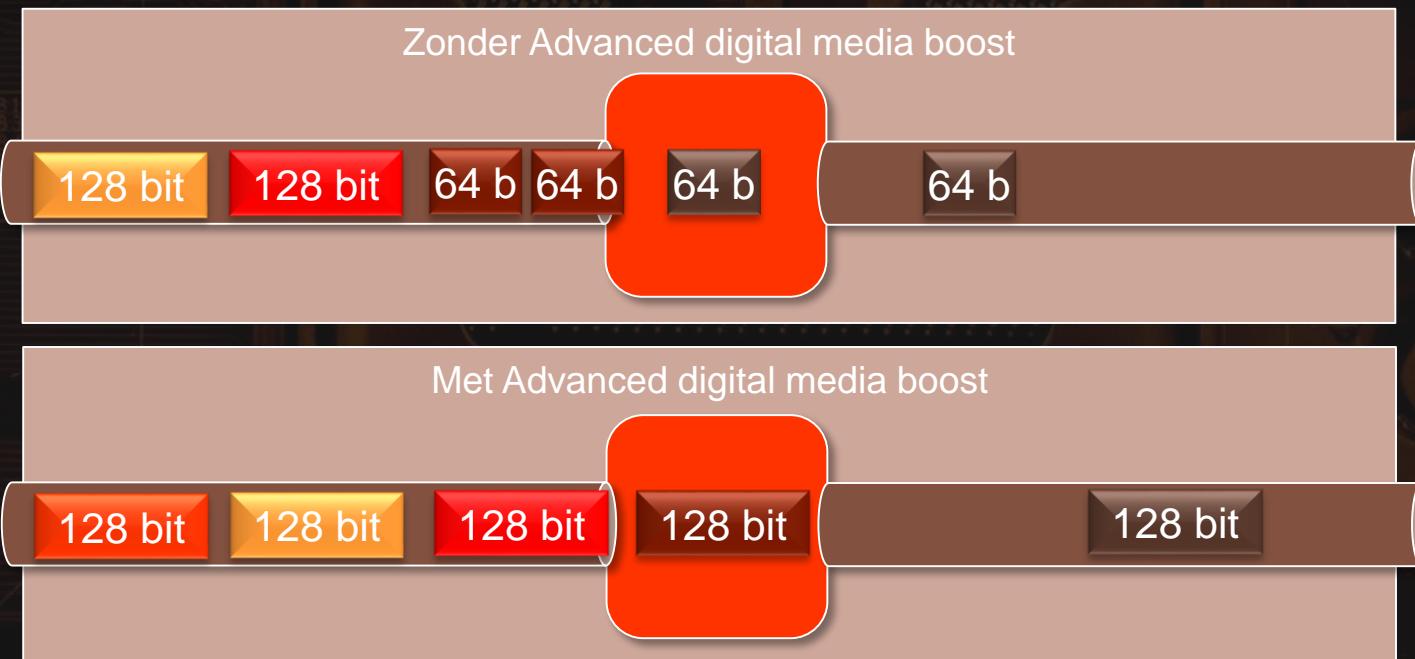
- ❖ 47 nieuwe instructies vanaf Core;

SSE-technologie

❑ Advanced Digital Media Boost

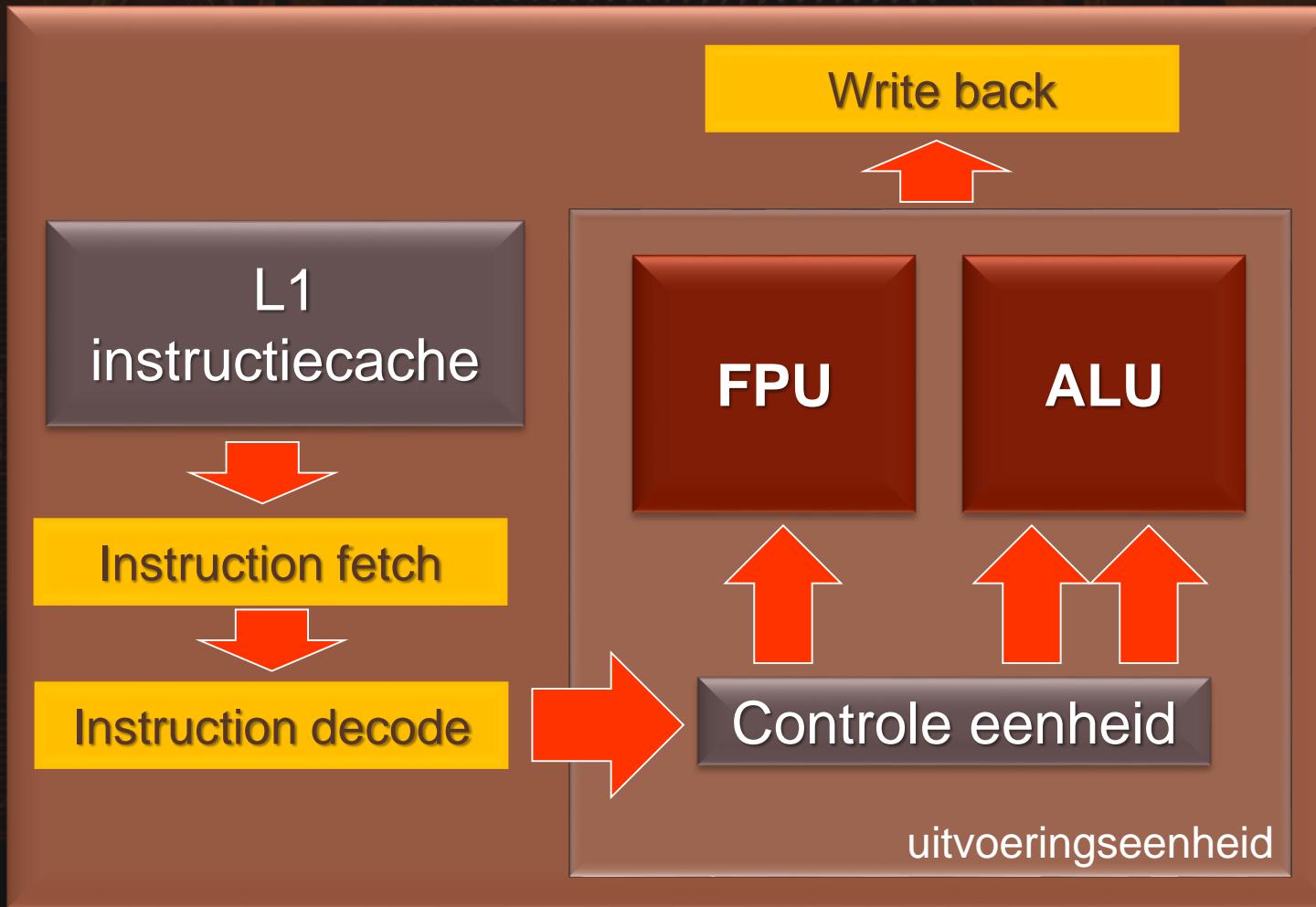
❖ SSSE3 en SSE4.1 (45 nm):

- Operaties op 128-bits in één keer uitgevoerd, dus SSE-instructies twee keer zo snel uitgevoerd als bij bestaande microarchitecturen.



Floating Point Unit

□ FPU



Andere nieuwe technologieën

□ EM64T: Intel Extended Memory 64

- ❖ Vanaf de Prescott;
- ❖ Verhoogt de performantie;
- ❖ Kan meer dan 4 GiB virtueel en fysisch geheugen adresseren;
- ❖ De nieuwe technologie ondersteunt:
 - 64-bit virtuele adresruimte;
 - 64-bit pointers;
 - 64-bit brede algemene registers;
 - 64-bit integer ondersteuning;
 - tot 1 Terabyte (TB) platformadresruimte.

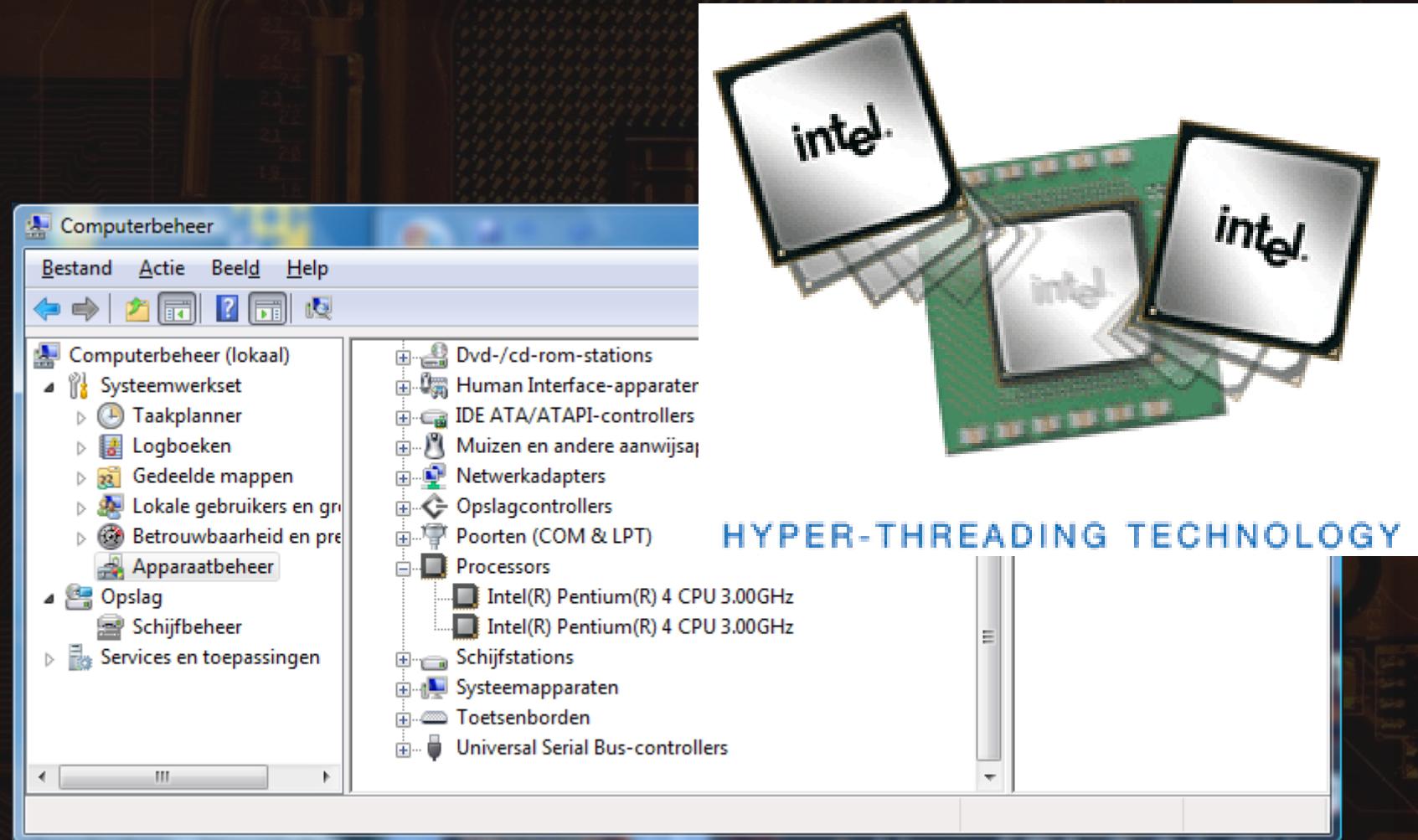
Andere nieuwe technologieën

❑ Hyper Threading Technologie (HT)

- ❖ Vanaf P4-3.06 GHz (Northwood);
- ❖ Meer instructies verwerken in dezelfde tijd;
- ❖ De HT-technologie leidt tot een winst aan performantie tot ongeveer 25%;
- ❖ Verdeelt de processor als het ware in twee logische processoren;
- ❖ Bij de Nehalem kunnen meerkernige processoren ook HT hebben.

Andere nieuwe technologieën

❑ Hyper Threading Technologie (HT)



The screenshot shows the Windows Computer Management interface. The left pane lists categories like Computerbeheer (lokaal), Systeemwerkset, Opslag, and Services en toepassingen. The right pane displays a tree view of hardware components. Under the 'Processors' category, two Intel(R) Pentium(R) 4 CPU 3.00GHz processors are listed. The background of the slide features a close-up image of a computer motherboard with several Intel processor packages.

Computerbeheer

Bestand Actie Beeld Help

Computerbeheer (lokaal)

- Systeemwerkset
 - Taakplanner
 - Logboeken
 - Gedeelde mappen
 - Lokale gebruikers en groepen
 - Betrouwbaarheid en prestaties
 - Apparaatbeheer
- Opslag
 - Schijfbeheer
- Services en toepassingen

Dvd-/cd-rom-stations

Human Interface-apparaten

IDE ATA/ATAPI-controllers

Muizen en andere aanwijsapparaten

Netwerkadapters

Opslagcontrollers

Poorten (COM & LPT)

Processors

- Intel(R) Pentium(R) 4 CPU 3.00GHz
- Intel(R) Pentium(R) 4 CPU 3.00GHz

Schijfstations

Systeemapparaten

Toetsenborden

Universal Serial Bus-controllers

HYPER-THREADING TECHNOLOGY

Andere nieuwe technologieën

Intel Virtualisation Technologie (VT)

- ❖ Vanaf de Pentium 4
- ❖ Biedt hardwareondersteuning om een virtuele machine te draaien onder een gast besturingssysteem. Indien dit enkel softwarematig (VMware, Microsoft Virtual PC, Microsoft Virtual Server) gebeurt, is dit zeer belastend voor het systeem met een dalende performantie tot gevolg.
- ❖ De AMD tegenhanger heet AMD virtualization (AMD-V).

Andere nieuwe technologieën

Execute Disable Bit (VT)

- ❖ De XD-bit verschaft een betere bescherming tegen virusaanvallen. Hij laat toe om geheugen te markeren als uitvoerbaar of niet-uitvoerbaar, op deze wijze kan de processor een foutcode lanceren wanneer een programma probeert te draaien in niet-uitvoerbaar geheugen.

Hardware: Processoren

- Processorarchitectuur
- Algemene processorkenmerken
- **Microarchitectuur**
 - ❖ De voorlopers van de core i
 - ❖ De Nehalem microarchitectuur
 - ❖ De Sandy Bridge microarchitectuur
 - ❖ De Haswell microarchitectuur

Hardware: Processoren

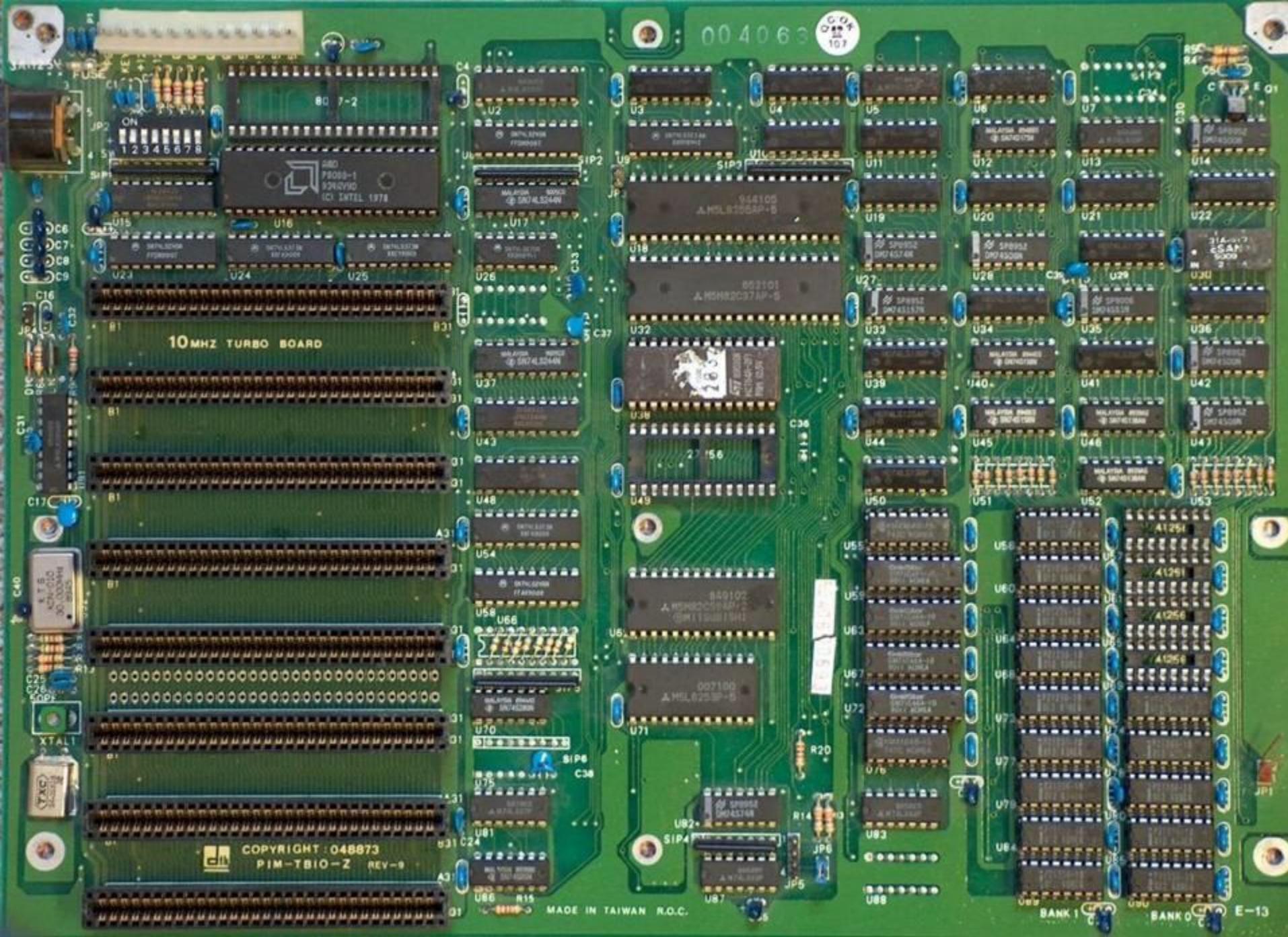
- Processorarchitectuur
- Algemene processorkenmerken
- Microarchitectuur
 - ❖ De voorlopers van de core i
 - ❖ De Nehalem microarchitectuur
 - ❖ De Sandy Bridge microarchitectuur
 - ❖ De Haswell microarchitectuur

De voorlopers: 8086 - 8088

□ 8086/8088

- ❖ IBM koos voor de '8088' van INTEL.
- ❖ INTEL al gestart met de productie van de 8086.

	8086	8088
Woordgrootte	16 bits	16 bits
Datapad	16 bits	8 bits
Interne klokfrequentie	4,77 - 10 MHz	4,77 - 10 MHz
Externe klokfrequentie	4,77 MHz	4,77 MHz
Adresbus	20 bits	20 bits
Adresseerbaar geheugen	1MiB	1MiB
Coprocessor	8087	8087
Cache	Niet aanwezig	Niet aanwezig
productie	3000 nm	3000 nm



80 -2

AMD
P8088-1
934AV9D
(C) INTEL 1978



U1b

C4

U8

De P5 microarchitectuur

□ De vijfde generatie processoren

- ❖ De marktnaam van de P5-microprocessoren is “Pentium”
- ❖ De naam “Pentium” dekt een zeer verscheiden lading, en dus niet enkel de processoren die behoren tot de P5-microarchitectuur.
 - Pentium, Pentium MMX
- ❖ De benaming “Pentium” blijft echter hangen in de daarop volgende microarchitecturen.
 - Pentium Pro, Pentium II, mobile Pentium II, Pentium II Xeon, Pentium III, Pentium 4, Pentium D, ... en dit zonder in te gaan op de verschillende codenamen.

De P5 microarchitectuur

- Opdrijven van de performance bij een Pentium

Pentium = “80486DX” + “80486SX”

- ❖ Pentium = parallelle processor die twee instructies gelijktijdig kan uitvoeren

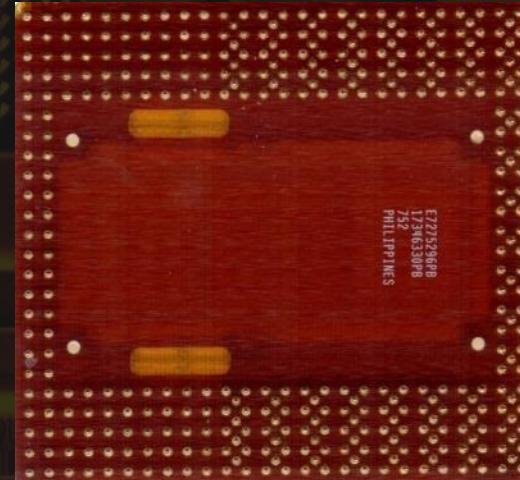
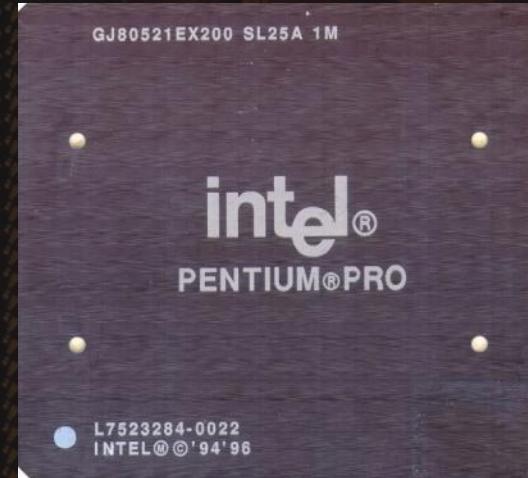
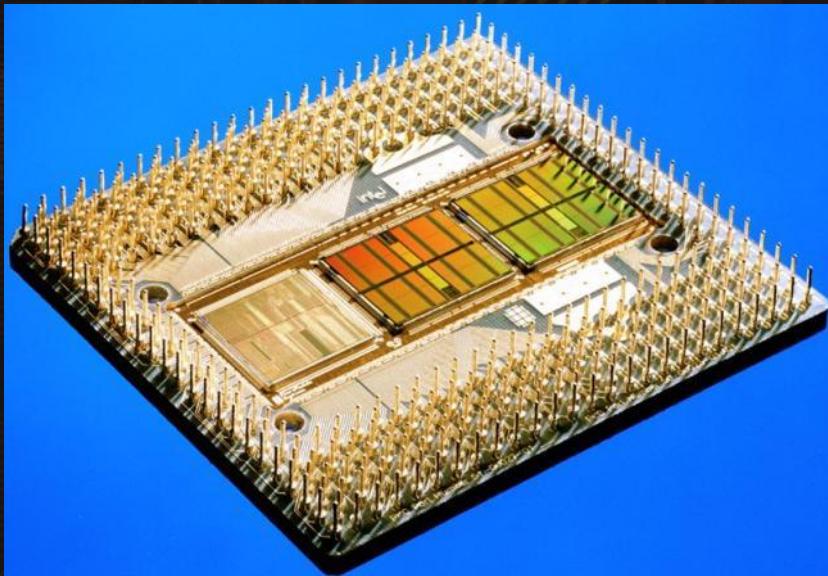
2 pipelines = U en V pipeline

- ❖ Aangezien er meerdere pipelines voorzien zijn spreken we van een **superscalaire CPU**.

De P6 microarchitectuur

❑ Pentium Pro processor

- ❖ 350 nm productie
- ❖ 5,5 miljoen transistors



Hardware: Processoren

- Processorarchitectuur
- Algemene processorkenmerken
- Microarchitectuur
 - ❖ De voorlopers van de core i
 - ❖ De Nehalem microarchitectuur
 - ❖ De Sandy Bridge microarchitectuur
 - ❖ De Haswell microarchitectuur

Nehalem microarchitectuur

❑ Kenmerken

- ❖ Hyper-Threading technologie;
- ❖ Geïntegreerde geheugencontroller met de ondersteuning van three-channel DDR3;
- ❖ Integratie van PCI Express and Direct Media Interface binnen de processor;
- ❖ Toevoeging van SSE4.2 (7 extra instructies);
- ❖ Mogelijkheid van geïntegreerde grafische processoren (IGP);
- ❖ Intel QuickPath Interconnect;
- ❖ Socket LGA-1156 en LGA-1366
- ❖ Core i benaming.

Nehalem microarchitectuur

❑ Kenmerken

- ❖ Native quad-core (geen dubbele dual-core);
- ❖ 32 KiB L1-Icache en 32 KiB L1-Dcache;
- ❖ 256 KiB L2-cache per kern;
- ❖ 4 tot 8 MiB L3-cache, gedeeld over alle kernen;
- ❖ 20 tot 24 pijplijnstappen;
- ❖ Power controller: zet cores af als ze niet gebruikt worden;
- ❖ Turbo modus: actieve kernen werken op hogere klokfrequentie.

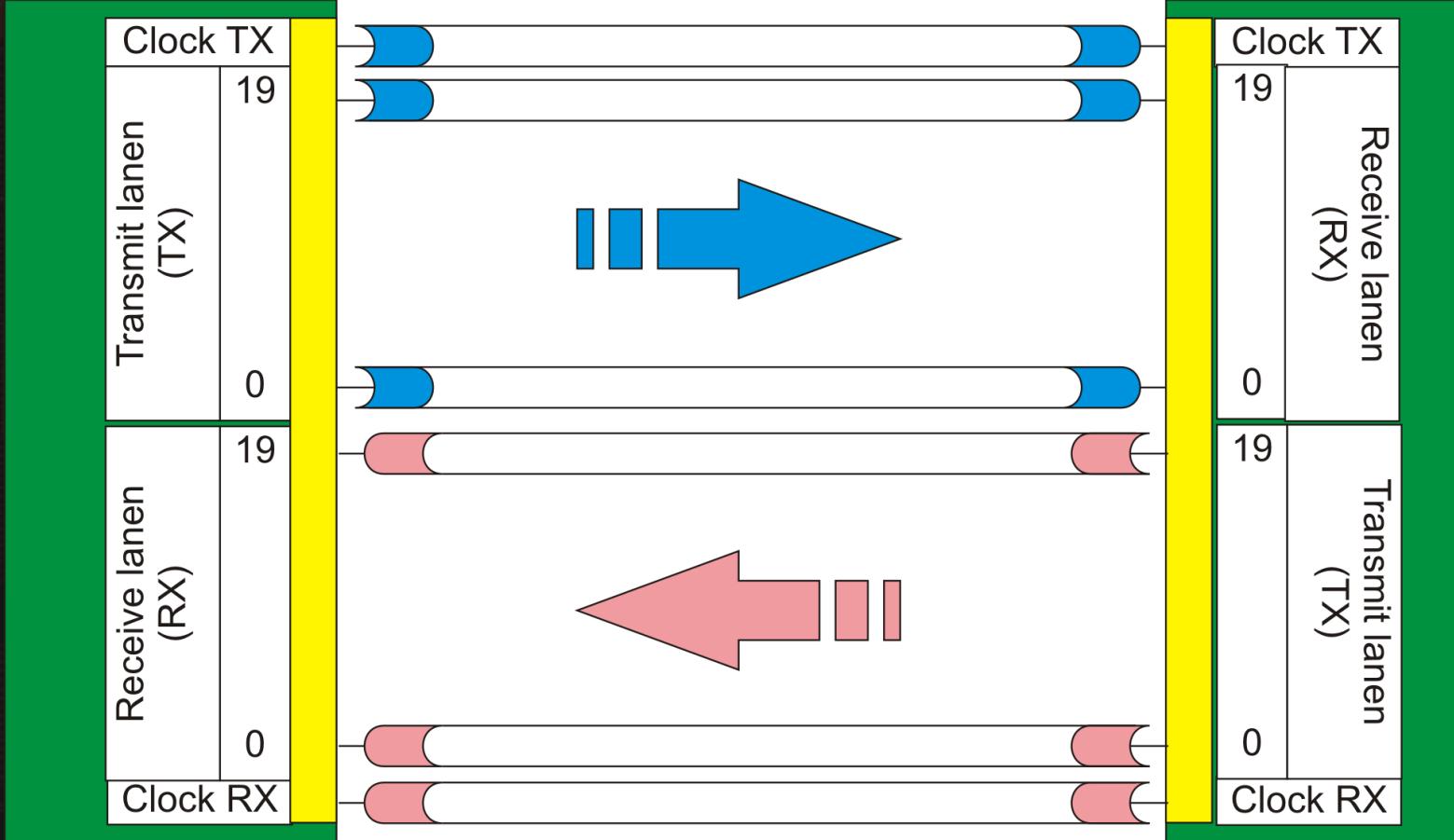
Nehalem microarchitectuur

□ Intel QuickPath Interconnect

- ❖ Concurrent van Hypertransport (AMD);
- ❖ Vervangt de FSB;
- ❖ Overgang naar serieel transport;
- ❖ Geïntegreerde geheugencontroller nodig;
- ❖ QPI = 2×4 kwadranten van elk 5 full-duplex lanen. In totaal dus 40 signalen, met nog 2 extra verbindingen voor de kloksignalen in elke richting.
- ❖ In totaal dus 84 pinnen: 64 bit datatransport. Om 8 databits te transporteren moeten dus 10 bits getransporteerd worden, dus een 8/10 encoding.

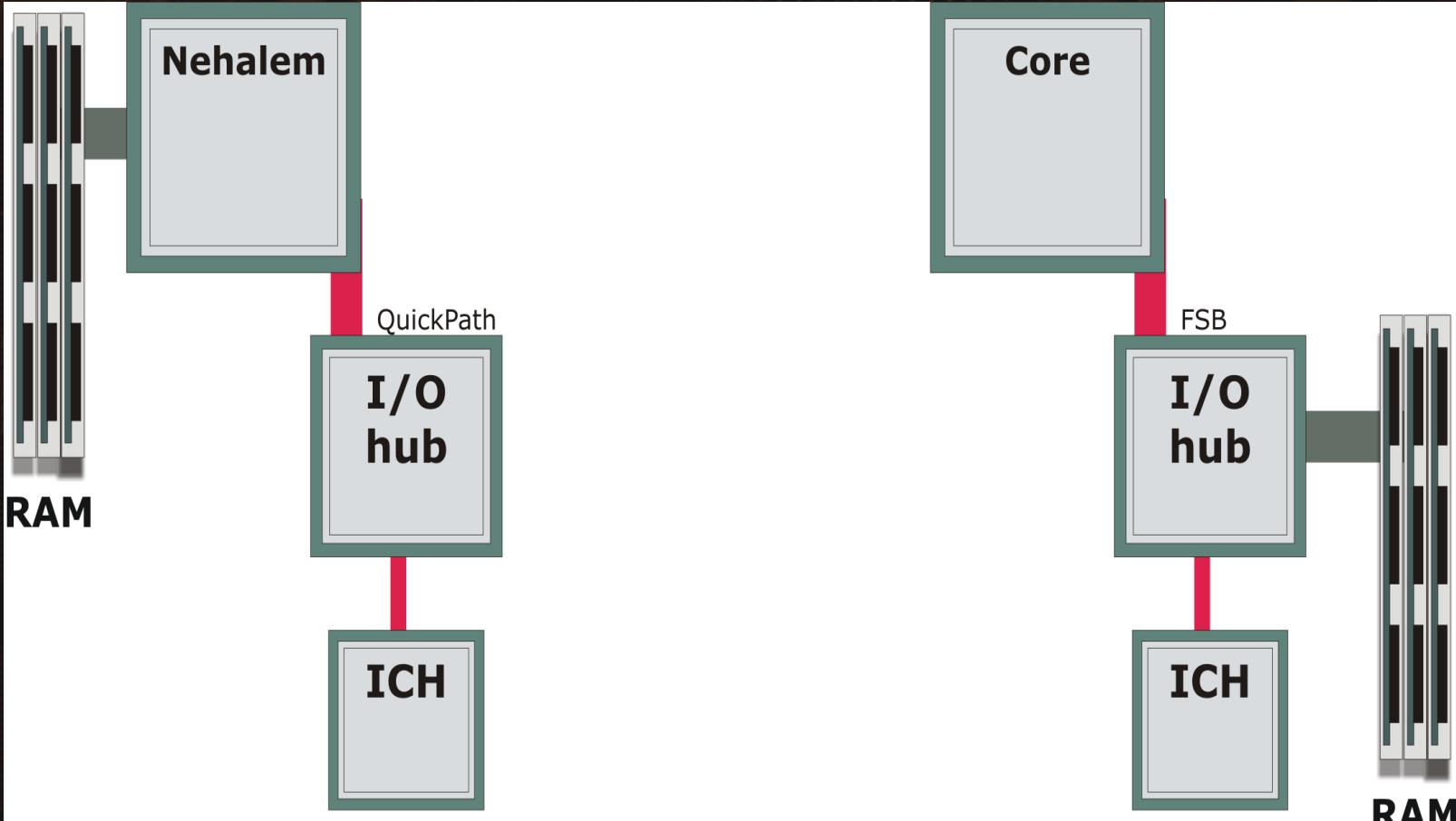
Nehalem microarchitectuur

Intel QuickPath Interconnect



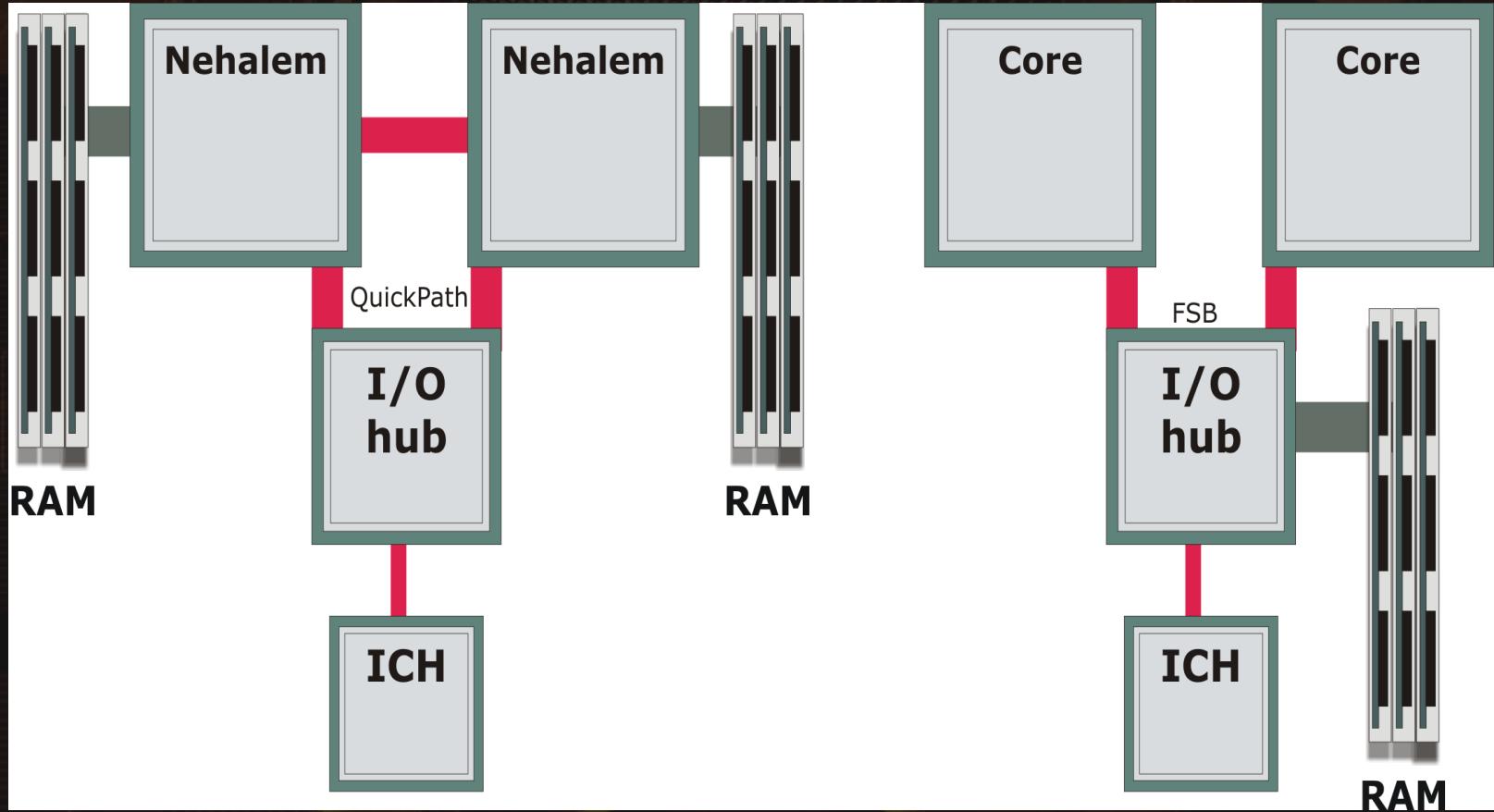
Nehalem microarchitectuur

□ Intel QuickPath Interconnect



Nehalem microarchitectuur

Intel QuickPath Interconnect



Nehalem microarchitectuur

❑ Commerciële benaming

- ❖ Intel Celeron:
 - Budgetversie voor licht computergebruik, voorzien van een trage grafische kern en weinig L3-cache.
- ❖ Intel Pentium G:
 - Budgetversie voor licht computergebruik, voorzien van een trage grafische kern en iets meer L3-cache.
- ❖ Intel Core i3:
 - Voor de gemiddelde gebruiker, voldoende voor internetgebruik en officetoepassingen.
- ❖ Intel Core i5:
 - Voor de standaardgebruiker met actief computergebruik.
- ❖ Intel Core i7:
 - topmodel voor zware toepassingen.

Nehalem microarchitectuur

□ Commerciële benaming

Benaming	Aantal kernen	Hyper-threading	Turbomodus	L3-cache
Celeron	2	neen	neen	2 MiB
Pentium G	2	neen	neen	3 MiB
Core i3 – desktop	2	ja	neen	4 MiB
Core i3 – mobiel	2	ja	neen	3 MiB
Core i5 – desktop	2 / 4	ja / neen	ja	4 of 8 MiB
Core i5 – mobiel	2	ja	ja	3 MiB
Core i7 – desktop	4	ja	ja	8 MiB
Core i7 – mobiel	2 / 4	ja	ja	4, 6 of 8 MiB
Core i7 Extreme	4 / 6	ja	ja	8 / 12 MiB

Nehalem microarchitectuur

□ Nehalem (45 nm, 1e generatie Core i)

❖ Codenaam ‘Lynnfield’

- quad-core desktopversie;
- 8 MiB L3-cache;
- 2,4 tot 3,06 GHz processorfrequentie;
- Benaming: Core i7 8xx, Core i5 75x en Xeon X34xx|L34xx.

❖ Codenaam “Clarksfield”

- quad-core mobiele versie;
- 6 of 8 MiB L3-cache;
- Benaming: Core i7 820QM, 840QM, 720QM, 7740QM en Core i7 Extreme 920XM|940XM.

Nehalem microarchitectuur

□ Nehalem (45 nm, 1e generatie Core i)

❖ Codenaam "Bloomfield"

- 45 nm quad-core desktop- en serverversie;
- 8 MiB L3-cache;
- Socket LGA 1366;
- Commerciële naam: Core i7 9xx, Core i7 Extreme 97x|96x, en Xeon W35xx.

❖ Codenaam "Gainestown"

- 45 nm quad-core werkstation- en servervariant voor dual-processorsystemen;
- Commerciële naam: Xeon E55xx|X55xx|L55xx. De 550x versies hebben geen hyperthreading en slechts 4 MiB L3-cache. De E5502 is een dual-core zonder hyperthreading.

Nehalem microarchitectuur

□ Westmere (32 nm Core i)

- Dual-core;
- 2, 3 of 4 MiB L3-cache;
- ❖ Codenaam “Arrandale”
 - Mobiel;
 - 1,06 tot 2,66 GHz processorfrequentie;
 - 500, 566 en 766 MHz GPU;
 - Commerciële naam: Core i7 6x0M, Core i5 5x0M|4x0M, Core i3 3x0M en Celeron P45xx.
- ❖ Codenaam “Clarkdale”
 - Desktopversie;
 - 533, 733 en 900 MHz GPU;
 - Commerciële naam: Core i5 6xx, Core i3 540|530, Pentium G6xxx en Celeron G 11xx.

Nehalem microarchitectuur

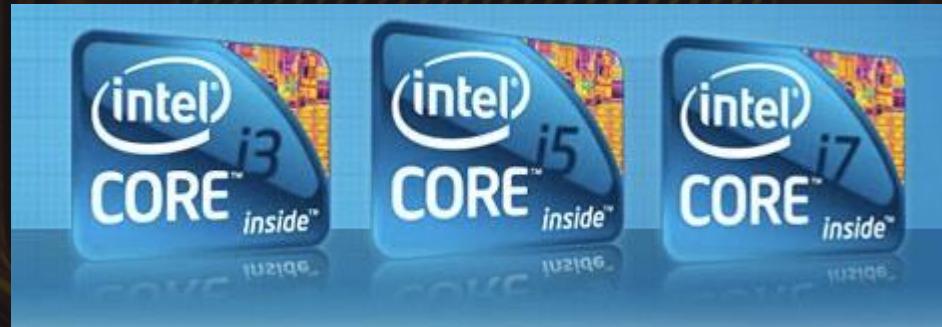
□ Westmere (32 nm Core i)

- ❖ Codenaam “Gulftown”
 - six-core extreme versie;
 - 3,33 GHz processorfrequentie;
 - 12 MiB L3-cache;
 - Benaming: Core i7 980X Extreme of Xeon W3680
- ❖ Codenaam “Westmere-EP”
 - quad-core of six-core serversversie;
 - 1,86 tot 3,33 GHz processorfrequentie;
 - 12 MiB L3-cache;
 - Benaming: Xeon X5xxx|L5xxx|E5xxx.
- ❖ Codenaam “Westmere-EX”
 - Ten-core serversversie;
 - 24 tot 30 MiB L3-cache;

Nehalem microarchitectuur

- Nehalem (45 nm Core i)
- Westmere (32 nm Core i)

Aantal kernen	Mobiel	Desktop/ Uniprocessor	Dual Processor	Multiprocessor
quad-core (45nm)	Clarksfield	Lynfield/Bloomfield	Gainestown	
eight-core (45 nm)				Beckton
dual-core (32 nm)	Arrandale	Clarkdale		
six-core (32 nm)		Gulftown	Westmere-EP	
dual-core (32 nm)				Westmer-EX



Hardware: Processoren

- Processorarchitectuur
- Algemene processorkenmerken
- Microarchitectuur

- ❖ De voorlopers van de Pentium
- ❖ De P5 microarchitectuur
- ❖ De P6 microarchitectuur
- ❖ De Netburst microarchitectuur
- ❖ De Core microarchitectuur
- ❖ De Nehalem microarchitectuur
- ❖ **De Sandy Bridge microarchitectuur**
- ❖ De Haswell microarchitectuur

Sandy Bridge microarchitectuur

□ Sandy Bridge: tweede generatie Core i

- ❖ Vier kernen;
- ❖ Hyper-Threading technologie in combinatie met meerkerige processoren mogelijk;
- ❖ Een geïntegreerde geheugencontroller met de ondersteuning van dual en three-channel DDR3;
- ❖ SSE4.2 (7 extra instructies);
- ❖ 32 KiB L1-Icache en 32 KiB L1-Dcache;
- ❖ 256 KiB L2-cache per kern;
- ❖ 4 tot 8 MiB L3-cache, gedeeld over alle kernen;

Sandy Bridge microarchitectuur

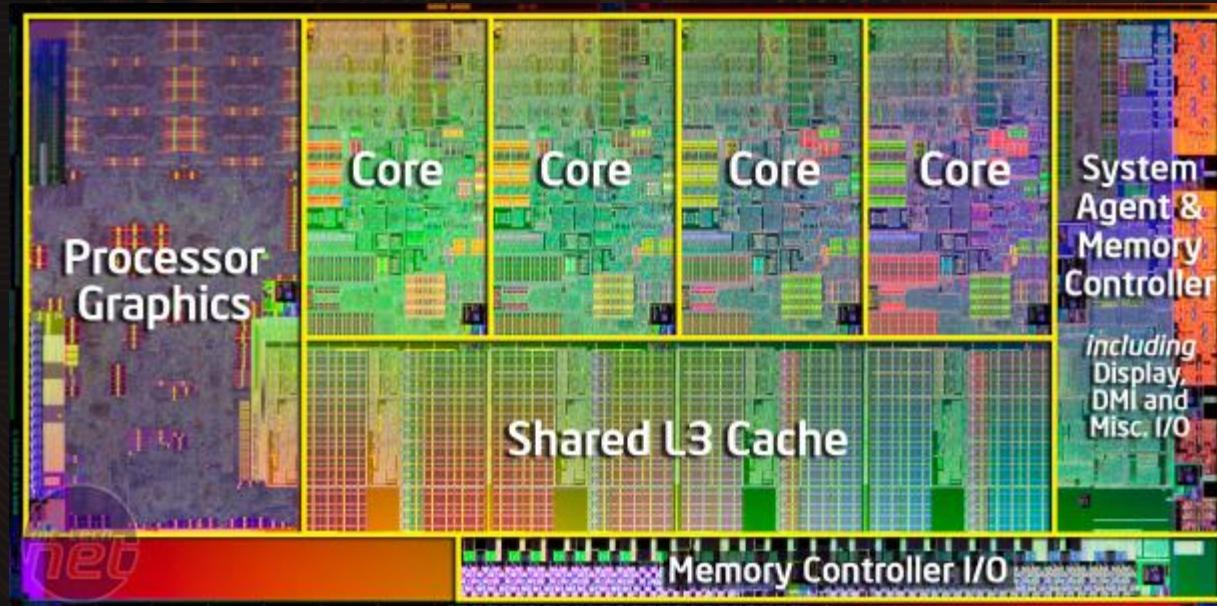
□ Verschil met Nehalem:

- ❖ Geïntegreerde grafische processor;
- ❖ Geïntegreerde PCI-Express controller;
- ❖ Verbeterde sprongvoorspelling;
- ❖ Een 256-bit ringbus die de kernen, de grafische eenheden en de cache met elkaar verbindt;
- ❖ Load/Store execution units met dubbele functie, dus “en” en niet langer “of”, wat toelaat twee maal 128 bit op te halen per klokcyclus;
- ❖ LGA-1155 socket.

Sandy Bridge microarchitectuur

❑ Verschil met Nehalem:

- ❖ Geïntegreerde grafische processor;
- ❖ Vier kernen;
- ❖ Geïntegreerde geheugencooller;
- ❖ 256 KiB L2-cache per kern; L3-cache gedeeld.



Sandy Bridge microarchitectuur

□ Codenaam “Sandy Bridge”

- ❖ 32 nm dual of quad-core;
- ❖ 3 tot 8 MiB L3-cache;
- ❖ 2,13 of 2,4 GHz QPI;
- ❖ 1,6 tot 3,6 GHz processorfrequentie;
- ❖ Socket LGA 1155;
- ❖ Commerciële naam: tweede generatie Core i, dus Core i7 2xxx, Core i5 2xxx, Core i3 2xxx. Voor de budgetmodellen worden de benamingen Pentium Gxxx en Celeron Gxxx gebruikt.

Sandy Bridge microarchitectuur

□ Commerciële benaming

Benaming	Aantal kernen	Hyperthreading	Turbomodus	L3-cache
Celeron	1 of 2	neen	neen	1, 1,5 of 2 MiB
Pentium B	2	neen	neen	2 of 3 MiB
Core i3 – desktop	2	ja	neen	3 MiB
Core i3 – mobiel	2	ja	neen	3 MiB
Core i5 – desktop	2 / 4	ja / neen	ja	4 of 6 MiB
Core i5 – mobiel	2	ja	ja	3 MiB
Core i7 – desktop	4	ja	ja	8, 10 of 12 MiB
Core i7 – mobiel	2 / 4	ja	ja	4, 6 of 8 MiB
Core i7 Extreme	4 / 6	ja	ja	8 / 15 MiB
Xeon E3	2 / 4 / 4	ja / neen / ja	neen / ja	3, 6 of 8 MiB
Xeon E5	2 / 4 / 6 / 8	ja	ja	5, 10, 15 of 20



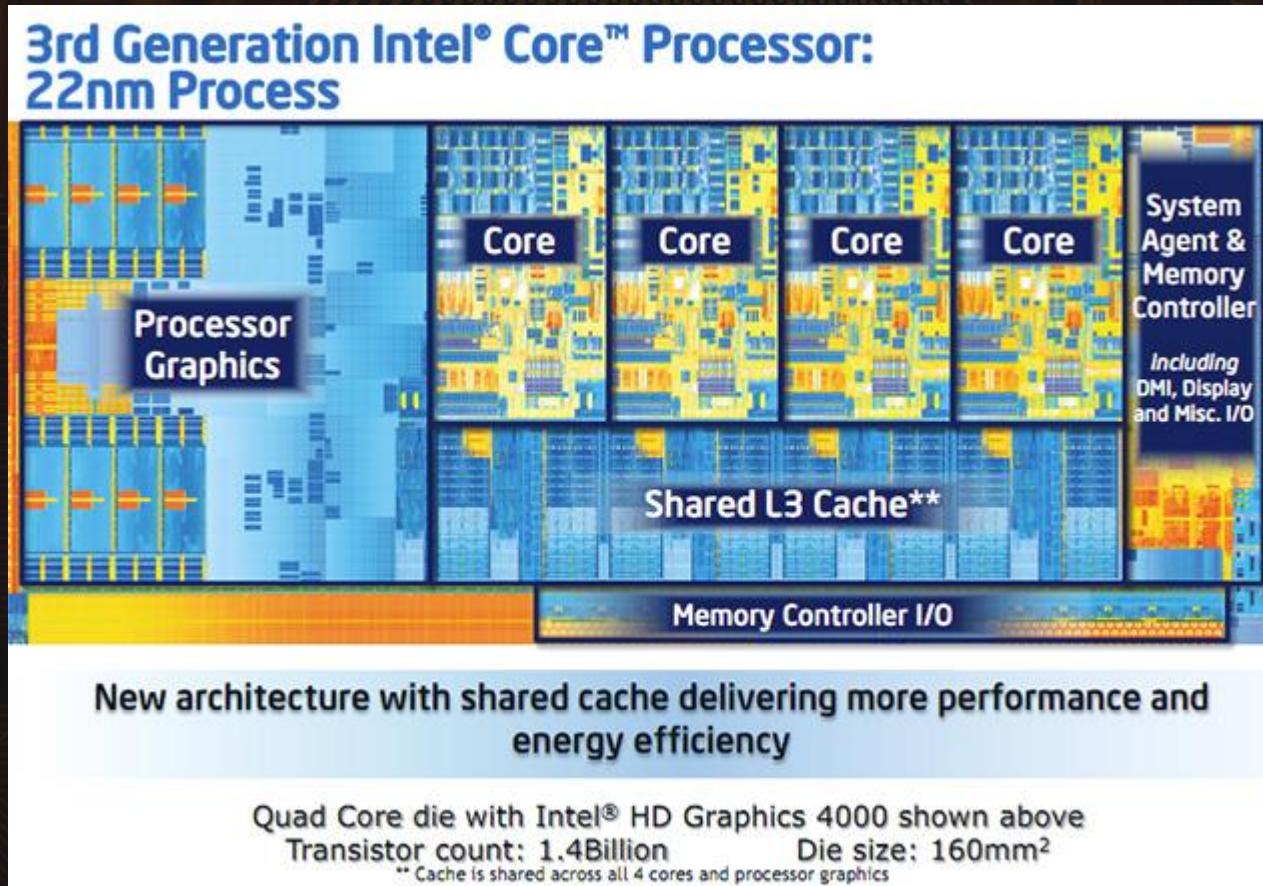
Sandy Bridge microarchitectuur

□ Codenaam “Ivy Bridge”

- ❖ 22 nm dual of quad-core;
- ❖ 3, 4, 6 of 8 MiB L3-cache;
- ❖ tot 2.8 GHz QPI;
- ❖ 2,3 tot 4,1 GHz processorfrequentie;
- ❖ Ondersteuning van PCI Express 3,0;
- ❖ Socket LGA 1155;
- ❖ Commerciële naam: derde generatie Core i, dus Core i7 3xxx, Core i5 3xxx, Core i3 3xxx. Voor de budgetmodellen worden de benamingen Pentium Gxxx en Celeron Gxxx gebruikt.

Sandy Bridge microarchitectuur

□ Codenaam "Ivy Bridge"



Hardware: Processoren

- Processorarchitectuur
- Algemene processorkenmerken
- **Microarchitectuur**
 - ❖ De voorlopers van de Pentium
 - ❖ De P5 microarchitectuur
 - ❖ De P6 microarchitectuur
 - ❖ De Netburst microarchitectuur
 - ❖ De Core microarchitectuur
 - ❖ De Nehalem microarchitectuur
 - ❖ De Sandy Bridge microarchitectuur
 - ❖ **De Haswell microarchitectuur**

Toekomst

- Verderzetten van Tick-Tock planning
- 'Haswell'
 - ❖ Nieuwe microarchitectuur - 22 nm
 - 3D tri-gate transistoren;
 - 14-stage pipeline;
 - quad-core;
 - support voor dual channel DDR3;
 - 64 kB (32 kB Instruction + 32 kB Data) L1-cache;
 - 256 kB L2-cache per kern;
 - DDR4 voor enterprise- en servervariant;
 - Ondersteuning voor Thunderbolt;
 - ❖ 'Broadwell' – 14 nm
- 'Skylake'



De P7 microarchitectuur

□ codenamen= P7 en IA-64

- ❖ 64-bit EPIC/CISC microprocessor (Explicitly Parallel Instruction Computing – Complete Instruction Set Computer)
- ❖ Bedoeld voor high-end servers en multiprocessor systemen (tot 32 processoren).
- ❖ Vervanging sprongvoorspelling door predication
- ❖ Twee afzonderlijke kernen ingebouwd:
 - IA-64
 - een processor voor de ondersteuning van x86 applicaties
- ❖ 3 niveaus van cache geheugen.
- ❖ Adresseren van 16 TiB geheugen



P7: Itanium

□ Itanium (codenaam Merced)

- ❖ 0.18 micron 64-bit microprocessor;
- ❖ frequentie van 733 en 800 MHz;
- ❖ 2 Mbytes of 4 Mbytes L3-cache;
- ❖ Slot M (PAC-418);
- ❖ Technische kenmerken:
 - 25 miljoen transistors in de kern, 300 miljoen in de cache;
 - x86 compatibiliteitsmodus;
 - 128 integer registers (64-bit), 128 floating point registers (82 bit);
 - 64 predicaat registers;
 - Pijplijnarchitectuur bestaande uit 10 stages;
 - 20 operaties per klokcyclus.



P7: Itanium

□ Itanium 2 (codenaam Merced)

- ❖ Belangrijkste wijzigingen t.o.v. Itanium:
 - 44 bit adrespad = 16 TiB;
 - Datapad van 64 naar 128 bits;
 - FSB van 266 (2*133) naar 400 MHz (2*200);
 - de L2- en L3 cache grootte.

□ Codenamen

- ❖ Mc Kinley: 180 nm 64-bit
- ❖ Madisson: 130 nm MP met tot 6 MB L3
- ❖ Deerfield: 130 nm met 1.5 - 3 MB L3 cache
- ❖ Montecito: 90 nm dual core