

Geheugen

- ❖ Het RAM geheugen
- ❖ Het DRAM geheugen
 - Organisatie (modules)
 - Parameters
 - Architectuur
- ❖ Het SRAM-geheugen
 - Cache geheugen
- ❖ Read Only Geheugen (ROM)
- ❖ Flash Geheugen

Random Access Memory (RAM)

RAM

- ❖ Willekeurig raadplegen zonder rekening te houden met de volgorde;
- ❖ SRAM - Statisch geheugen (snelle schakeling);
- ❖ DRAM - Dynamisch geheugen (condensatoren);
 - Condensatoren hebben echter wel de nadelige eigenschap zichzelf te ontladen, daarom worden ze door een schakeling periodiek verversd (refresh). Het verversen van het geheugen zorgt voor vertraging omdat de microprocessor moet wachten tot het geheugen weer opgeladen is, alvorens hij er weer over kan beschikken.
- ❖ De gegevens kunnen in dit geheugen opgeslagen blijven, zolang er stroomtoevoer is.

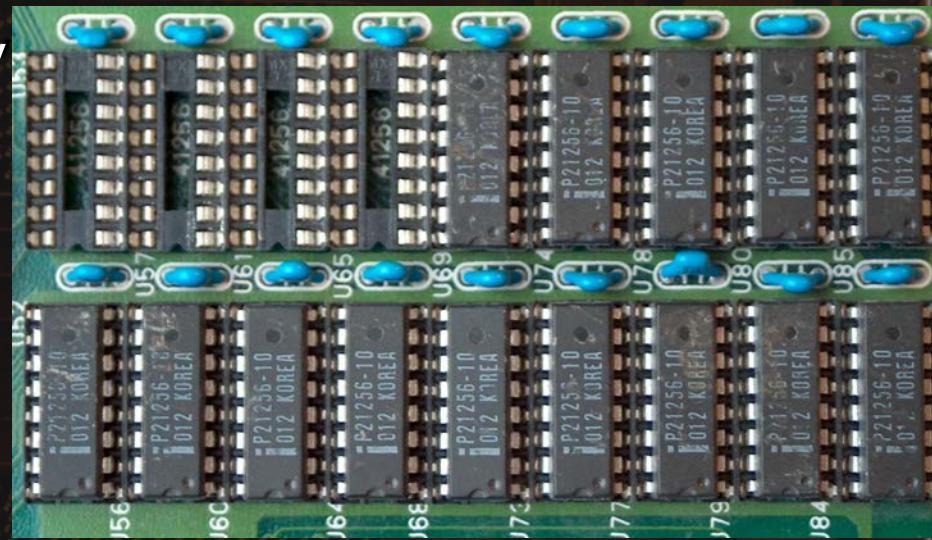
Geheugen

- ❖ Het RAM geheugen
- ❖ Het DRAM geheugen
 - Organisatie (modules)
 - Parameters
 - Architectuur
- ❖ Het SRAM-geheugen
 - Cache geheugen
- ❖ Read Only Geheugen (ROM)
- ❖ Flash Geheugen

Dynamic RAM geheugen

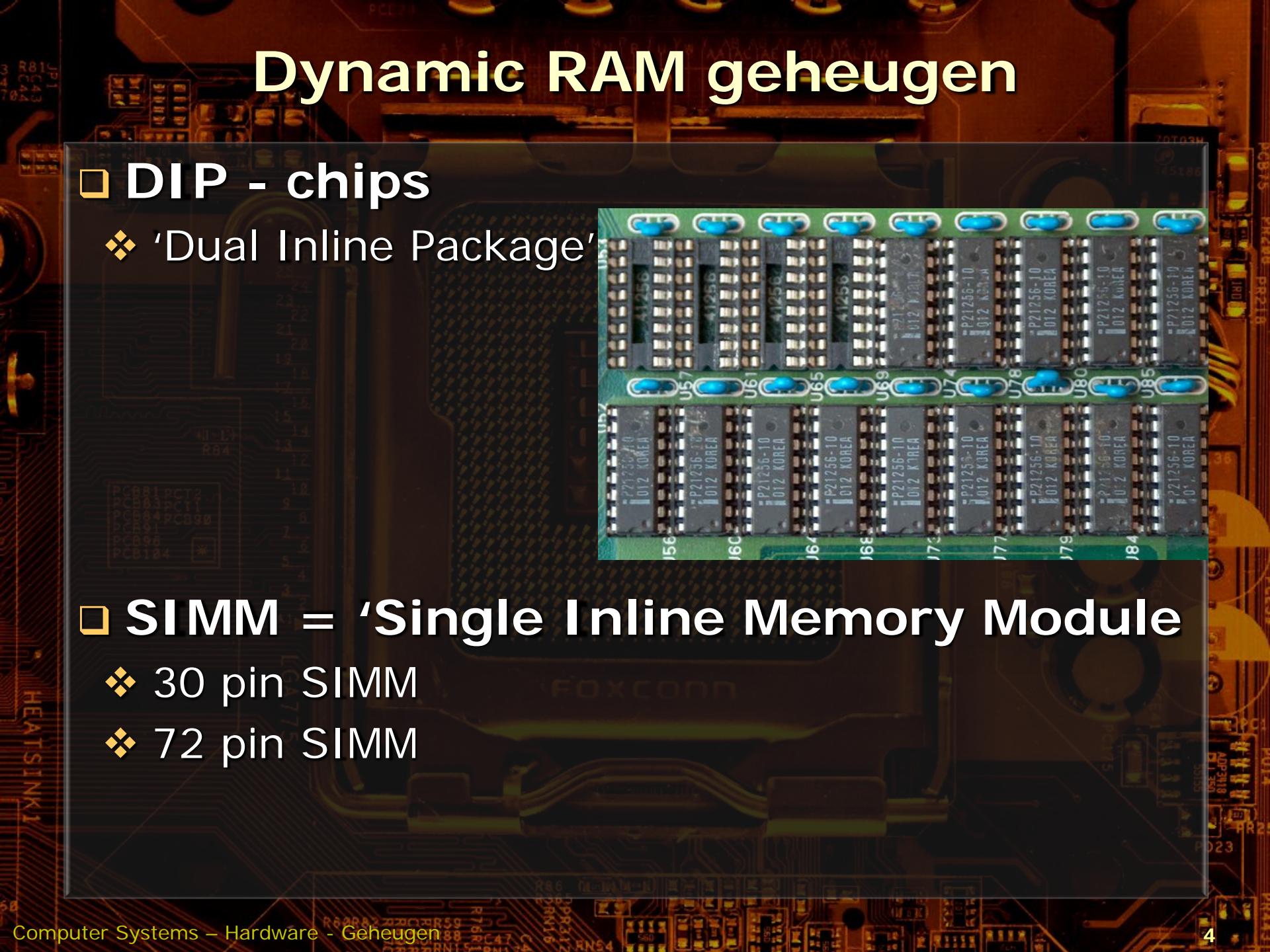
□ DIP - chips

- ❖ 'Dual Inline Package'



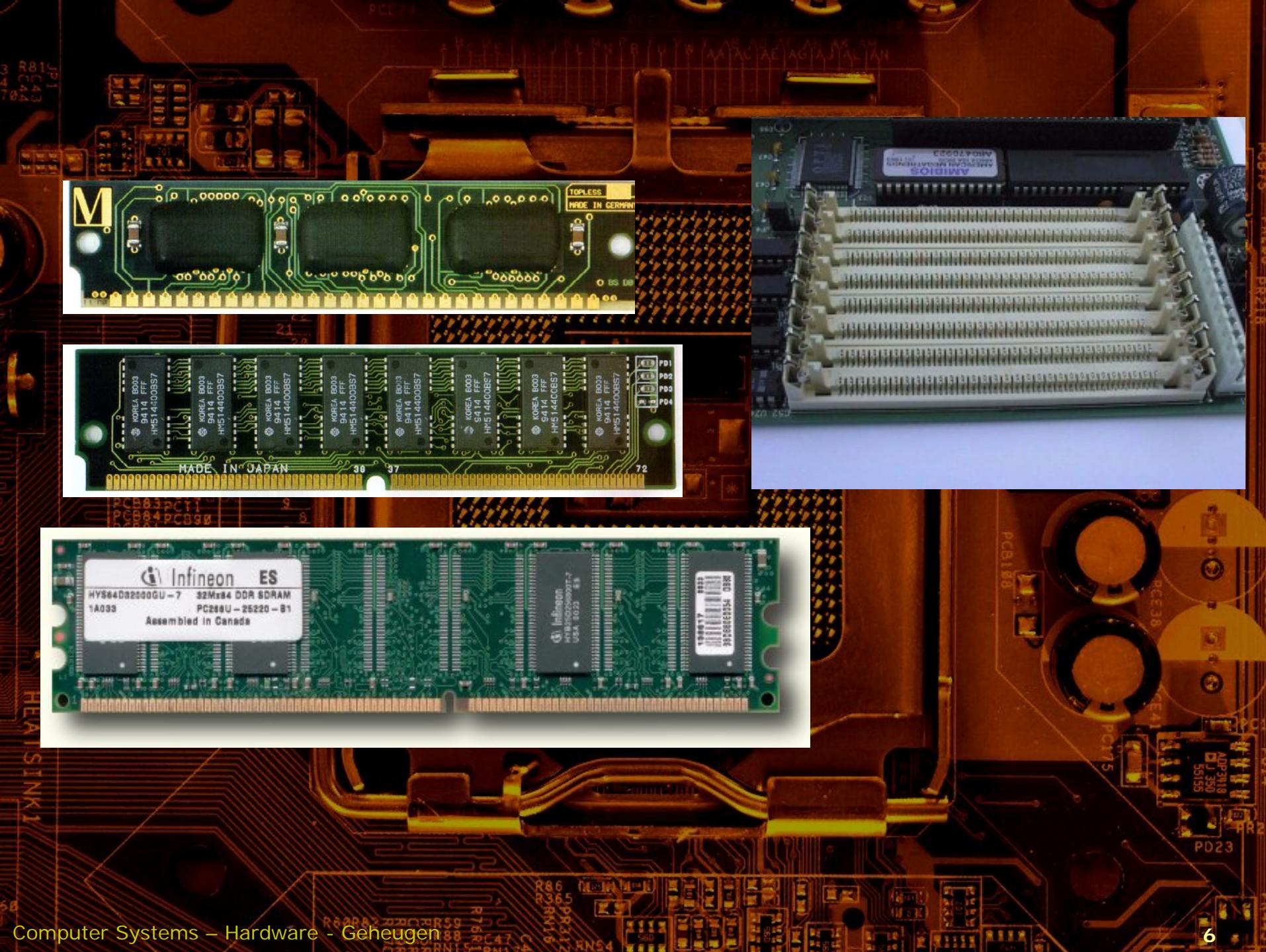
□ SIMM = 'Single Inline Memory Module'

- ❖ 30 pin SIMM
- ❖ 72 pin SIMM



Dynamic RAM geheugen

- ❑ **DIMM = 'Dual Inline Memory Module'**
 - ❖ Staat voor de aanwezigheid van een rij contacten aan beide kanten van de kaart. Een DIMM heeft in totaal 168 (184 of 240 bij DDR) contacten, bestaande uit een rij vergulde contacten aan elke zijde.
 - ❖ Er worden in vergelijking met de SIMM ook dubbel zoveel bits tegelijk afgeleverd, dit betekent de simultane aflevering van 64 bit.
 - DIMM 168 pin EDO
 - DIMM 168 pin SDRAM
 - DIMM 184 pin DDR-SDRAM
 - DIMM 240 pin DDR2- en DDR3-SDRAM



Geheugen

- ❖ Het RAM geheugen
- ❖ Het DRAM geheugen
 - Organisatie (modules)
 - Parameters
 - Klokfrequentie
 - Refresh
 - Adressering
 - Burstmode
 - Latency (latentietijden)
 - Architectuur
- ❖ Het SRAM-geheugen
 - Cache geheugen
- ❖ Read Only Geheugen (ROM)
- ❖ Flash Geheugen

Random Access Memory (RAM)

□ De klokfrequentie en klokcyclus

- ❖ Communicatie tussen processor en geheugen gaat over de front side bus en de geheugenbus;
- ❖ Bij een Core 2 - 3 GHz tikt de interne klok per seconde 3.000.000.000 keer (cycli). De FSB heeft echter een frequentie van 333 MHz maar quad pumped, dus equivalent aan 1333 MHz.
- ❖ De toegangstijd van recente geheugenmodules is 10-5 nanoseconden en zelfs lager.

Random Access Memory (RAM)

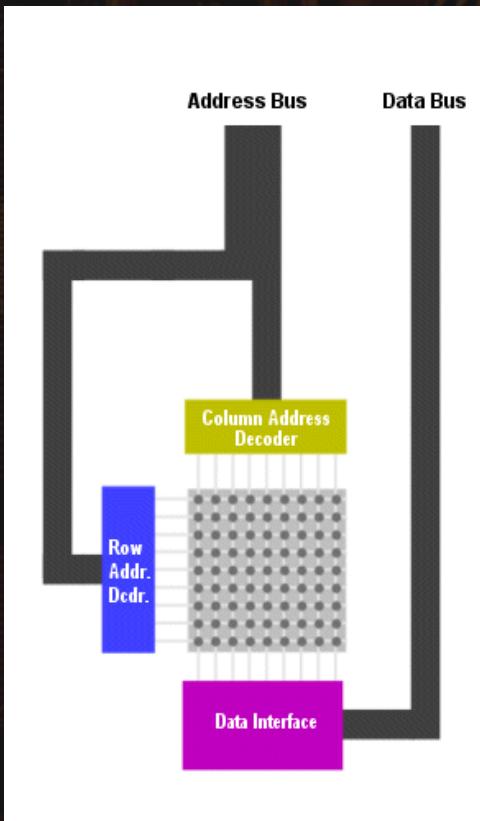
❑ Refresh

- ❖ De snelheid van de “refresh” is belangrijk voor de snelheid van de DRAM-modules;
- ❖ De huidige DDR-sDRAM geheugentypes hebben een “cycle time” van 10 tot 5 ns;
- ❖ De geheugencellen worden telkens per rij ververst (meestal 1 rij per geheugencyclus).
- ❖ Verversingssnelheid (refresh rate) refereert naar het aantal rijen dat moet ververst worden vooraleer het volledige geheugen ververst is;
- ❖ Verversingscyclus slaat op de tijd nodig voor het verversen van het volledige DRAM-geheugen.

Random Access Memory (RAM)

□ Adressing

Groeperen van de individuele roosters, in geneste en ingewikkeld configuraties



RAS (Row Address Select)
CAS (Column Address Select)

Random Access Memory (RAM)

□ De timing en burst mode

- ❖ De snelheid van het RAM geheugen wordt bepaald door de snelheid waarmee opeenvolgende stukjes informatie van 64 bits gelezen kunnen worden. Steeds worden er 4 pakjes informatie gelezen (32 bytes) en de tijd hiervoor nodig wordt uitgedrukt in klokcycli.
- ❖ De timing van geheugen wordt uitgedrukt in vier cijfers, gescheiden door streepjes. Elk cijfer duidt aan hoeveel klokcycli het duurt om een pakketje van 64 bits te lezen. Als een pakketje in 1 klokcyclus gelezen kan worden (zodat de processor niet moet wachten), spreken we van een burst. Als het langer duurt dan een cyclus om een pakketje in te lezen, dan wordt dit veroorzaakt door de aanwezigheid van wait-states.

Werking van RAM geheugen

□ /RAS-signaal

- ❖ Row Address Strobe dat het rij-adres doorgeeft.

□ /CAS-signaal

- ❖ Column Address Strobe dat de kolom doorgeeft.
- ❖ Zowel het /RAS als het /CAS signaal moeten een minimale lengte en een minimaal interval ten opzichte van elkaar hebben (**RAS-CAS-delay**).

□ /WE-signaal

- ❖ Write Enable geeft aan of er een lees- of schrijfoperatie plaats heeft.

□ /OE

- ❖ Output Enable zorgt bij een leesoperatie ervoor dat de data pas vrijgegeven worden van zodra alle voorbereidingen voltoekken zijn.

Werking van RAM geheugen

□ CAS-latentietijd (tCL)

- ❖ Aantal klokcycli tussen het doorsturen van het leescommando en het effectief vrijgeven van de data door het geheugen.

□ RAS precharge (tRP)

- ❖ Rusttijd tussen verschillende benaderingscycli.

□ Chip select

- ❖ Bij de aanwezigheid van meerdere DIMM's of bij dubbelzijdige modules.

Werking van RAM-geheugen

□ Asynchroon geheugen (FPM, EDO)

- ❖ Timing x-y-y-y

□ Synchroon geheugen (sDRAM)

- ❖ Formaat: tCAS-tRCD-tRP-tRAS
- ❖ Module met de code 2-3-3-7-1T
 - CAS-latentietijd van 2;
 - tRCD van 3;
 - tRP van 3;
 - tRAS van 7;
 - command rate van 1 klokcyclus.

Werking van RAM-geheugen

□ CL-timing

- ❖ Nieuwe types hebben vaak een vrij hoge tCL zodat de snelheidswinst teniet wordt gedaan;
- ❖ DDR-400 CL3 (200 MHz, 5ns klokcyclus)
 - Overdracht duurt 30ns (15ns+5ns+5ns+5ns).
- ❖ DDR-533 CL5 (266 MHz, 4ns klokcyclus)
 - Overdracht duurt 32 ns (20ns+4ns+4ns+4ns).
- ❖ DDR2-667 CL5 (333 MHz, 3ns klokcyclus)
 - Overdracht duurt 21ns (15ns+3ns+3ns+3ns).
- ❖ DDR2-800 CL5 (400 MHz, 2,5ns klokcyclus)
 - Overdracht duurt 20ns (12,5ns+2,5ns+2,5ns+2,5ns).
- ❖ DDR3-800 CL7 (400 MHz, 2,5ns klokcyclus)
 - Overdracht duurt 25ns (17,5ns+2,5ns+2,5ns+2,5ns).

Geheugen

- ❖ Het RAM geheugen
- ❖ Het DRAM geheugen
 - Organisatie (modules)
 - Parameters
 - Architectuur
 - DRAM
 - EDO RAM
 - BEDO RAM
 - SDR-RAM
 - DDR-RAM
 - DDR II
 - DDR III
 - DDR IV
- ❖ Het SRAM-geheugen
- ❖ Read Only Geheugen (ROM)
- ❖ Flash Geheugen

Architectuur van RAM

□ Geheugen Architectuur

- ❖ Elke bit in een DRAM chip heeft een rij adres en een kolom adres.
- ❖ Het langzame deel bij het benaderen van de DRAM is het ophalen van de rij. Eenmaal als de computer in de rij is gearriveerd, gaat het zoeken naar het kolom adres zeer snel.
- ❖ page = verzameling van alle rijen met hetzelfde adres in een bepaalde bank van alle chips op een module
- ❖ 72-pins SIMM-modules bestaan in drie uitvoeringen:

Architectuur van RAM

- Fast page mode (72 pin SIMM's)
- EDO-RAM (Extended Data Out)
- BEDO-RAM
- sDRAM (Synchronous Dynamic RAM)
- Direct RDRAM
- DDR-RAM (Double Date Rate DRAM)

Architectuur van RAM

□ DDR-DRAM (Double Data Rate DRAM)

- ❖ 184 pinnen in plaats van de 168 pinnen;
- ❖ Datatransfer op zowel de stijgende als de dalende flank van het kloksignaal, dus dubbel zoveel data doorgeven in vergelijking sDRAM;
- ❖ Op deze wijze bereikt een 100 MHz DDR klok een piek die in de buurt van 200 MHz ligt.
- ❖ Tweevoudige naamgeving=
 - DDR-200 | PC1600 ($64 \text{ bit} * 2 * 100 \text{ MHz} = 1600 \text{ MB/s}$)
 - DDR-266 | PC2100 ($64 \text{ bit} * 2 * 133 \text{ MHz} = 2133 \text{ MB/s}$).
 - DDR-333 | PC2700 ($64 \text{ bit} * 2 * 166 \text{ MHz} = 2667 \text{ MB/s}$)
 - DDR-400 | PC3200 ($64 \text{ bit} * 2 * 200 \text{ MHz} = 3200 \text{ MB/s}$).

Architectuur van RAM

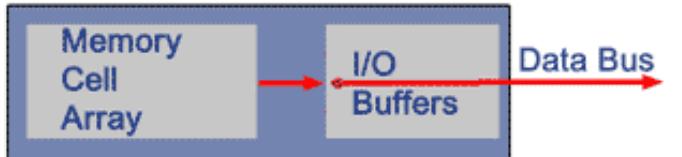
□ DDR II-DRAM

- ❖ Vanaf de I/O buffers gaan de data over een schnellere en smallere bus, waarbij ook de Double Data Rate truk toegepast wordt. Hierdoor wordt een viervoudige datafrequentie;
- ❖ Voornamelijk ontworpen voor systemen met hogere bussnelheden:
 - DDR2-400 (bussnelheid 100 MHz)
 - DDR2-533 (bussnelheid 133 MHz)
 - DDR2-667 (bussnelheid 166 MHz)
 - DDR2-800 (bussnelheid 200 MHz)

Architectuur van RAM

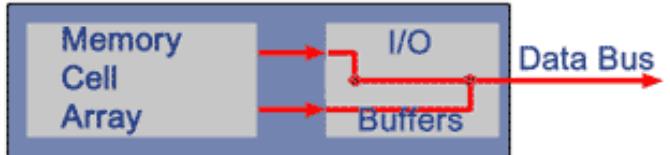
SDRAM

Core frequency = 100 MHz Clock Freq = 100 MHz Data Freq = 100 MHz



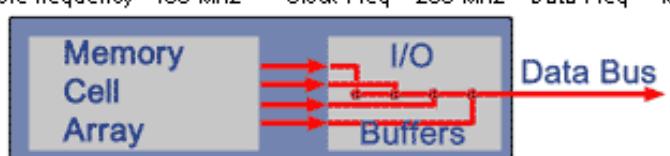
DDR I

Core frequency = 100 MHz Clock Freq = 100 MHz Data Freq = 200 MHz



DDR II

Core frequency = 100 MHz Clock Freq = 200 MHz Data Freq = 400 MHz



Architectuur van RAM

□ DDR III-DRAM

- ❖ Een viervoudige datatransfer (zoals DDR2);
- ❖ Frequentie verdubbeld naar 1600 MHz;
- ❖ Lagere CAS-latentietijd (meestal CL7);
- ❖ Lager stroomverbruik (1,5 V in plaats van 1,8V voor DDR2 en 2,5V voor DDR)
- ❖ 8-bit prefetch buffer (4 bij DDR2 en 2 bij DDR);
- ❖ De mogelijke modules:
 - DDR3-800 (PC3-6400)
 - DDR3-1066 (PC3-8500)
 - DDR3-1333 (PC3-10600)
 - DDR3-1600 (PC3-12800)
 - Capaciteit van 512 MiB, 1 GiB, 2GiB en 4 GiB.

Architectuur van RAM

□ DDR IV-DRAM

- ❖ Meer pins (288)
- ❖ Density (2x)
- ❖ Quad channel
- ❖ lower voltage requirements

Architectuur van RAM

❑ Dual Channel

- ❖ Combinatie van twee 64-bit geheugenmodules tot één 128-bit supermodule;
- ❖ Beide geheugenmodules tegelijk aangesproken, waardoor data heel snel te benaderen is;
- ❖ De bandbreedte wordt verdubbeld.
- ❖ Voor DDR, DDR2 en DRDRAM modules.

❑ Triple Channel

- ❖ Combinatie van drie geheugenmodules tot één supermodule;
- ❖ De bandbreedte wordt verdrievoudigd;
- ❖ Voor DDR3 modules.

Installatie van geheugen

□ Geheugenbanken

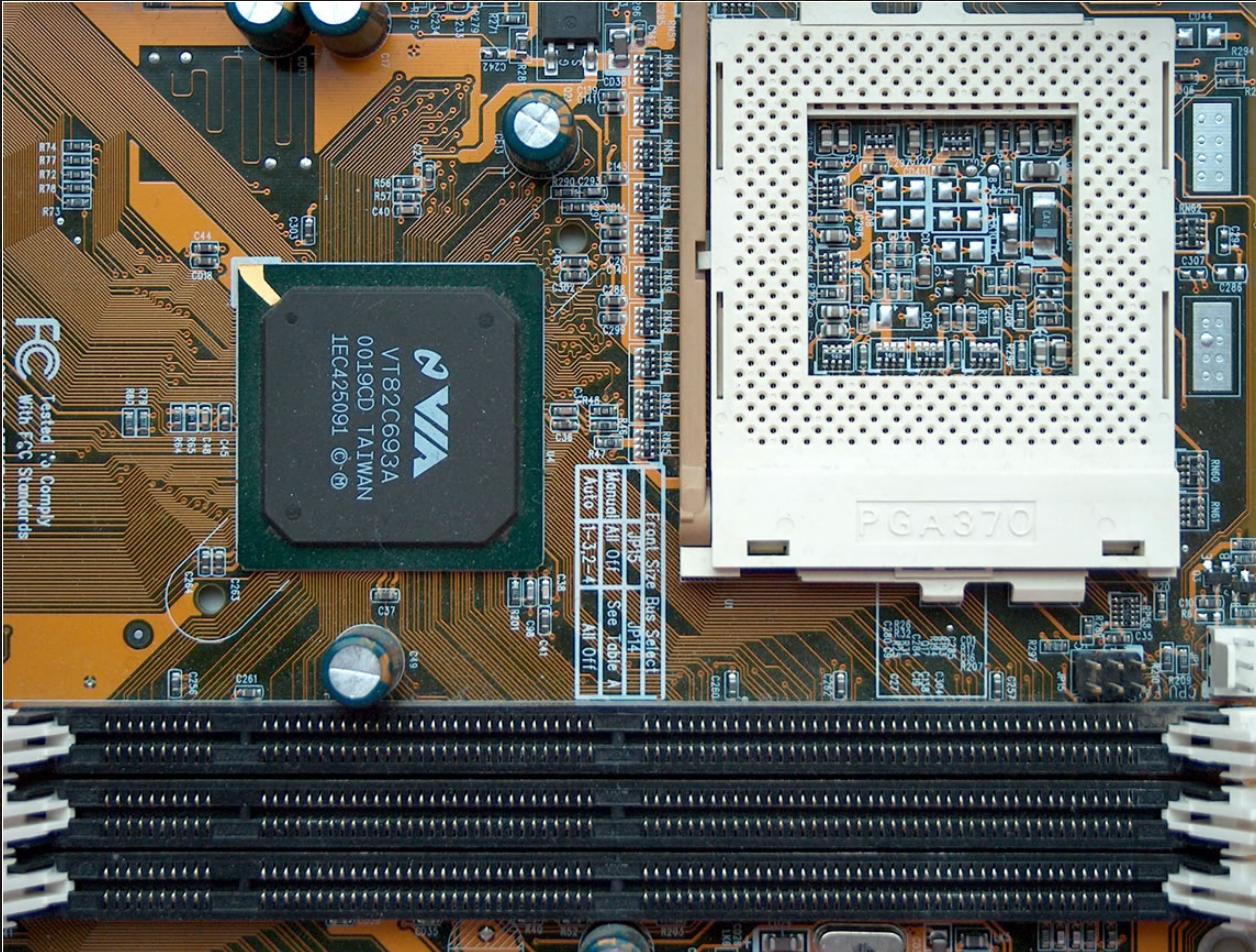
- ❖ Komen overeen met de databus capaciteit van de gebruikte processor.

Processor	Databus	Geheugenbank
8088	8	8 (+ 1 pariteitsbit)
8086 - 286-386 SX	16	16 (+ 2 pariteitsbits)
386 DX - 486	32	32 (+ 4 pariteitsbits)
Vanaf Pentium	64	64 (+ 8 pariteitsbits)

- ❖ Er zijn twee typen SIMM's met pariteit:
 - 9 bit SIMM met 30 Pins (8 data bits)
 - 36 bit SIMM met 72 Pins (32 data bits)
- ❖ Bij DIMM's wordt enkel nog ECC toegepast

Installatie van geheugen

DIMM-banken



Installatie van geheugen

Dual Channel

	DIMM_A1	DIMM_A2	DIMM_B1	DIMM_B2
single channel	blauw X	zwart	blauw	zwart
		X		
			X	
				X
dual channel	X		X	
		X		X
	X	X	X	X



Installatie van geheugen

❑ Tripple Channel

	Channel 1	Channel 2	Channel 3	
	rood	zwart	rood	zwart
triple channel	X		X	X
		X		X
	X	X	X	X



Foutcontrole

❑ Foutcontrole met pariteit

- ❖ Pariteit op even = het aantal "1"-waarden in de bits wordt even gemaakt.

7	6	5	4	3	2	1	0	P
1	1	0	1	1	1	0	0	1

bitpositie 3 is foutief
na transport, pariteit
klopt niet meer.

bitpositie 3 en 4 zijn
foutief na transport,
pariteit klopt nog
steeds.

7	6	5	4	3	2	1	0	P
1	1	0	1	0	1	0	0	1

7	6	5	4	3	2	1	0	P
1	1	0	0	0	1	0	0	1

Foutcontrole

- ❑ **Foutcontrole met Error Correction Code**
 - ❖ In tegenstelling tot pariteit waar slechts 1 bit gebruikt werd per 8 databit, maakt ECC gebruik van meerdere controlebits:
 - Voor 8-bit data zijn er 5 ECC
 - Voor 16-bit data zijn er 6 ECC bit
 - Voor 32-bit data zijn er 7
 - Voor 64-bit data 8 ECC bit
 - ❖ Dit maakt het meer gesofistikeerd en duurder dan pariteit. Het grote voordeel van ECC t.o.v. pariteit is dat er een zelfstandige correctie kan gebeuren bij ECC-geheugen.

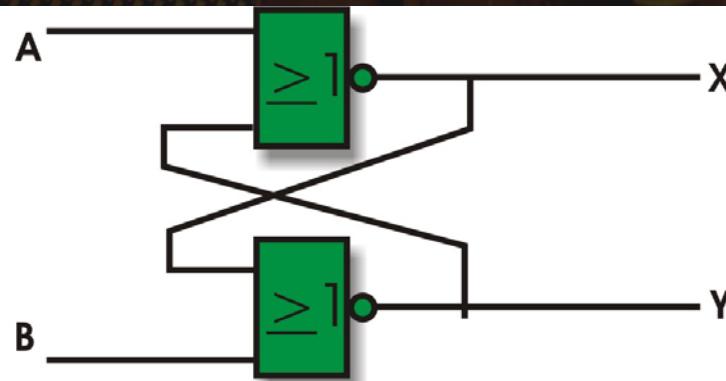
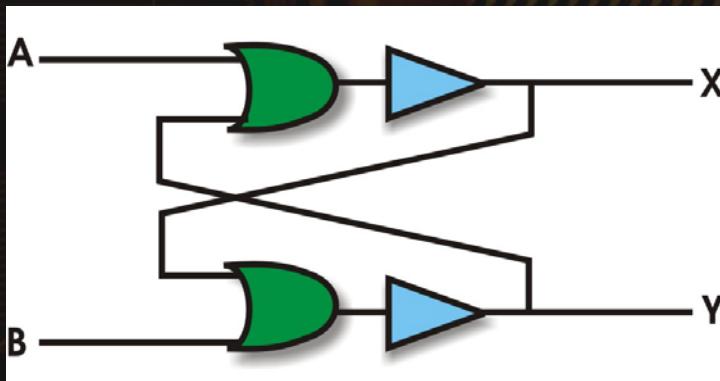
Geheugen

- ❖ Het RAM geheugen
- ❖ Het DRAM geheugen
 - Organisatie (modules)
 - Parameters
 - Architectuur
- ❖ Het SRAM-geheugen
 - Cache geheugen
 - L1
 - L2
 - L3
 - Cache werking
- ❖ Read Only Geheugen (ROM)
- ❖ Flash Geheugen

SRAM geheugen

□ Statische RAM

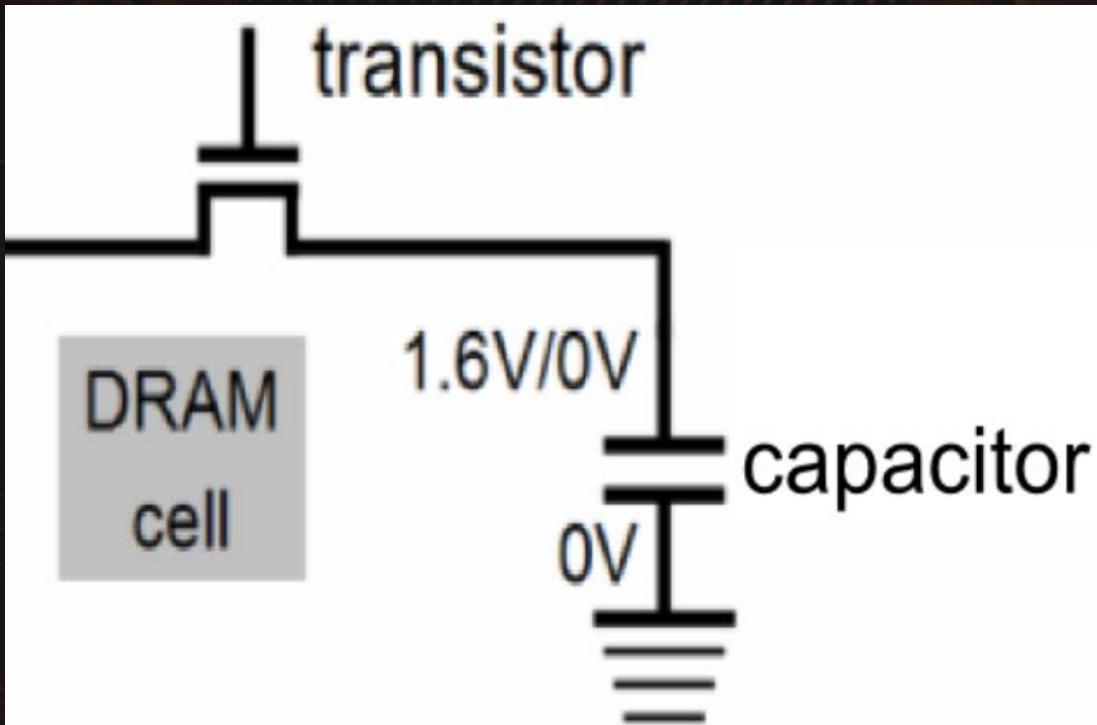
- ❖ Geen verversing nodig en hierdoor veel sneller dan DRAM chips.
- ❖ Veel duurder is dan DRAM geheugen.
- ❖ 'SR-latch': twee inputs (een Setting en een Resetting) en twee outputs die elkaar complement zijn.



SRAM geheugen

□ Statische RAM

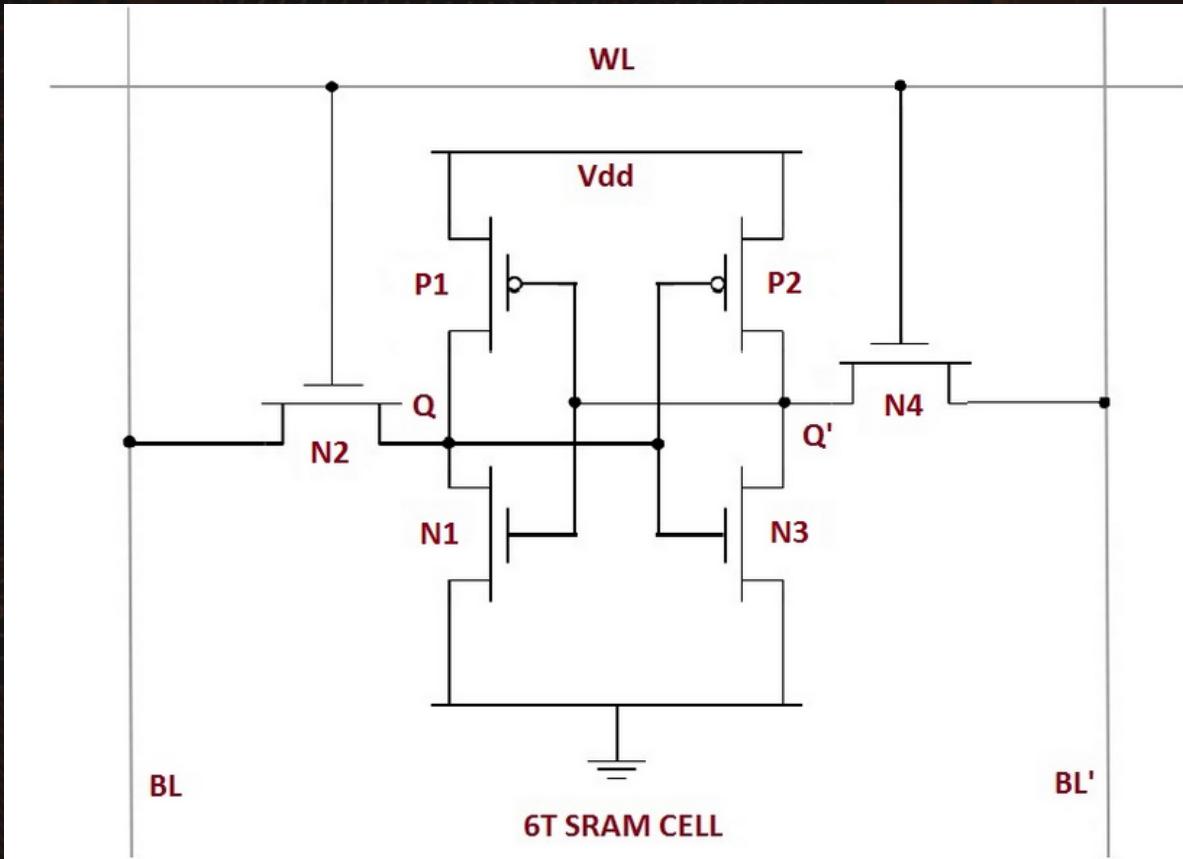
Voorbeeld DRAM:



SRAM geheugen

□ Statische RAM

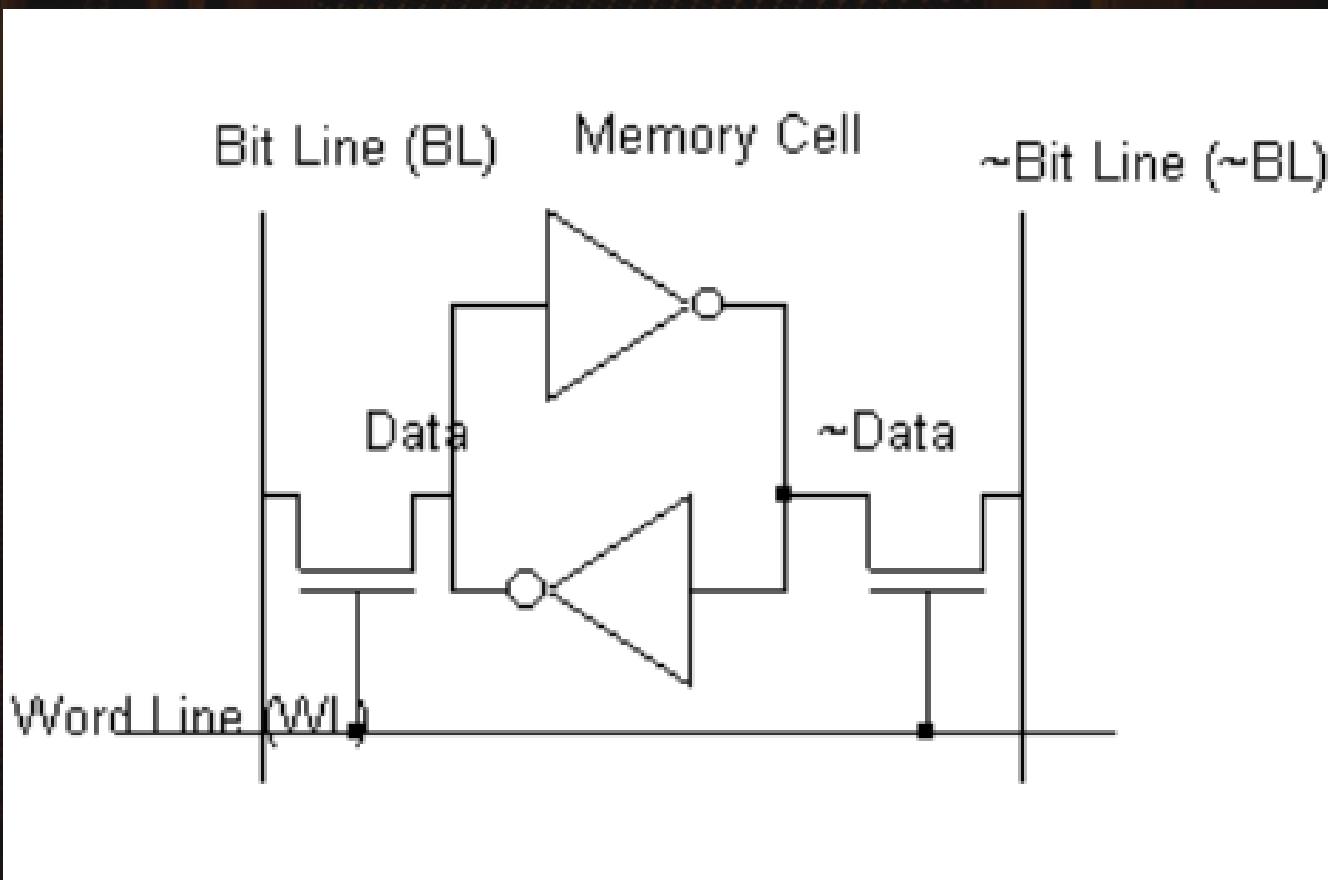
Voorbeeld SRAM:



SRAM geheugen

□ Statische RAM

Voorbeeld SRAM (vereenvoudigd):



SRAM geheugen

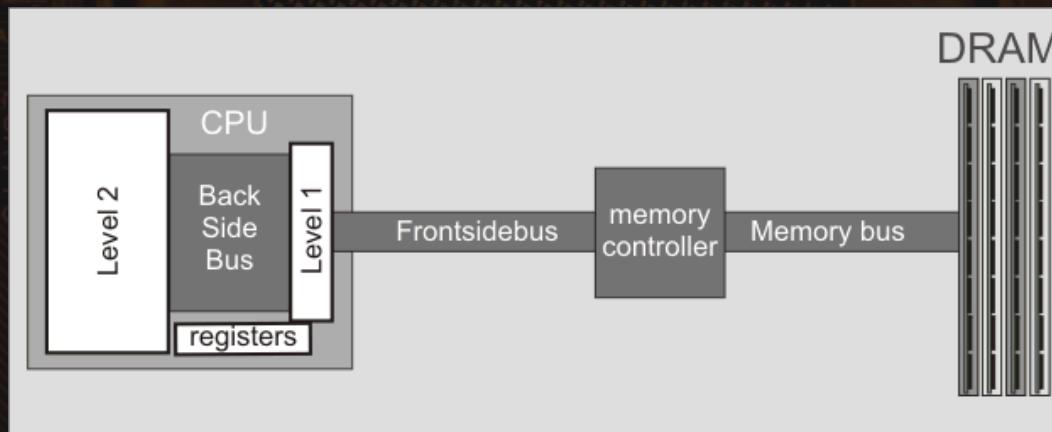
□ L1-cache (primary cache)

- ❖ Geïntegreerd vanaf de 80486 (8 KB), Pentium (16KB), Pentium MMX/PII/PIII/4 (20-32KB), Core 2/i (32-64KB).
- ❖ Level 1 cache wordt door de processor gebruikt om instructies en data tijdelijk op te slaan in blokken van 32 bytes. De interface tussen de uitvoeringseenheid van de processor en het primaire cache geheugen kan werken zonder vertraging (no delay = zero wait state). Hieraan dankt het zijn uitzonderlijke snelheid.
- ❖ De aanwezigheid van cache geheugen verbetert de prestatie van het trage DRAM geheugen merkelijk.

SRAM geheugen

□ L2-cache (secondary cache)

- ❖ Het second level cache (level 2) is opgebouwd uit snel SRAM geheugen waarin een kopie wordt bewaard van die geheugenplaatsen die een bepaald programma veel nodig heeft. In verhouding met het hoofdgeheugen is het klein (1 tot meerdere MB). Het dient voornamelijk als overbrugging tussen het snelheidsverschil tussen de processor en het hoofdgeheugen.



SRAM geheugen

□ L3-cache (tertiary cache)

- ❖ Bij de Core iX en bij de AMD Phenom is een derde niveau cachegeheugen toegevoegd. Dit is vooral nuttig meer meerkernige processoren, waarbij elke kern zijn eigen relatief klein L2-cachegeheugen heeft en een grotere hoeveelheid L3-cache gedeeld wordt door alle kernen.

SRAM geheugen

- ❑ L1-cache (primary cache)
- ❑ Write through principe
 - ❖ Onmiddellijk wegschrijven
 - ❖ Wanneer gegevens door de processor in het geheugen worden geplaatst, dan wordt eerst gekeken of de gegevens in de cache aanwezig zijn, is dit zo dan worden deze in de cache overschreven, maar ze worden ook altijd in het trage geheugen overschreven. Wanneer de gegevens niet in de cache worden gevonden dan worden ze enkel in het trage geheugen opgeslagen.

Cache werking

□ Write through with buffer

- ❖ Het wegschrijven naar het trage DRAM geheugen wordt uitgesteld. De cache neemt eerst de data in ontvangst, de cache controller schrijft de data daadwerkelijk in het hoofdgeheugen.

□ Write back principle (terugschrijven)

- ❖ Data wordt in eerste instantie enkel naar de cache weggeschreven. Enkel als er ruimte in de cache moet vrijgemaakt worden schrijft de cache controller de data naar het DRAM geheugen. Deze methode levert ongeveer 10% betere performantie t.o.v. de andere methoden.

Read Only Geheugen (ROM)

□ ROM

- ❖ Om programma's in op te slaan die nodig zijn voor het configureren van hun apparatuur naar het computersysteem toe;
- ❖ Een update van de gestockeerde programma's is niet mogelijk;
- ❖ Groot nadeel: lezen uit deze chips gaat zeer traag;
- ❖ Om deze programma's te versnellen kan men bij het opstarten van de PC, de inhoud van bepaalde ROM-geheugens in het RAM-geheugen kopiëren. Deze techniek noemt men 'shadow ROM'.

Read Only Geheugen (ROM)

□ ROM

- ❖ PROM-chips (Programmable ROM).
 - De gegevens op deze chips kunnen worden gewijzigd via elektrische verbranding. Omdat het om verbranding gaat is deze bewerking éénmalig.
- ❖ 'EPROM-chips' (Erasable Programmable ROM).
 - Indien het nodig is om een ROM-chip meerdere malen te kunnen wijzigen. De gegevens op deze chip kunnen gewist worden door middel van ultraviolette straling, waarna de chip opnieuw gebruikt kan worden.
- ❖ EEPROM (electrically eraseable PROM).
 - Aangezien een installatie met kwartsvensters en UV-lampen ingewikkeld en duur is werkt mem tegenwoordig veel met EPROM's die elektrisch te programmeren zijn.

Flashgeheugen

❑ Eigenschappen

- ❖ Flash geheugen werkt als een combinatie van RAM en een harde schijf.
- ❖ Zoals in RAM worden de bits opgeslagen in geheugencellen (geen bewegende delen of "solid-state").
- ❖ Zoals op een harde schijf betreft het een herschrijfbaar medium waarbij de data behouden blijven ook als de spanning wegvalt (niet vlugtig geheugen zoals bij ROM of f "non-volatile").

Flashgeheugen

□ Nadelen:

- ❖ Beperkte herschrijfbaarheid (ca 100.000 maal);
- ❖ Kan niet byte per byte gewist worden, maar moet per gegevensblok gewist worden;
- ❖ Maximale opslag ligt momenteel rond de 128 GB;
- ❖ Levensduur is minimaal 10 jaar (max. 100 j.)
- ❖ Deze belangrijke nadelen betekenen dat flashgeheugen nooit een geschikte plaatsvervanger kan zijn van RAM-geheugen in de computer. Door de beperktere opslagcapaciteit kan het nog niet de harde schijf vervangen.

Flashgeheugen

□ Toepassingen:

- ❖ de BIOS chip van de computer
- ❖ CompactFlash (digitale cameras)
- ❖ SmartMedia (digitale cameras)
- ❖ Secure Data (digitale cameras)
- ❖ Memory Stick (digitale cameras)
- ❖ PCMCIA Type I and Type II memory cards
(gebruikt als solid-state disks in laptops)
- ❖ Memory cards voor video game consoles

Flashgeheugen

□ Toepassingen

- ❖ Opslagmedium in digitale camera's, PDA's en MP3-spelers (Smartmedia, Compact Flash en SD-kaarten). De grootste gangbare capaciteit ligt rond de 16 – 32 GB.
- ❖ Flash-bios: in tegenstelling tot de normale EEPROM als ROM-toepassing kunnen de flash-biossen gewist en geprogrammeerd worden terwijl ze nog in de computer gemonteerd zitten.
- ❖ De BIOS-chips omvatten zowel het setup-programma om de configuratie te wijzigen als de configuratie-instellingen (opnieuw beschrijven met een flash-programma).