

Arquitectura de Computadoras 1

Segundo examen parcial - año 2024 - Tema B

Indicaciones (Leer atentamente):

- Escribir nombre y apellido.
- Todos los ejercicios tienen el mismo puntaje:
100/13=7.7%.
- Se aplica la escala de notas definida en la Ordenanza 108/10 emitida por el Consejo Superior de la Universidad Nacional de Cuyo, la cual se adjunta a continuación.

Resultado	Escala Numérica	Escala Porcentual
	Nota	%
NO APROBADO	0	0%
	1	1 a 12%
	2	13 a 24%
	3	25 a 35%
	4	36 a 47%
	5	48 a 59%
APROBADO	6	60 a 64%
	7	65 a 74%
	8	75 a 84%
	9	85 a 94%
	10	95 a 100%

Ejercicio 1

La hoja de datos de una memoria indica la siguiente información acerca de sus pines.:

A0-A11: Row Address Input
A0-A9: Column Address Input
WE: Write Enable
RAS: Row Address Select.
CAS: Column Address Select.
D0-D15: Data

Indique el tipo y organización de memoria.

- ☐ a. SRAM de 1M x 16
- ☐ b. DRAM de 1M x 16
- ☐ c. SRAM de 2M x 16
- ☐ d. DRAM de 2M x 16
- ☐ e. SRAM de 1M x 32
- ☐ f. DRAM de 1M x 32
- ☐ g. Ninguna respuesta es correcta.

Ejercicio 2

Indique la diferencia entre una SRAM y una DRAM.

- ☐ a. La SRAM puede escribirse, la DRAM no.
- ☐ b. La SRAM puede borrarse eléctricamente, la DRAM por ultravioleta.
- ☐ c. La SRAM debe refrescarse periódicamente, la DRAM no.

- ☐ d. La SRAM es de acceso aleatorio, la DRAM no.
- ☐ e. La SRAM se direcciona por filas y columnas, la DRAM no.
- ☐ f. La DRAM debe refrescarse periódicamente, la SRAM no.
- ☐ g. Ninguna respuesta es correcta

Ejercicio 3

Los procesadores con arquitectura x86_64 poseen direcciones virtuales de 48 bits. Los mismos poseen un tamaño de páginas de 4 KB. Suponga que una de dichas computadoras posee 16 GB de memoria RAM instalada. Indique la cantidad máxima de páginas y la cantidad de marcos de página.

- ☐ a. 32 T páginas. 4 K marcos de página.
- ☐ b. 64 T páginas. 4 K marcos de página.
- ☐ c. 32 G páginas. 4 M marcos de página.
- ☐ d. 64 G páginas. 4 M marcos de página.
- ☐ e. 32 G páginas. 4 K marcos de página.
- ☐ f. 32 T páginas. 4 M marcos de página.
- ☐ g. Ninguna respuesta es correcta.

Ejercicio 4

Los procesadores con arquitectura ARM v7 poseen espacio de direcciones virtuales de 32 bits y páginas de 64KB. Un programa posee las siguientes características:
50 MB de memoria necesaria.
512 páginas con bits de presencia en 1.
256 páginas con bits de modificado en 1.

Indique la cantidad de bytes que es necesario actualizar al disco duro.

- ☐ a. 0 MB
- ☐ b. 2 MB
- ☐ c. 16 MB
- ☐ d. 18 MB
- ☐ e. 32 MB
- ☐ f. 48 MB
- ☐ g. Ninguna respuesta es correcta.

Ejercicio 5

La computadora Raspberry Pi3 posee espacio de direcciones virtuales de 32 bits y páginas de 64 KB. Un programa posee su página 24_{16} en el marco de página $A2C2_{16}$. Indique la dirección física en la cual se encuentra almacenada la dirección lógica 245193_{16} .

Escriba aquí su respuesta:

Ejercicio 6

El tamaño de la línea de caché de procesadores i3, i5 e i7 es de 64 bytes. Indique el desplazamiento dentro de su bloque de la dirección $A8C16_{16}$.

Escriba aquí su respuesta:

<p>Ejercicio 7 Una computadora posee 32 bits para direcciones virtuales. El tamaño de la línea de caché es 128 posiciones de memoria. La memoria de etiquetas posee las siguientes etiquetas: 1_{16} y 2_{16}. Indique cual de las siguientes direcciones de memoria generará un fallo de caché.</p>	<p><input type="checkbox"/> a. 120_{10} <input type="checkbox"/> b. 132_{10} <input type="checkbox"/> c. 255_{10} <input type="checkbox"/> d. 256_{10} <input type="checkbox"/> e. 380_{10} <input type="checkbox"/> f. Ninguna respuesta es correcta.</p>
<p>Ejercicio 8 Para un procesador que utiliza mapeo en memoria para acceder a dispositivos de entrada salida, ¿Qué acción realizará la siguiente instrucción? MOV C,[0x0420]</p> <p><input type="checkbox"/> a. Escribe solo en memoria. <input type="checkbox"/> b. Lee un dato solo desde memoria. <input type="checkbox"/> c. Escribe un dato solo en un periférico.</p>	<p><input type="checkbox"/> d. Lee un dato solo desde un periférico. <input type="checkbox"/> e. Escribe un dato en memoria o en un periférico. <input type="checkbox"/> f. Lee un dato desde memoria o desde un periférico. <input type="checkbox"/> g. Produce un error. <input type="checkbox"/> h. Ninguna respuesta es correcta</p>
<p>Ejercicio 9 El método de DMA es adecuado para:</p> <p><input type="checkbox"/> a. Transferir grandes bloques de datos entre dispositivos de entrada salida y memoria. <input type="checkbox"/> b. Liberar al procesador de ejecutar tareas de entrada salida.</p>	<p><input type="checkbox"/> c. Procesadores de bajo costo. <input type="checkbox"/> d. Captar eventos en tiempo real. <input type="checkbox"/> e. Disminuir la cantidad de comunicaciones con los periféricos. <input type="checkbox"/> f. Ninguna opción es correcta</p>
<p>Ejercicio 10 La siguiente información son datos de un dispositivo brindados por el sistema operativo Linux. <i>SATA controller</i> <i>producto: Family 6-port SATA Controller</i> <i>fabricante: Intel Corporation</i> <i>información del bus: pci@0000:00:1f.2</i> <i>capacidades: sata msi pm ahci_1.0 bus_master</i> <i>recursos: irq:25</i> Sobre el dispositivo podemos decir:</p>	<p><input type="checkbox"/> a. Almacena datos. <input type="checkbox"/> b. Permite la conexión de dispositivos de almacenamiento de datos. <input type="checkbox"/> c. Se conecta solo al bus ISA. <input type="checkbox"/> d. Se conecta a dos buses. <input type="checkbox"/> e. Permite la conexión de dispositivos externos. <input type="checkbox"/> f. Permite la conexión de un procesador. <input type="checkbox"/> g. Ninguna respuesta es correcta.</p>
<p>Ejercicio 11 Cual de las siguientes es una característica propia del bus USB:</p> <p><input type="checkbox"/> a. Permite la conexión de dispositivos externos. <input type="checkbox"/> b. En computadoras actuales (Intel i7, AMD Ryzen, etc.) es el bus principal del sistema.</p>	<p><input type="checkbox"/> c. Entre los buses de expansión, es el más rápido. <input type="checkbox"/> d. Es un bus paralelo. <input type="checkbox"/> e. Permite generar interrupciones a los dispositivos conectados al mismo. <input type="checkbox"/> f. Ninguna respuesta es correcta.</p>
<p>Ejercicio 12 Un bloque de caché posee un problema de coherencia cuando:</p> <p><input type="checkbox"/> a. La etiqueta del bloque en caché es diferente a la etiqueta del bloque en memoria principal. <input type="checkbox"/> b. Los datos del bloque en caché son diferentes a los datos del bloque en memoria principal.</p>	<p><input type="checkbox"/> c. No hay espacio en caché para transferir un bloque desde la memoria principal. <input type="checkbox"/> d. El bloque no está en memoria caché. <input type="checkbox"/> e. El bloque está en caché pero no en memoria principal. <input type="checkbox"/> f. El procesador no encuentra el bloque. <input type="checkbox"/> g. Ninguna respuesta es correcta.</p>
<p>Ejercicio 13 Un procesador que posee un bus de direcciones de 32 bits utiliza entrada salida mediante instrucciones especiales. El mismo necesita 1.5GB de memoria para entrada salida. El tamaño máximo posible de la memoria RAM que podrá instalar será:</p> <p><input type="checkbox"/> a. 1.5 GB <input type="checkbox"/> b. 2 GB</p>	<p><input type="checkbox"/> c. 2.5 GB <input type="checkbox"/> d. 2.5 GB <input type="checkbox"/> e. 3.5 GB <input type="checkbox"/> f. 4 GB <input type="checkbox"/> g. 5.5 GB <input type="checkbox"/> h. Ninguna respuesta es correcta.</p>