

**Universidad Nacional de Cuyo. Arquitectura de Computadoras 1**  
**Respuestas del Segundo Examen parcial - 2024**

---

**Tema A**

**Ejercicio 1:** Respuesta correcta: d

Bus direcciones: Filas: A0-A11: 12 bits. Columnas: A0-A8: 9 bits.

Total direcciones de memoria:  $2^{12+9}=2^{21}=2^1 2^{20}=2\text{M}$  direcciones.

DRAM por tener RAS y CAS. Bus datos: D0-D15: 16 bits.

Organización: DRAM 2Mx16.

**Ejercicio 2:** Respuesta correcta: f

La SRAM y la DRAM son ambas volátiles, por lo tanto pierden la información si pierden la energía eléctrica. La EEPROM es no volátil, por lo tanto, conserva la información aún sin energía eléctrica.

**Ejercicio 3:** Respuesta correcta: a

Direcciones virtuales: Máximo posible de direcciones, tanto en memoria RAM como en disco duro:  $2^{64}$ .

Importante: Es el máximo posible de direcciones. Una computadora puede tener menos o igual cantidad de memoria RAM + memoria virtual en disco duro.

Tamaño de página  $64\text{K}=2^6 \cdot 2^{10}=2^{16}$ .

Cantidad máxima de páginas (memoria virtual):  $2^{64}/2^{16}=2^{48}=2^8 \cdot 2^{40}=256\text{ Tpáginas}$ .

Cantidad máxima de marcos de página (memoria RAM instalada):

$4\text{G}/2^{16}=2^2 \cdot 2^{30}/2^{16}=2^{32}/2^{16}=2^{16}=2^6 \cdot 2^{10}=64\text{K marcos de páginas}$ .

**Ejercicio 4:** Respuesta correcta: c

Cantidad de páginas en memoria principal: indicado por la cantidad de páginas con bit de presencia en 1: 512.

Bytes por página: 4 KB.

Cantidad de bytes en memoria principal:  $512 \cdot 4\text{ KB} = 2048\text{ KB} = 2\text{ MB}$ .

**Ejercicio 5:** Respuesta correcta: B1C25193<sub>16</sub>

Páginas  $64\text{ KB}=2^{16}$ . Se necesitan 16 bits para desplazamiento dentro de la página.

Dirección lógica: 225193<sub>16</sub>=0010 0010 0101 0001 1001 0011<sub>2</sub>

Marrón: 16 bits de desplazamiento dentro de la página = 0101 0001 1001 0011<sub>2</sub>=5193<sub>16</sub>.

Azul: Número de página virtual=0010 0010<sub>2</sub>=22<sub>16</sub>.

La página 22<sub>16</sub> se almacena en el marco de página B1C2<sub>16</sub>=1011 0001 1100 0010<sub>2</sub>.

Dirección física: marco de página + desplazamiento dentro de la página =

= 1011 0001 1100 0010 0101 0001 1001 0011<sub>2</sub>= B1C25193<sub>16</sub>.

**Ejercicio 6:** Respuesta correcta:  $10101000110000_2 = 2A30_{16} = 10800_{10}$ .

Tamaño de la línea o bloque de caché = 64 bytes =  $2^6$  bytes. Se necesitan 6 bits para desplazamiento. El resto son etiqueta.

A8C16<sub>16</sub> =  $1010\ 1000\ 1100\ 0001\ 0110_2$ .

Marrón: desplazamiento =  $010110_2 = 01\ 0110_2 = 16_{16} = 22_{10}$ .

Azul: etiqueta =  $10101000110000_2 = 10\ 1010\ 0011\ 0000_2 = 2A30_{16} = 10800_{10}$ .

Notar que separar los bits en grupos de 4 es solo para facilitar la conversión a hexadecimal.

**Ejercicio 7:** Respuesta correcta: f (ninguna es correcta)

Tamaño de línea o bloque de caché: 128 direcciones =  $2^7$ . Se necesitan 7 bits para desplazamiento dentro del bloque. El resto de los 32 bits son etiqueta.

Formato direcciones:

$0000\ 0000\ 0000\ 0000\ 0000\ 0000\ 0000\ 0000_2$ .

Marrón: desplazamiento. Azul: etiqueta.

Primera y última dirección de la etiqueta 0<sub>16</sub>:

$0000\ 0000\ 0000\ 0000\ 0000\ 0000\ 0000\ 0000_2 = 0_{16} = 0_{10}$ .

$0000\ 0000\ 0000\ 0000\ 0000\ 0000\ 0111\ 1111_2 = 7F_{16} = 127_{10}$ .

Primera y última dirección de la etiqueta 2<sub>16</sub>:

$0000\ 0000\ 0000\ 0000\ 0000\ 0001\ 0000\ 0000_2 = 100_{16} = 256_{10}$ .

$0000\ 0000\ 0000\ 0000\ 0000\ 0001\ 0111\ 1111_2 = 17F_{16} = 383_{10}$ .

Todas las opciones son direcciones contenidas entre las indicadas.

**Ejercicio 8:** Respuesta correcta: e

MOV [0x0420],C

Origen del dato: registro C.

Destino del dato: dirección de memoria 0x0420.

Se escribe en la dirección 0x0420. Como se utiliza mapeo en memoria, no es posible distinguir si esta dirección corresponde a memoria o a un periférico.

**Ejercicio 9:** Respuesta correcta: d

**Ejercicio 10:** Respuesta correcta: d

*descripción:* ISA bridge

*fabricante:* Intel Corporation

*información del bus:* pci@0000:00:1f.0

Se trata de un puente (ISA bridge o puente ISA). Un puente se utiliza para conectar dos buses diferentes. Uno de los buses es el ISA, el otro PCI.

**Ejercicio 11:** Respuesta correcta: b

bus PCI express: El más rápido de los buses de entrada salida y el bus principal de las computadoras en la actualidad (salvo computadoras económicas o de bajo poder de procesamiento). Es un bus serial, asíncrono e interno de las computadoras.

**Ejercicio 12:** Respuesta correcta: f

Un bloque en caché se invalida cuando su réplica en memoria principal es modificada. El único dispositivo de los indicados en las opciones que puede escribir directamente en la memoria principal es el DMA.

Recordar que los procesadores que utilizan memoria caché, no escriben ni leen en memoria principal. Escriben y leen desde la caché. Si el dato no está en caché, primero se copia el bloque completo desde la memoria principal a la caché, para que luego el procesador lea y escriba el dato desde la caché.

**Ejercicio 13:** Respuesta correcta: c y d

Bus de direcciones de 32 bits:  $2^{32}=2^2 \cdot 2^{30}=4\text{GB}$ .

Como se utiliza entrada/salida mapeada en memoria, esos 4 GB se distribuyen entre memoria y entrada/salida. Si se requieren 1.5 GB para entrada/salida, se podrá asignar  $4\text{ GB} - 1.5\text{ GB} = 2.5\text{ GB}$  para memoria.

---

## Tema B

**Ejercicio 1:** Respuesta correcta: g (Ninguna es correcta).

Bus direcciones: Filas: A0-A11: 12 bits. Columnas: A0-A9: 10 bits.

Total direcciones de memoria:  $2^{12+10}=2^{22}=2^2 \cdot 2^{20}=4\text{M}$  direcciones.

DRAM por tener RAS y CAS. Bus datos: D0-D15: 16 bits.

Organización: DRAM 4Mx16.

**Ejercicio 2:** Respuesta correcta: f

La SRAM y la DRAM son ambas volátiles, por lo tanto ambas pierden la información si pierden la energía eléctrica. La DRAM (RAM dinámica) requiere actualización periódica para no perder los datos. La SRAM no requiere actualización, por lo tanto conserva la información siempre que no pierda la energía eléctrica.

**Ejercicio 3:** Respuesta correcta: d

Direcciones virtuales: Máximo posible de direcciones, tanto en memoria RAM como en disco duro:  $2^{48}$ .

Importante: Es el máximo posible de direcciones. Una computadora puede tener menos o igual cantidad de memoria RAM + memoria virtual en disco duro.

Tamaño de página  $4\text{K}=2^2 \cdot 2^{10}=2^{12}$ .

Cantidad máxima de páginas (memoria virtual):  $2^{48}/2^{12}=2^{36}=2^6 \cdot 2^{30}=64\text{ G}$  páginas.

Cantidad máxima de marcos de página (memoria RAM instalada):

$16\text{G}/2^{12}=2^4 \cdot 2^{30}/2^{12}=2^{34}/2^{12}=2^{22}=2^2 \cdot 2^{20}=4\text{M}$  marcos de páginas.

**Ejercicio 4:** Respuesta correcta: c

Cantidad de páginas en memoria principal que es necesario actualizar al disco duro: indicado por la cantidad de páginas con bit de modificado en 1: 256.

Bytes por página: 64 KB.

Cantidad de bytes en memoria principal que es necesario actualizar al disco duro:

$$256 * 64 \text{ KB} = 16384 \text{ KB} = 16 \text{ MB}.$$

**Ejercicio 5:** Respuesta correcta: A2C25193<sub>16</sub>

Páginas 64 KB = 2<sup>16</sup>. Se necesitan 16 bits para desplazamiento dentro de la página.

Dirección lógica: 245193<sub>16</sub> = 0010 0100 0101 0001 1001 0011<sub>2</sub>

Marrón: 16 bits de desplazamiento dentro de la página = 0101 0001 1001 0011<sub>2</sub> = 5193<sub>16</sub>.

Azul: Número de página virtual = 0010 0100<sub>2</sub> = 24<sub>16</sub>.

La página 24<sub>16</sub> se almacena en el marco de página A2C2<sub>16</sub> = 1010 0010 1100 0010<sub>2</sub>.

Dirección física: marco de página + desplazamiento dentro de la página =

$$= 1010 0010 1100 0010 0101 0001 1001 0011_2 = \text{A2C25193}_{16}.$$

**Ejercicio 6:** Respuesta correcta: 010110<sub>2</sub> = 16<sub>16</sub> = 22<sub>10</sub>

Tamaño de la línea o bloque de caché = 64 bytes = 2<sup>6</sup> bytes. Se necesitan 6 bits para desplazamiento. El resto son etiqueta.

A8C16<sub>16</sub> = 1010 1000 1100 0001 0110<sub>2</sub>.

Marrón: desplazamiento = 010110<sub>2</sub> = 01 0110<sub>2</sub> = 16<sub>16</sub> = 22<sub>10</sub>.

Azul: etiqueta = 10101000110000<sub>2</sub> = 10 1010 0011 0000<sub>2</sub> = 2A30<sub>16</sub> = 10800<sub>10</sub>.

Notar que separar los bits en grupos de 4 es solo para facilitar la conversión a hexadecimal.

**Ejercicio 7:** Respuesta correcta: a

Tamaño de línea o bloque de caché: 128 direcciones = 2<sup>7</sup>. Se necesitan 7 bits para desplazamiento dentro del bloque. El resto de los 32 bits son etiqueta.

Formato direcciones:

0000 0000 0000 0000 0000 0000 0000 0000<sub>2</sub>.

Marrón: desplazamiento. Azul: etiqueta.

Primera y última dirección de la etiqueta 1<sub>16</sub>:

0000 0000 0000 0000 0000 0000 1000 0000<sub>2</sub> = 80<sub>16</sub> = 128<sub>10</sub>.

0000 0000 0000 0000 0000 0000 1111 1111<sub>2</sub> = FF<sub>16</sub> = 255<sub>10</sub>.

Primera y última dirección de la etiqueta 2<sub>16</sub>:

0000 0000 0000 0000 0000 0001 0000 0000<sub>2</sub> = 100<sub>16</sub> = 256<sub>10</sub>.

0000 0000 0000 0000 0000 0001 0111 1111<sub>2</sub> = 17F<sub>16</sub> = 383<sub>10</sub>.

De las opciones dadas, solo la 120<sub>10</sub> no está en los rangos indicados arriba.

**Ejercicio 8:** Respuesta correcta: f

MOV C,[0x0420]

Origen del dato: dirección de memoria 0x0420

Destino del dato: registro C.

Se lee la dirección 0x0420 (origen). Como se utiliza mapeo en memoria, no es posible distinguir si esta dirección corresponde a memoria o a un periférico.

**Ejercicio 9:** Respuesta correcta: a

El DMA solo transfiere grandes bloques de datos desde memoria a dispositivos de entrada/salida o viceversa.

El DMA no puede ejecutar instrucciones, por lo que la opción b es incorrecta. Un procesador de entrada/salida libera al procesador de ejecutar tareas de entrada/salida, no el DMA.

Las interrupciones son adecuadas para captar eventos en tiempo real, no el DMA.

El DMA no disminuye la cantidad de comunicaciones con los periféricos. Hace que los periféricos se comuniquen directamente con la memoria y acelera la transferencia de datos, pero sin disminuir la cantidad de datos que se transfieren.

**Ejercicio 10:** Respuesta correcta: b

SATA controller

*producto: Family 6-port SATA Controller*

*fabricante: Intel Corporation*

*información del bus: pci@0000:00:1f.2*

*capacidades: sata msi pm ahci\_1.0 bus*

El bus o interface SATA permite conectar dispositivos de almacenamiento masivo (discos duros, discos de estado sólido, CD, DVD, etc.). Utiliza el bus PCI, no el ISA (ver subrayado). Solo los puentes se conectan a dos buses, no un controlador. La interfaz SATA no permite conectar dispositivos estrenos. El bus USB es quien permite conectar dispositivos externos.

**Ejercicio 11:** Respuesta correcta: a

El propósito fundamental con el cual se creo el bus USB es permitir conectar dispositivos externos, sin necesidad de apagar ni desarmar la computadora. El bus principal de las computadoras actuales es el PCI Express (salvo computadoras de bajo costo como la Raspberry Pi). El PCI Express también es el más rápido en la actualidad, no el USB.

El USB es serial (solo dos cables de datos. Los otros dos son de alimentación). No permite a los periféricos interrumpir. Los periféricos conectados a buses USB pueden acceder al procesador por "turnos". Si un periférico conectado a un bus USB necesita ser atendido, debe esperar su turno.

**Ejercicio 12:** Respuesta correcta: b

Un problema o fallo de coherencia se produce cuando el contenido de un bloque de caché difiere de su réplica en memoria principal. Esto puede ocurrir porque el procesador modificó el contenido del bloque en caché, o el DMA modificó el contenido del bloque en memoria principal.

Un bloque no puede estar en caché y no en memoria principal.

Si un bloque no está en caché, se copia el bloque desde la memoria principal a la caché.

Si no hay espacio en caché para transferir un bloque desde la memoria principal, se elimina un bloque de caché que haya estado mucho tiempo sin uso.

**Ejercicio 13:** Respuesta correcta: f

Bus de direcciones de 32 bits:  $2^{32} = 2^2 \cdot 2^{30} = 4\text{GB}$ .

Como se utiliza entrada/salida mediante instrucciones especiales, esos 4 GB son exclusivos para memoria principal, y no son compartidos con los dispositivos de entrada/salida. Los dispositivos de entrada/salida tendrán sus 1.5 GB aparte de los 4 GB de memoria. Por lo tanto, los 4 GB se podrá asignar a memoria.