

Diseño Automático de sistemas

Repaso Lógica Digital

Prof. Pablo Sarabia Ortiz



UNIVERSIDAD
NEBRIJA

Contenidos

1. Lógica Combinacional
2. Lógica Secuencial
3. Hazard (lógica combinacional)
4. Tiempos
5. Circuitos Secuenciales Mealy y Moore



Bibliografía

- Chapter 1: Digital Systems Design Using VHDL (Second Edition), Charles H. Roth, Jr and Lizy Kurian John.



Contenidos

1. Lógica Combinacional
2. Lógica Secuencial
3. Hazard (lógica combinacional)
4. Tiempos
5. Circuitos Secuenciales Mealy y Moore



Lógica combinacional

- Aquel sistema cuyas salidas son función exclusiva del valor de sus entradas en un momento dado.
- **NO** tiene memoria de estados anteriores.
- Pueden ser puertas lógicas o circuitos aritméticos más complejos.



Contenidos

1. Lógica Combinacional
2. Lógica Secuencial
3. Hazard (lógica combinacional)
4. Tiempos
5. Circuitos Secuenciales Mealy y Moore



Lógica secuencial

- Aquel sistema cuyas salidas dependen de las entradas actuales y de los estados anteriores del sistema.
- Necesita **memoria**, en el caso de la FPGA utilizaremos registros.



Contenidos

1. Lógica Combinacional
2. Lógica Secuencial
3. Hazard (lógica combinacional)
4. Tiempos
5. Circuitos Secuenciales Mealy y Moore



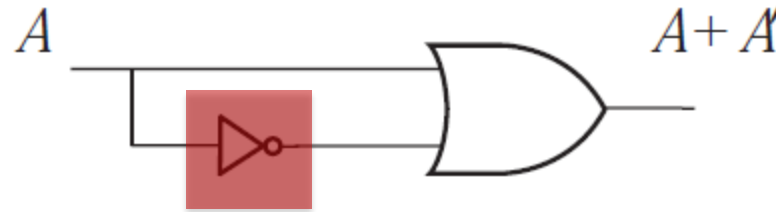
Hazard (I) (Lógica combinacional)

- Cuando la salida toma un valor incorrecto respecto a un cambio en las entradas.
- Transitorios no deseados debido a los tiempos de propagación.
- Hay 2 tipos: Estáticos y Dinámicos



Hazard (II) - Estáticos

- Un valor que debiera ser constante varia, ej:



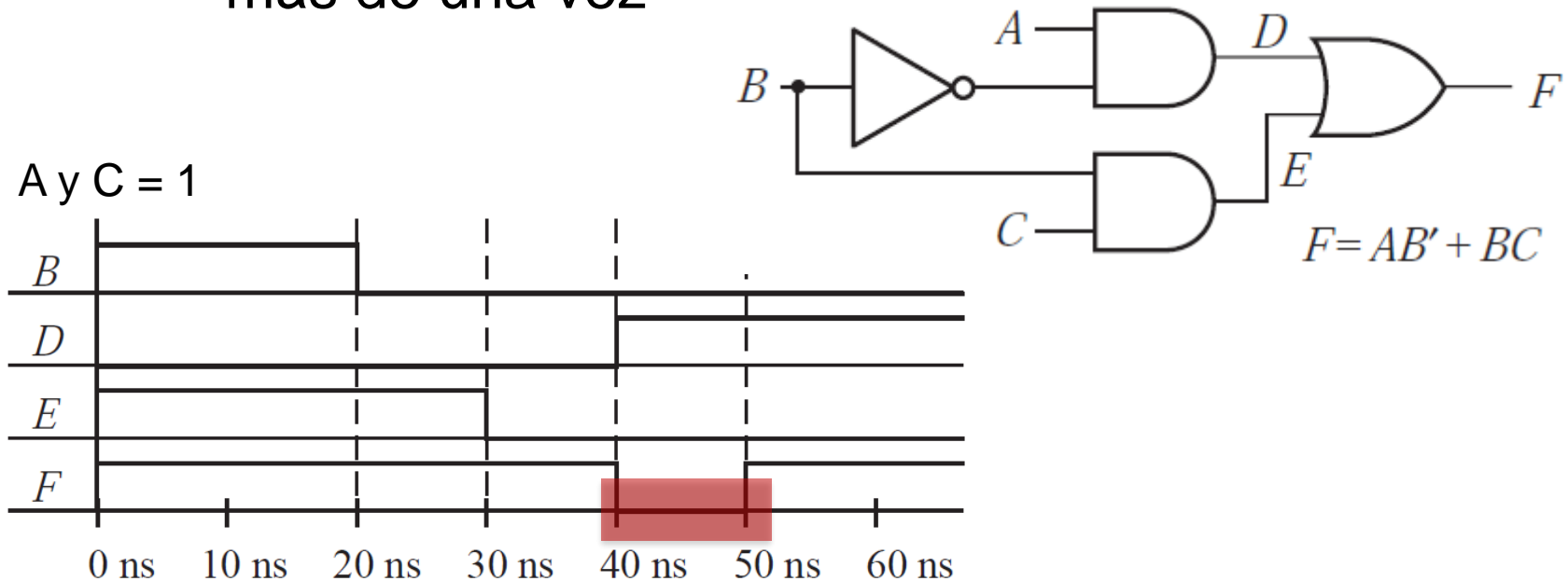
(a) Simple circuit with static
1-hazard

Retraso $\neq 0 \Rightarrow$ Output $\neq 1$



Hazard (III) - Dinámicos

- Al modificarse una entrada la salida se modifica más de una vez



Hazard (IV) - Resumen

- Los *hazards* son inevitables.
- Ignorar los valores transitorios.
- Usar registros (diseños síncronos).



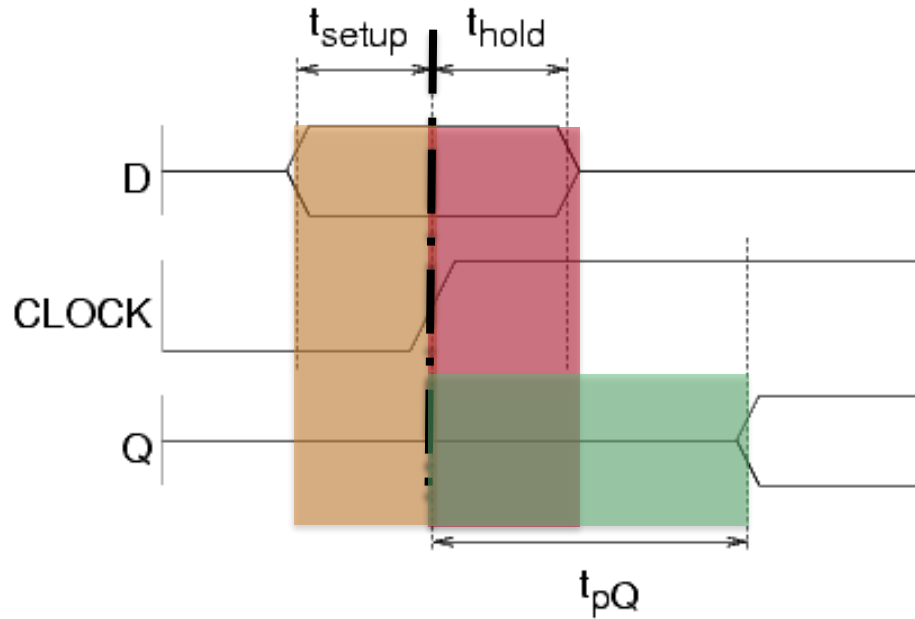
Contenidos

1. Lógica Combinacional
2. Lógica Secuencial
3. Hazard (lógica combinacional)
4. Tiempos
5. Circuitos Secuenciales Mealy y Moore



Tiempos (I) Circuitos no ideales

- Los circuitos no ideales => tiempos de propagación.
- Señal estable durante: *Setup* / *Hold*



Tiempos (II) Cálculo del reloj

1. $t_{ck} \geq t_{pmax} + t_{cmax} + t_{su}$
 2. $t_{pmin} + t_{cmin} \geq t_h$
- t_{ck} Reloj
 - t_{pmax} Propagación
 - t_{cmax} Combinacional
 - t_{su} Setup
 - t_h Hold flip flop



Tiempos (III) Resumen Tiempos

- Las características del circuito determinan la frecuencia máxima del reloj.
- Las entradas y las salidas deben de estar estables durante un tiempo dado.
- Usar registros (diseños síncronos).



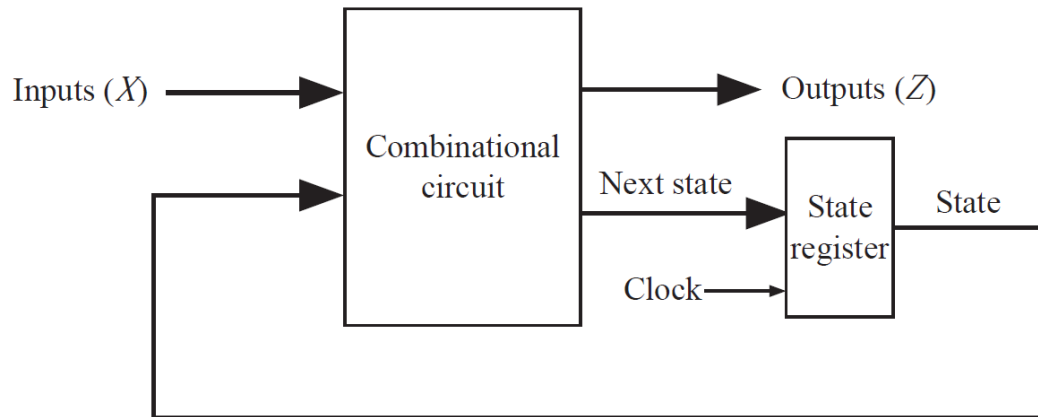
Contenidos

1. Lógica Combinacional
2. Lógica Secuencial
3. Hazard (lógica combinacional)
4. Tiempos
5. Circuitos Secuenciales Mealy y Moore



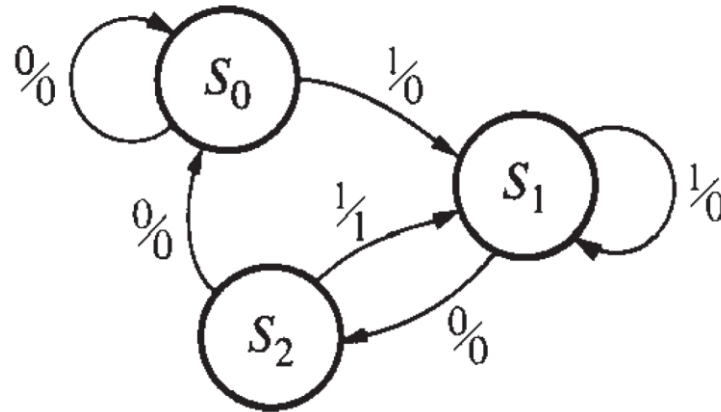
Circuitos Secuenciales: Mealy (I)

- Las salidas dependen de las entradas y del estado actual.



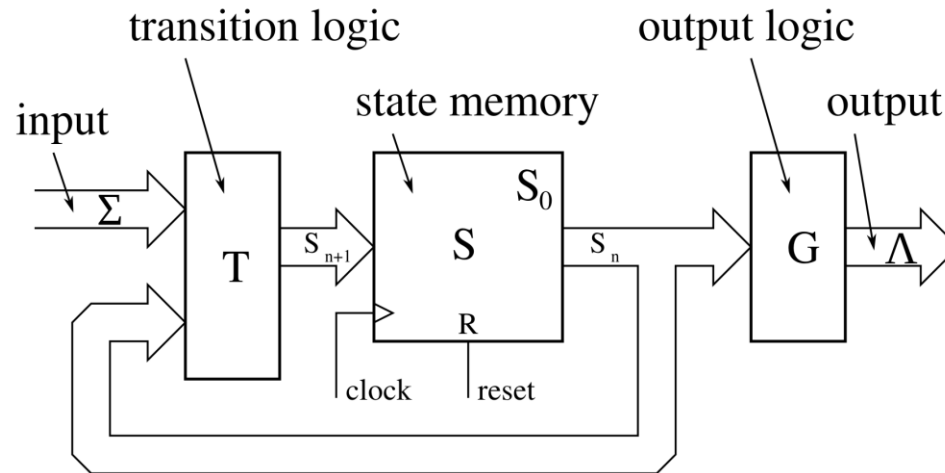
Circuitos Secuenciales: Mealy (II)

- Ejercicio: Detector secuencia 101



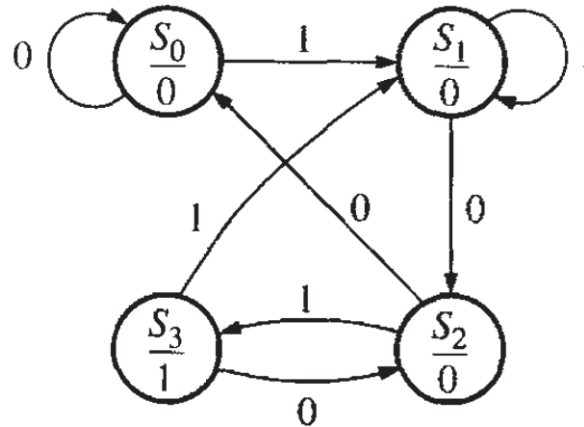
Circuitos Secuenciales: Moore (I)

- Las salidas dependen del estado actual.



Circuitos Secuenciales: Moore (II)

- Ejercicio: Detector secuencia 101



Circuitos Secuenciales: Resumen

	Mealy	Moore
Salida	Instantáneo	1 ciclo de retraso
Complejidad	Mayor	Menor
Estados	Menor	Mayor
Tipo de salida	Asíncrona	Síncrona



Resumen

- Dos tipos de lógica: Combinacional y Secuencial
- Frecuencia máxima, periodo mínimo, circuitos reales y riesgos (*Hazards*) en su diseño.
- Menor tiempo combinacional => Mayor frecuencia del sistema
- Máquinas de estados, diferencias entre Mealy y Moore



Próxima hora

- Repaso a VHDL
- Explicación del proyecto



¿Preguntas?



UNIVERSIDAD
NEBRIJA