

DISEÑO AUTOMÁTICO DE SISTEMAS FIABLES

ALUMNOS:

**IGNACIO MURUBE CREGO
JUAN MANUEL VICENTE MARTINEZ
JESUS NAVAS MARTIN**

PROFESOR:

IGNACIO AZNÁREZ RAMOS

Práctica 2:

Generador de reloj síncrono. Registro de desplazamiento con carga en paralelo

INDICE

- Análisis de Bloques (TestBench)
 - 1. Divisor_3.vhd
 - 1.1 TestBench diviso3
 - 2. shift_register.vhd
 - 2.1 TestBench Shift:register
 - 2.1.1 Carga en Paralelo
 - 2.1.2 Entrada en Serie, Rotación a la Derecha
 - 2.1.3 Entrada en Serie, Rotación a la Izquierda

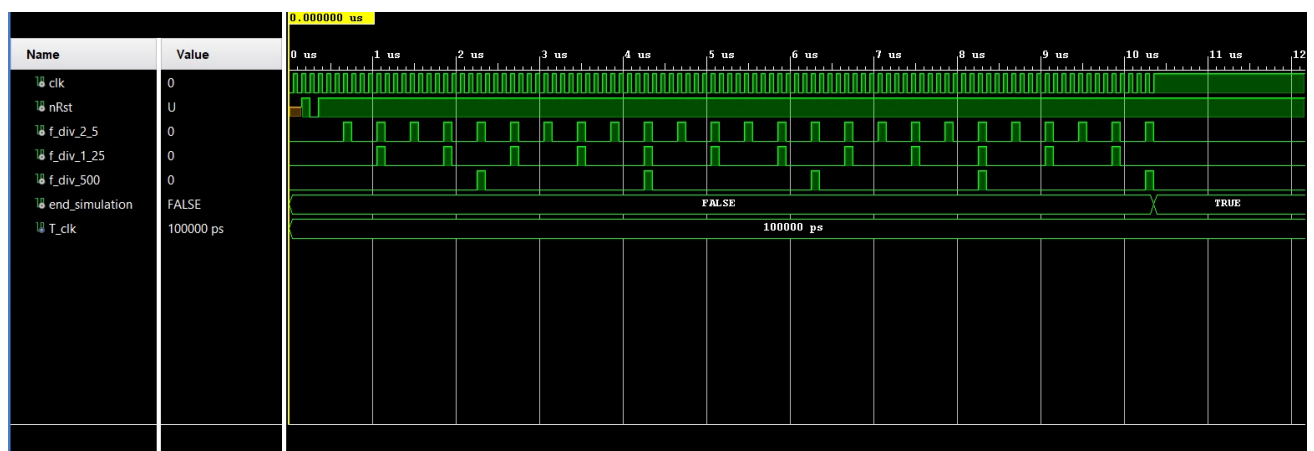
Divisor_3.vhd

Es un circuito que se centra en la división de frecuencias. El circuito divide la frecuencia de una señal de reloj de entrada (clk) por otras 3 señales.

Señales de salida:

- **f_div_2_5**: Señal que se activa cuando el contador **cnt_div_2_5** alcanza un valor específico en este caso 3, lo que resulta en una división de frecuencia de 2.5.
- **f_div_1_25**: Señal que se activa cada dos ciclos del contador **cnt_div_2_5**, logrando una división de frecuencia de 1.25.
- **f_div_500**: estará en alto durante un ciclo de reloj completo cada vez que **cnt_div_500** alcance 4 mientras **cnt_div_2_5** sea igual a 3.

1.1 TestBench divisor_3



Como podemos comprobar en esta simulación se subdividen 3 frecuencias de reloj de uno mas rápido.

La señal **f_div_2_5** se activa después de 3 ciclos de reloj después de que la señal de reset se ponga en bajo después durante un ciclo.

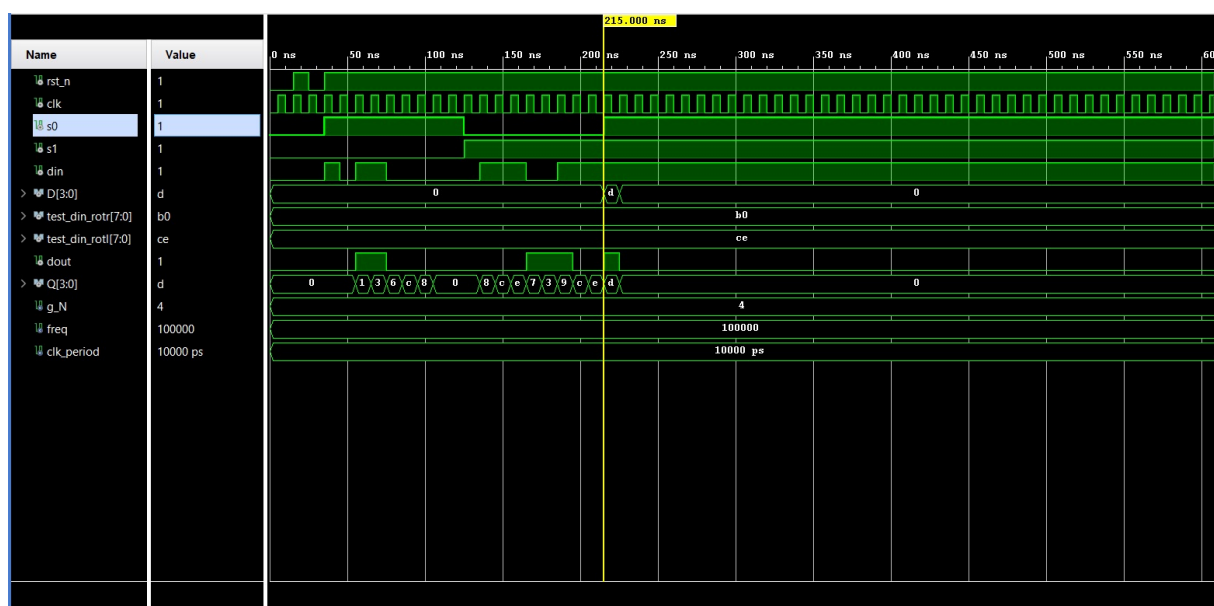
La señal **f_div_1_25** viene dividida de la señal de **f_div_2_5**, cada segundo ciclo de la señal de **f_div_2_5** se activará esta señal.

La señal **f_div_500** también viene a partir de la señal de **f_div_2_5**, donde podemos ver que se activa en cada quinto ciclo de la señal de **f_div_2_5**.

Shift_register.vhd

Es un circuito que se centra en operaciones de un bit, con este circuito se puede operar de diferentes modos dependiendo de las señales de control que le indiques **s0** y **s1**. Con este circuito puedes desplazar bits, cargar nuevos bits en la entrada en serie o cargar un valor paralelo en el registro

2.1 TestBench shift register



Durante cada ciclo de reloj, se establecen las señales **s0** y **s1**

2.1.1 Carga en Paralelo:

s0 y **s1** en alto ('1'), y se carga un valor de entrada paralela **D**, que es "1010". Se espera que el registro cambie su contenido para reflejar esta carga en cada ciclo de reloj.

2.1.2 Entrada en Serie, Rotación a la Derecha:

s0 se establece en alto ('1') y **s1** se mantiene en bajo ('0'). El valor de entrada serial **din** se establece en alto ('1'). Esto provoca que el contenido del registro se desplace una posición a la derecha en cada ciclo de reloj.

2.1.3 Entrada en Serie, Rotación a la Izquierda:

s0 se mantiene en ('1') y **s1** se mantiene en bajo ('0'). El valor de entrada serial **din** se establece en el valor correspondiente del vector **D**. Esto provoca que el contenido del registro se desplace una posición a la izquierda en cada ciclo de reloj.