

Ejercicios Tema 3

① SMP, MESI, 4 nodos

Evento	N1	N2	N3	Acciones
Inicio	Invalido	Invalido	Invalido	-
Lectura N1	Exclusivo	Invalido	Invalido	N1 pide bloque, MP responde
Lectura N2	Compartido	Compartido	Invalido	N2 pide bloque, MP responde, N1 modifica estado
Escritura N1	Modificado	Invalido	Invalido	N1 y N2 modifican estado
Escritura N2	Invalido	Modificado	Invalido	N1 envía bloque e invalida, N2 recibe y modifica estado
Escritura N3	Invalido	Invalido	Modificado	N2 envía bloque e invalida, N3 recibe y modifica estado

② 8 nodos, 1 bit de estado en MP por bloque, línea de caché de 64 byte,

$$\text{Tamaño directorio} = \text{Nº bloques memoria} \cdot \text{Espacio-bloque-en-directorio}$$

$$\text{Nº bloques memoria} = \frac{\text{Tamaño Memoria Principal}}{\text{Tamaño Línea caché}}$$

$$\text{Espacio-bloque-en-directorio} = 9 \text{ bits (1 bit ^{presencia} ~~estado~~ por nodo + 1 bit estado ~~MP~~)}$$

$$\text{Tamaño directorio} = \frac{\text{TMP}}{64 \text{ B}} \cdot 96$$

$$\% \text{ de TMP} = \frac{(\text{TMP} / 64 \text{ B}) \cdot 96}{\text{TMP}} \cdot 100 = \frac{96}{64 \text{ B} \cdot 8 \text{ B/B}} \cdot 100 = 1,8 \%$$

③ 1 bit de estado, 4 nodos, (8 GB cada uno), línea de caché de 64 Bytes

$$a) \text{ Tamaño directorio} = \frac{\text{TMP}}{\text{TLC}} \cdot \text{EB} = \frac{8 \text{ GB} \cdot 4}{64 \text{ B}} \cdot 56 = \frac{8 \cdot 10^9 \cdot 4 \cdot 8}{64 \cdot 8} \cdot 5 = 2,5 \text{ GB}$$

Ejercicios Tema 3

Situación	Directorio	caches				Acciones
		N1	N2	N3	N4	
Inicial	0 0 0 0	I	I	I	I	-
Lectura N1	1 0 0 0	C	I	I	I	N1 pide bloque, MP3 responde
Escritura N1	1 0 0 0	M	I	I	I	N1 pide escritura, MP3 responde (y se ignora)
Lectura N2	1 1 0 0	C	C	I	I	N2 pide, N1 responde
Lectura N3	1 1 1 0	C	C	C	I	N3 pide, N1 y N2 responden
Escritura N4	1 1 1 1	I	I	I	M	N4 pide, N1, N2 y N3 responden y modifican su estado.

4) a) Consistencia secuencial.

P1:

1	2	2
2	2	1

P2:

2	2	1
2	2	1

b) No se garantiza $WR \rightarrow R$ (lectura puede adelantarse a escritura previa)

P1: 0 0 0 1 1 1 2 2 2
P2: 0 1 2 0 1 2 0 1 2

(según donde se adelanta las lecturas de los printf)

5) a) Consistencia secuencial

r1: 30

r2: 40

b) Consistencia de liberación (no se garantiza ningún orden)

r1 = 0 r2 = 0 (las lecturas se adelantan a las escrituras y a flags)

r1 = 0 r2 = 40 (solo se adelanta la lectura de x)

r1 = 30 r2 = 0 (" " " " " " y)

r1 = 30 r2 = 40 (orden secuencial)

⑥ Relaja $W \rightarrow R$

a) Siempre que pongamos la liberación del cerrojo tras la sección crítica se cumplen los requisitos del cerrojo

b) Con Itanium no se garantiza ningún orden, por lo que habría que utilizar las ~~instrucciones~~ especiales que ofrece la arquitectura para implementar el cerrojo. (instrucciones)

⑦ No se garantiza $W \rightarrow R$ ni $W \rightarrow W$

$a = \{1, 2, 3, 4, 5, 6, 7, 8\}$ $k = \text{sum} = 0$ (compartidas) $n\text{threads} = 3$

a) $\text{sum} = 36$ si los threads escriben secuencialmente

$\text{sum} = 12$

$\text{sum} = 15$

$\text{sum} = 9$

} si el último en escribir adelantó la lectura de sum al resto

$\text{sum} = 27$

$\text{sum} = 21$

$\text{sum} = 24$

} si se ignora una escritura de un thread

b) No se garantiza $W \rightarrow R$

La liberación del cerrojo no puede adelantarse a las escrituras en sum porque se garantiza $W \rightarrow W$. Por tanto, se consigue la exclusión mutua y el resultado es 36

⑧ Barrera (id, num-procesos) {

bandera-local = !(bandera-local)

lock (bar[id].cerrojo);

bar[id].cont++;

unlock (bar[id].cerrojo);

if (bar[id].cont == num-procesos) {

bar[id].cont = 0;

bar[id].bandera = bandera-local;

}

else

while (bar[id].bandera != bandera-local) {};

}

Se sustituye cont-local por la variable compartida bar[id].cont.

con esto se da el problema si un thread se bloquea justo antes de la asignación del if. Si el último en llegar a Barrera vuelve a poner la variable compartida a 0 el thread bloqueado (cuando cont=0) se quedará indebidamente atrapado en la espera ocupada.


```

(9) Barrera (id, num-procesos) {
    bandera-local = ! (bandera-local);
    cont-local = Fetch & Add (bar[id].cont, 1);
    if (cont-local == num-procesos) {
        bar[id].cont = 0;
        bar[id].bandera = bandera-local;
    }
    else while (bar[id].bandera != bandera-local) {}
}

```

(10) No se garantiza $W \rightarrow R$, paralelización dinámica

a) Fetch & Or

```

while (Fetch & Or (k, 1) == 1) {}
i-local = i-compartida + 1;
k = 0;

```

(Funciona porque se garantiza $W \rightarrow W$)

b) Fetch & Or y Fetch & Add

```

i-local = Fetch & Add (i-compartida, 1);

```

(11) a) No se garantiza $W \rightarrow R$, pero funciona correctamente porque se asegura $W \rightarrow W$ y la liberación de $k=0$ no puede adelantarse al acceso a `bar[id].cont`

b) Con un modelo de consistencia de ordenación débil no se garantiza ningún orden, y por tanto no funciona correctamente. Esto ocurre si antes de escribir el valor actualizado de `bar[id].cont` un flujo lee el mismo valor, es decir, si se adelanta $k=0$ a la sección crítica.

Cuestiones

- Cuestión 1. Diferencias entre multithread temporal y multithread simultáneo.

Un multithread temporal ejecuta varios threads de forma **concurrente** en el mismo core, de forma que solo puede emitir instrucciones de un único thread en cada ciclo.

En cambio, un multithread simultáneo puede ejecutar varios threads **paralelamente**, de manera que en un ciclo puede emitir instrucciones de más de un thread.

- Cuestión 2. Diferencias entre multithread temporal de grano fino y de grano grueso.

En los de grano fino la conmutación de los threads se decide en cada ciclo y sin coste alguno, mediante técnicas como el RoundRobin. Por otro lado, los de grano grueso deciden la conmutación tras algún evento o intervalos de tiempo prefijados, ocasionando un coste de 0 o más ciclos para cambiar.

- Cuestión 3. Suponga un multiprocesador con protocolo MESI de espionaje. Si un controlador de cache observa en el bus un paquete de petición de lectura exclusiva de un bloque que tiene en estado C, debe (indique cuál sería la respuesta correcta y razone por qué es la respuesta correcta):
 - a. Generar un paquete de respuesta con el bloque y pasar el bloque a estado I.
 - b. Pasar el bloque a estado I.
 - c. Generar un paquete de respuesta con el bloque y pasar el bloque a estado E.
 - d. No tiene que hacer nada

La respuesta correcta es la b).

El controlador debe invalidar el bloque puesto que se trata de una petición de lectura exclusiva. No envía su bloque ya que la memoria lo tiene actualizado y esta se encargará de generar un paquete con él (por si el procesador que pide no tiene el bloque actualizado en caché)

- Cuestión 4. Suponga un multiprocesador con protocolo MESI de espionaje. Si un nodo observa en el bus un paquete de petición de lectura exclusiva de un bloque que tiene en estado M, ¿qué debe hacer? Razone su respuesta.

Debe invalidar el bloque y generar un paquete de respuesta con él, debido a que es la única copia actualizada en el sistema.

- Cuestión 5. Suponga un multiprocesador con el protocolo MESI de espionaje. Si el procesador de un nodo escribe en un bloque que tiene en su cache en estado I, debe (indique cuál sería la respuesta correcta y razone por qué es la respuesta correcta):
 - a. Generar paquete de petición de acceso E al bloque y pasar el bloque a M
 - b. Generar paquete de petición de acceso E y pasar el bloque a estado E
 - c. Generar paquete de petición de acceso E con lectura y pasar el bloque a estado E
 - d. Generar paquete de petición de acceso E al bloque con lectura y pasar el bloque a M

d) Ya que su copia no es válida debe previamente traer el bloque actualizado a su caché. Posteriormente (tras realizar la escritura) cambiará el estado a modificado pues será la única copia válida en el sistema

Ejercicios Tema 3

- Cuestión 6. ¿Cuál de los siguientes modelos de consistencia permite mejores tiempos de ejecución? Justifique su respuesta.
 - a. modelo de ordenación débil
 - b. modelo implementado en los procesadores de la línea x86
 - c. modelo de consistencia secuencial
 - d. modelo de consistencia de liberación

Siempre que se eviten todos los errores, el modelo de consistencia de liberación debería permitir los mejores tiempos de ejecución. Esto se debería a que el hardware no debe preocuparse de evitar las dependencias y puede reordenar el código de la forma más eficiente.

- Cuestión 7. Indique qué expresión no se corresponde con la serie (justifique su respuesta):
 - a. Lock
 - b. Fetch_and_Or
 - c. Compare_and_Swap
 - d. Test_and_Set

a) Lock no se corresponde con el resto de expresiones, ya que es una "instrucción" que se debe formar en base a las otras. Lock indica que se va a cerrar un cerrojo sobre una variable.