

# Guía Práctica 3

Ignacio Balbo

## Ejercicio 1

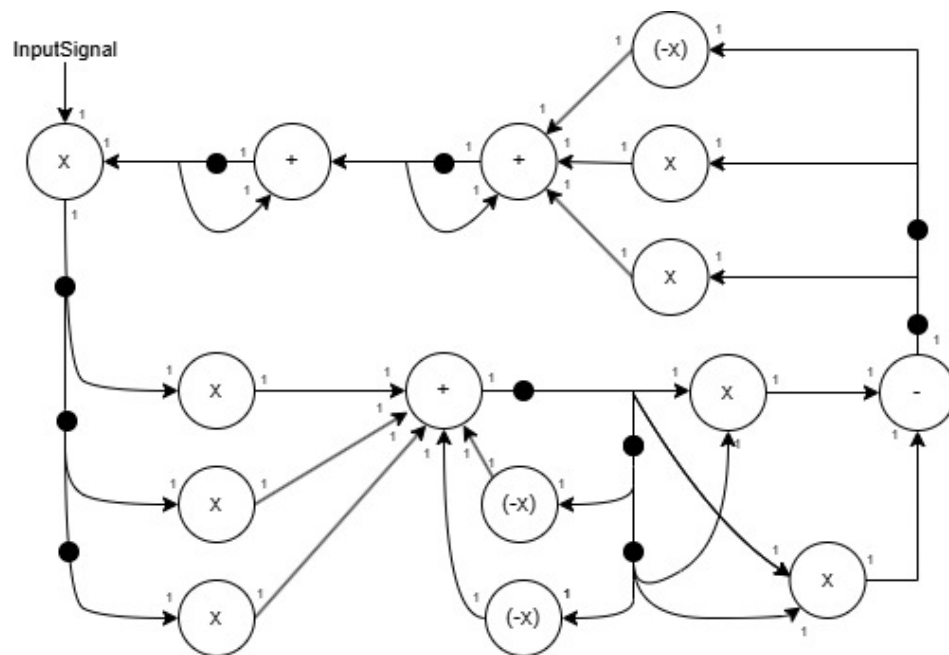
### Objetivos:

Dado un código:

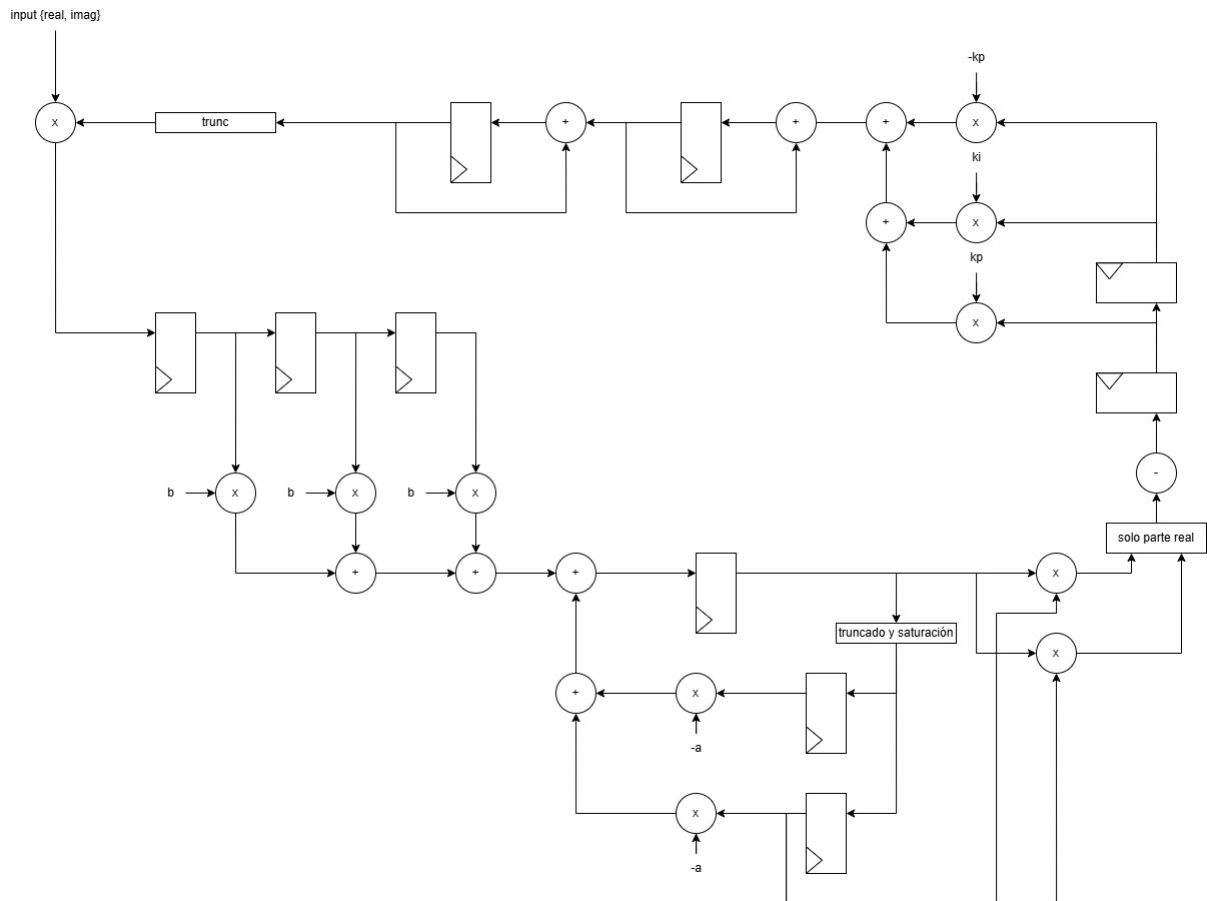
- Dibujar el gráfico de flujo de datos (DFG), y mapearlo en una arquitectura (FDA).
- Escribir el código del diseño en verilog usando variables de punto fijo de s(16,15) bits (entrada, vectores "a" y "b", kp y ki).
- Además, en el acumulador de salida aplique el método de overflow y redondeo para obtener una resolución de s(16,15).
- Por último, escribir los estímulos para verificar el código.

## Desarrollo

Se trasladó el código a su correspondiente DFG:

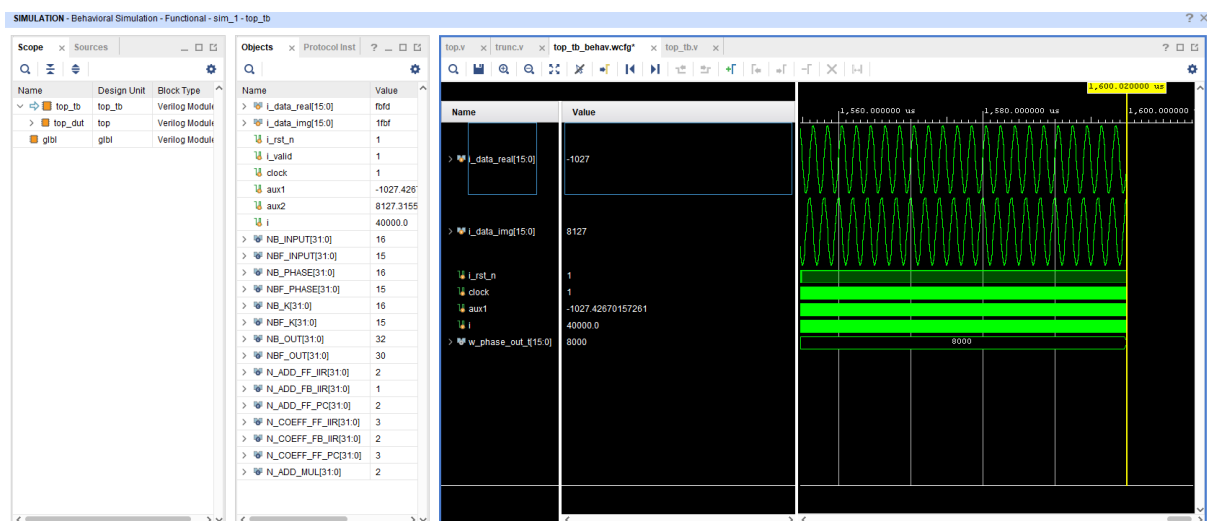


Y posteriormente a su correspondiente FDA:



Este módulo está parametrizado en un top llamado top.v, que contiene los módulos ff\_iir.v y fb\_iir.v, correspondientes al filtro iir del esquema. El bloque real\_multiplication.v se encarga de multiplicar los dos números imaginarios quedándose solo con el resultado de la parte real. Ff\_pc.v es la parte de pase corrector donde se multiplican las constantes  $k_i$  y  $k_p$ , sin el acumulador. Dicho acumulador esta implementado en el bloque accumulator.v. trunc.v se encarga del ultimo acumulador.

La salida correspondiente



## Ejercicio 2

Objetivo:

- Dibujar el HSDFG del siguiente SDFG

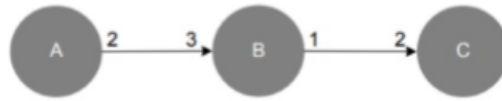
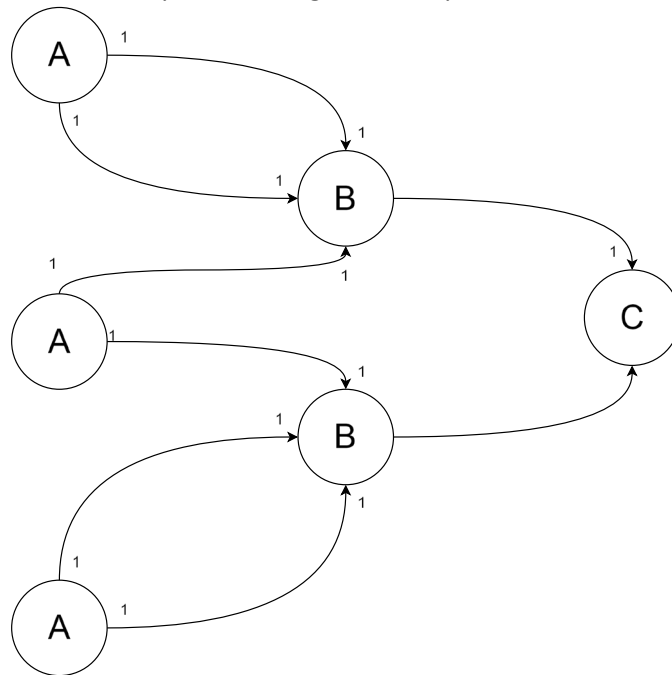


Figura 1: SDFG de tres nodos

Dado que un HSDFG es un caso especial de single rate, se puede reconstruir de la siguiente manera



### Ejercicio 3

Objetivo:

- Convertir el siguiente SDFG a HSDFG y dibujar su hardware

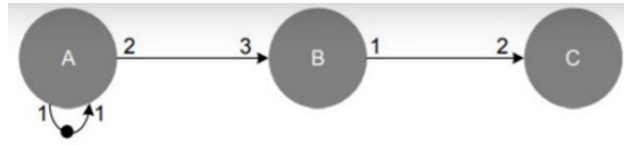
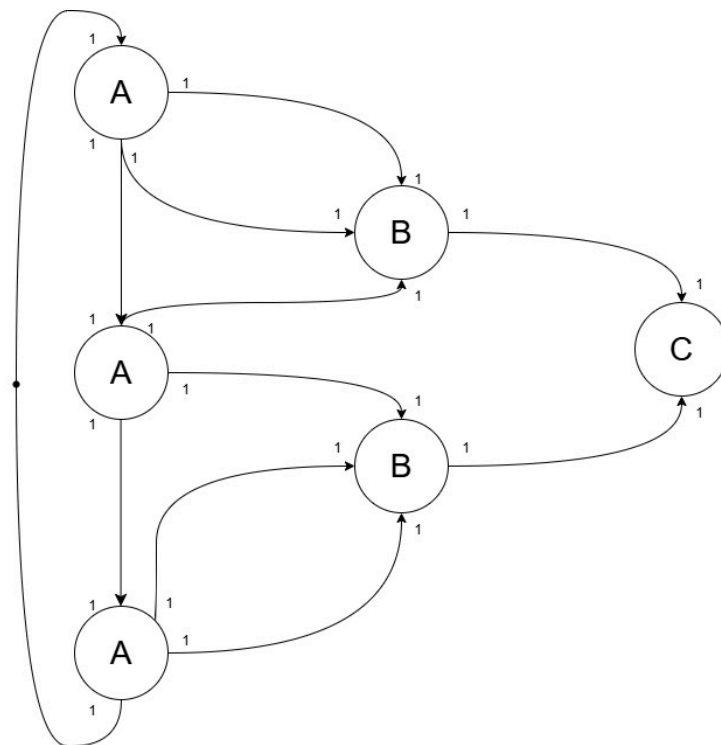
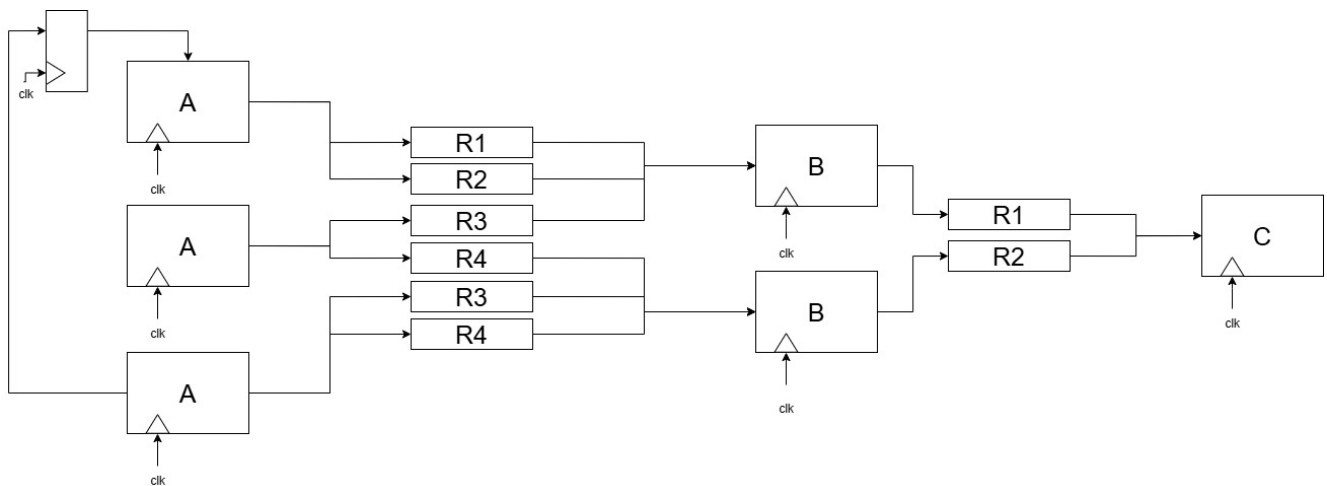


Figura 2: SDFG de tres nodos

El HSDFG desarrollado:



Y su correspondiente hardware



## Ejercicio 4

Objetivo:

- Dibujar los registros y multiplexores del siguiente DFG ciclo estático



Figura 3: DFG ciclo-estático para el conversor digital de tasa 3/2

El desarrollo en hardware del mismo:

