PROYECTO FINAL

# Diseño Digital Avanzado

Ignacio Balbo

4/3/2025

# Fine Carrier Recovery

Si modelamos el sistema de comunicación, tenemos el siguiente diagrama en bloques:

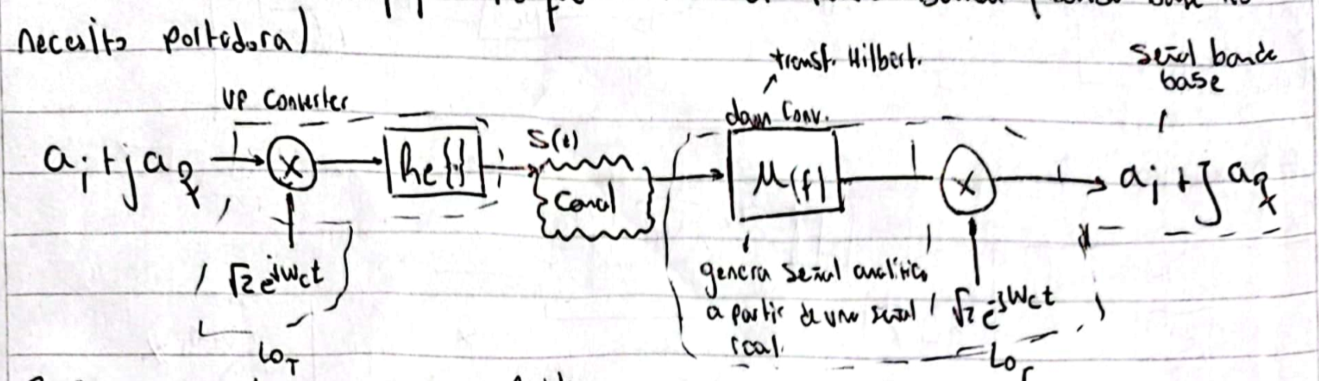


Ilustración Tx, canal y Rx

Donde en el caso ideal, el up converter se “cancela” con el downconverter y tenemos los símbolos transmitidos en el receptor.

Una de las no idealidades, es que el oscilador del transmisor no sea de la misma frecuencia del receptor, resultando en un desfasaje en frecuencia. También existe un desfasaje entre ambos osciladores, por lo que en el receptor, en vez de tener los símbolos transmitidos, tenemos lo siguiente.

A close-up of a paper with writing

AI-generated content may be incorrect.

Por lo que hay que estimar este offset y cancelarlo. Para esto se usa un “decision directed carrier recovery”. Su arquitectura es la siguiente

A diagram of a computer system

AI-generated content may be incorrect.

Vemos que el sistema usa un pll para calcular la diferencia de fase y corregirla. Este PLL es de tipo dos debido a que la estimación de fase es una rampa (la fase de entrada es un escalón) por lo que el pll tipo dos es capaz de seguir sin error de estado estacionario.

El bloque error de fase dará cero cuando la fase estimada sea igual a la de entrada. Por dentro su arquitectura es:

A diagram of a circuit

AI-generated content may be incorrect.

El sistema completo integrado en el sistema

A diagram of a block diagram

AI-generated content may be incorrect.