

Plan de Maestrías UNS/Fundación Fulgor

Proyecto Marco

SERDES

23 de Julio de 2025

1. Introducción

El presente Proyecto Marco se desarrolla como parte de las actividades contempladas en el Convenio entre la Universidad Nacional del Sur y la Fundación Fulgor (Córdoba). Dichas actividades incluyen un plan de investigación y formación de recursos humanos en el área de Serializadores/Deserializadores (SERDES) para aplicaciones en Comunicaciones de Datos de alta velocidad. El principal objetivo de este Proyecto Marco es coordinar los requerimientos y las especificaciones de los distintos bloques del SERDES de tal manera que los bloques asociados a las distintas tesis puedan integrarse en un sistema completo y con la funcionalidad y el desempeño esperados. Es necesario destacar que las especificaciones dadas en este documento son preliminares, y podrán cambiarse durante el desarrollo, pero será necesario hacerlo de una manera coordinada para mantener la consistencia entre los distintos bloques y la posibilidad de integrarlos.

Un SERDES es un transceptor de datos que opera sobre una conexión de corta distancia, típicamente sobre líneas de cobre en un circuito impreso [1]-[21]. La transmisión es serie, usando modulación por amplitud de pulsos PAM2 o PAM4 (aunque actualmente se está considerando la posibilidad de usar modulación PAM6 o PAM8). Un ejemplo de conexión con SERDES es la que se da entre un transceptor óptico coherente y un conmutador ("switch") o un router. El estado del arte en cuanto a velocidad de una transmisión coherente es 800Gb/s (gigabits por segundo). En este ejemplo, los datos a ser transmitidos por la fibra óptica llegan al transmisor óptico por medio del conmutador o router. Más específicamente, a través de 8 canales paralelos, cada uno operando a una velocidad de 100Gb/s. Similarmente, los datos recibidos por el receptor óptico coherente se distribuyen en 8 canales en paralelo operando en la dirección opuesta. Estos canales requieren un SERDES en cada extremo. La próxima generación de transceptores ópticos coherentes operará a 1.6Tb/s (terabits por segundo) y requerirá 8 SERDES transmitiendo y recibiendo a una velocidad de 200Gb/s. La tecnología de 200Gb/s ya ha sido desarrollada. El próximo paso será la migración hacia 400Gb/s.

La Figura 1 ilustra el diagrama en bloques de un transceptor SERDES típico. El transmisor codifica los bits en modulación por amplitud de pulsos (PAM), que en la actualidad es casi universalmente PAM4 pero que en un futuro próximo probablemente migre a PAM6 o PAM8. La señal a transmitir es pre-ecualizada

por un ecualizador de transmisión (“FFE”) programable (pero no adaptivo) para compensar parte de la atenuación dependiente de la frecuencia causada por el canal. Luego, se convierte al dominio eléctrico por medio de un conversor analógico/digital (DAC), se amplifica mediante el uso de un Driver y finalmente se envía al canal. La función más importante del receptor es la ecualización, la cual se realiza una parte en forma analógica y otra parte en forma digital. El bloque a cargo de la ecualización analógica es el CTLE (“Continuous-Time Linear Equalizer”), el cual es esencialmente un filtro pasa-alto programable. El VGA (“Variable Gain Amplifier”) ajusta el nivel de la señal para optimizar el aprovechamiento del rango dinámico del siguiente bloque, que es el conversor analógico/digital (ADC). Tanto el CTLE como el VGA son controlados electrónicamente por el DSP (“Digital Signal Processor”). La fase de muestreo del ADC es controlada por el bloque CDR (“Clock and Data Recovery”), alternativamente conocido con el nombre de Timing Recovery (TR). El ecualizador se compone de dos partes, una el ecualizador lineal, o FFE (“Feedforward Equalizer”) y la otra el ecualizador por realimentación de decisiones, o DFE (“Decision Feedback Equalizer”). En algunas arquitecturas avanzadas, el DFE puede estar suplementado o reemplazado por un detector de Viterbi (MLSD, o “Maximum Likelihood Sequence Detector”). Finalmente, la señal ecualizada es detectada por el Slicer.

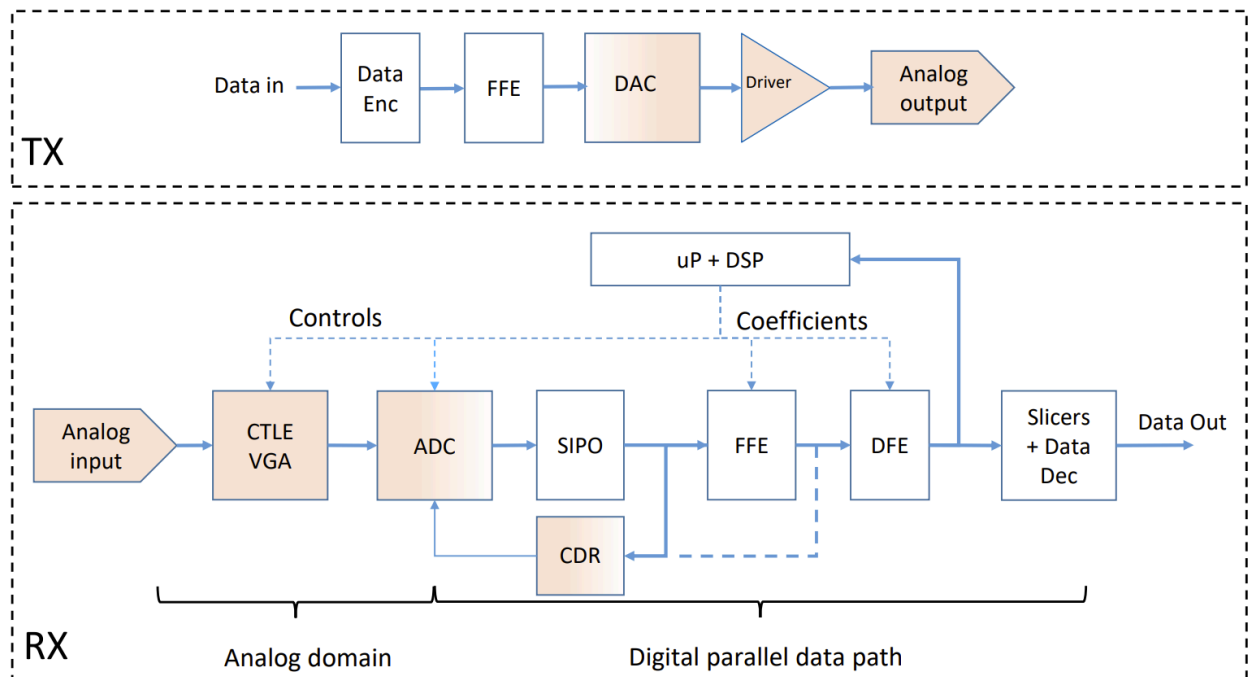


Figura 1

En el Plan de Tesis propuesto en este documento, cada Tesis se focalizará en una de las siguientes áreas o bloques funcionales

1.1 Tesis de orientación analógica:

- 1.1.1 Conversor Digital-Analógico (DAC)
- 1.1.2 Serializador
- 1.1.3 Driver
- 1.1.4 Ecualizador Lineal de Tiempo Continuo ("Continuous-Time Linear Equalizer", o CTLE)
- 1.1.5 Bloque de Conversores de Aproximaciones Sucesivas (SAR) para el Conversor Analógico Digital (ADC)
- 1.1.6 Conversor Analógico Digital de Entrelazado Temporal (TI-ADC)
- 1.1.7 Oscilador Controlado por Voltaje ("Voltage-Controlled Oscillator" VCO)
- 1.1.8 Lazo de Enganche de Fase ("Phase-Locked Loop", o PLL)
- 1.1.9 Bloques de polarización (LDO, Bandgap, PTAT, "Resistor-Tracking Current Source", etc.)
- 1.1.10 AVS ("Adaptive Voltage Scaling") y TDC ("Time to Digital Converter")

1.2 Tesis de orientación digital:

- 1.2.1 Codificador y Decodificador para Códigos de Corrección de Errores ("FEC Encoder and FEC Decoder")
- 1.2.2 Ecualizador de Transmisión y Ecualizador de Recepción ("TX FFE and RX FFE")
- 1.2.3 Recuperación de Sincronismo ("Timing Recovery")
- 1.2.4 Ecualizador por Realimentación de Decisiones ("Decision-Feedback Equalizer" or DFE)
- 1.2.5 Detector de Secuencias de Máxima Verosimilitud ("Maximum Likelihood Sequence Detector", MLSD)
- 1.2.6 Ecualizador por Decisiones Tentativas ("Decision Feedforward Equalizer", DFFE)
- 1.2.7 Microprocesador y Firmware
- 1.2.8 Modelado y Caracterización del Sistema

2. Estado del Arte

Mostafa et al [6], [7] y Pfaff et al [9]-[11] son las referencias más representativas del estado del arte en este momento. Mostafa describe un SERDES basado en modulación PAM4 con una velocidad de transmisión de 212.5Gb/s, una atenuación del canal a la frecuencia de Nyquist de 46dB, y un consumo de potencia de 2.2pJ/b. Por su parte, Pfaff presenta un SERDES con una velocidad de transmisión de 224Gb/s, una atenuación del canal de 40dB a la frecuencia de Nyquist, y un consumo de potencia de 3pJ/b. Los parámetros mencionados, es decir, velocidad de transmisión, atenuación del canal a la frecuencia de Nyquist (1/2 del Baud Rate) y consumo de potencia son los parámetros más importantes que la industria busca optimizar. La próxima generación de SERDES soportara velocidades de transmisión de 400Gb/s, posiblemente usando modulaciones PAM6 o PAM8, y con una energía por bit transmitido igual o menor que las de las referencias citadas.

3. Oportunidades de Innovación

La frontera tecnológica en este momento pasa por el desarrollo de la tecnología para transmisión a 400Gb/s, manteniendo parámetros de consumo y de atenuación del canal similares a los del estado del arte en 200Gb/s [6], [7], [9]-[11].

Considerando la limitación a la tecnología de 65nm de este proyecto, no es posible innovar en lo que hace a los proyectos de desarrollo, pero sí se podría incorporar como parte de las tesis un estudio teórico o basado en simulaciones sobre técnicas que posibiliten la transición a 400Gb/s.

4. Metodología

Los proyectos de tesis consistirán en el diseño circuital detallado y el diseño físico (layout) de los bloques propuestos en la sección anterior. Se usarán herramientas de diseño de la empresa Cadence, disponibles en la Universidad Nacional del Sur, y un kit de desarrollo para el proceso de 65nm de la firma TSMC ("Taiwan Semiconductor Manufacturing Company"). Se procurará avanzar el estado del arte optimizando parámetros tales como atenuación compensable en el canal de transmisión, velocidad de operación, consumo de potencia y otros, siempre dentro de los límites impuestos por la tecnología disponible. Sin embargo, no se propone incluir la fabricación de chips como condición formal para la aprobación de las tesis. El objetivo final consistirá en hacer simulaciones "post-layout" que verifiquen el correcto desempeño de los bloques.

5. Objetivos del Proyecto Marco

El principal objetivo del presente Proyecto Marco es coordinar los diseños de los diferentes bloques que constituyen el foco de cada una de las tesis de tal manera que dichos bloques puedan interconectarse entre sí en forma coherente para constituir un SERDES que tenga la funcionalidad y desempeño buscados. El SERDES es más que un conjunto de bloques interconectados entre sí. El correcto funcionamiento del conjunto requiere que los diferentes bloques operen de acuerdo a ciertas especificaciones comunes a todos ellos, tales como velocidad de transmisión, técnica de modulación, frecuencia de reloj, paralelismo, etc. Estas especificaciones se detallan en la Sección 6. Como se dijo en la Introducción, estas especificaciones podrían cambiar durante la ejecución de los proyectos de tesis, pero será necesario hacerlo de una manera coordinada y consensuada, de tal manera de mantener la consistencia entre las especificaciones de los distintos bloques a fin de poder integrarlos en un sistema SERDES único. Por otra parte, es necesario incorporar funcionalidad de supervisión y control y mecanismos de acceso a nodos internos que faciliten la verificación de la funcionalidad y del correcto desempeño del sistema. Este requerimiento es generalmente conocido con el nombre en inglés de "Design for Testability" (DFT). Esta funcionalidad se describe en la Sección 7.

6. Especificaciones

La Tabla I resume las principales especificaciones para el SERDES.

Tabla I – Especificaciones del SERDES

Modulación	PAM4
Velocidad de Transmisión de Datos (“Data Rate”)	8 Gb/s
Velocidad de Transmisión de Símbolos (“Baud Rate”)	4 GBd
Frecuencia de Muestreo	4 GHz
Paralelismo del DSP	8
Número de Bits Nominales del ADC	8
ENOB del ADC (en baja frecuencia)	6.5 Bits
Factor de Entrelazado del ADC	8
Número de Bits Nominales del DAC	8
ENOB del DAC (en baja frecuencia)	6.5 Bits
Factor de Entrelazado del DAC	8
Atenuación del Canal a la Frecuencia de Nyquist	40 dB
Interfase de Configuración y Control / Max Clock Freq.	SPI / 40MHz
Interfaces de debug	UART / GPIO / JTAG
Arquitectura del Microprocesador / Cores	RISC-V / 4
Sistema Operativo	FreeRTOS
Reloj de referencia	200MHz
Protocolo de interconexión	AHB

Además de cumplir con las especificaciones de la Tabla I, el SERDES deberá incorporar funciones de Observabilidad y Controlabilidad que faciliten la caracterización y puesta en funcionamiento en el laboratorio y que permitan reducir el tiempo de prueba en una máquina de verificación automática (“Automated Test Equipment”, ATE). Estas funcionalidades se suelen conocer con el nombre en inglés de “Design for Testability” (DFT). En lo que respecta a verificación en ATE, las técnicas más comunes son las conocidas como “Scan Path” y “Built-In Self Test” (BIST), esta última aplicable principalmente a memorias. En lo que respecta a verificación en el laboratorio, “debugging” y caracterización de las técnicas más comunes son el uso de memorias de captura de datos, típicamente asociadas con cada bloque del SERDES y conocidas con el nombre colectivo de *Unidad de Diagnóstico*, y el “Register

File”, que se usa para programar distintas funciones en el chip en base a la escritura de registros, o para leer parámetros o datos cargados en dichos registros. La lectura o escritura de dichos registros se hace típicamente mediante una interfase SPI o similar. Mayores información sobre técnicas de DFT se puede encontrar en la referencia [22].

7. Diagrama en Bloques y Descripción de las Funcionalidades Involucradas

La Figura 2 presenta el diagrama en bloques del SERDES a nivel top. El diseño se organiza en dos dominios principales: digital y analógico, los cuales se describen en detalle en las siguientes secciones.

En el dominio digital, la jerarquía se estructura en tres módulos principales: Control Unit, Serdes_Tx y Serdes_Rx. El módulo Control Unit se encarga de la configuración, gestión de estados y coordinación general del sistema. El bloque Serdes_Tx implementa las funciones de codificación, serialización y transmisión de datos de alta velocidad hacia el dominio analógico, mientras que el bloque Serdes_Rx realiza la deserialización, decodificación y entrega de datos recuperados al dominio digital.

Por su parte, el dominio analógico abarca las etapas de transmisión y recepción que manejan las señales diferenciales de alta velocidad, incluyendo los drivers de salida, los circuitos de ecualización y la recuperación de reloj. Esta separación clara entre los bloques digitales y analógicos permite optimizar el rendimiento, facilitar la verificación funcional y mejorar la escalabilidad del diseño.

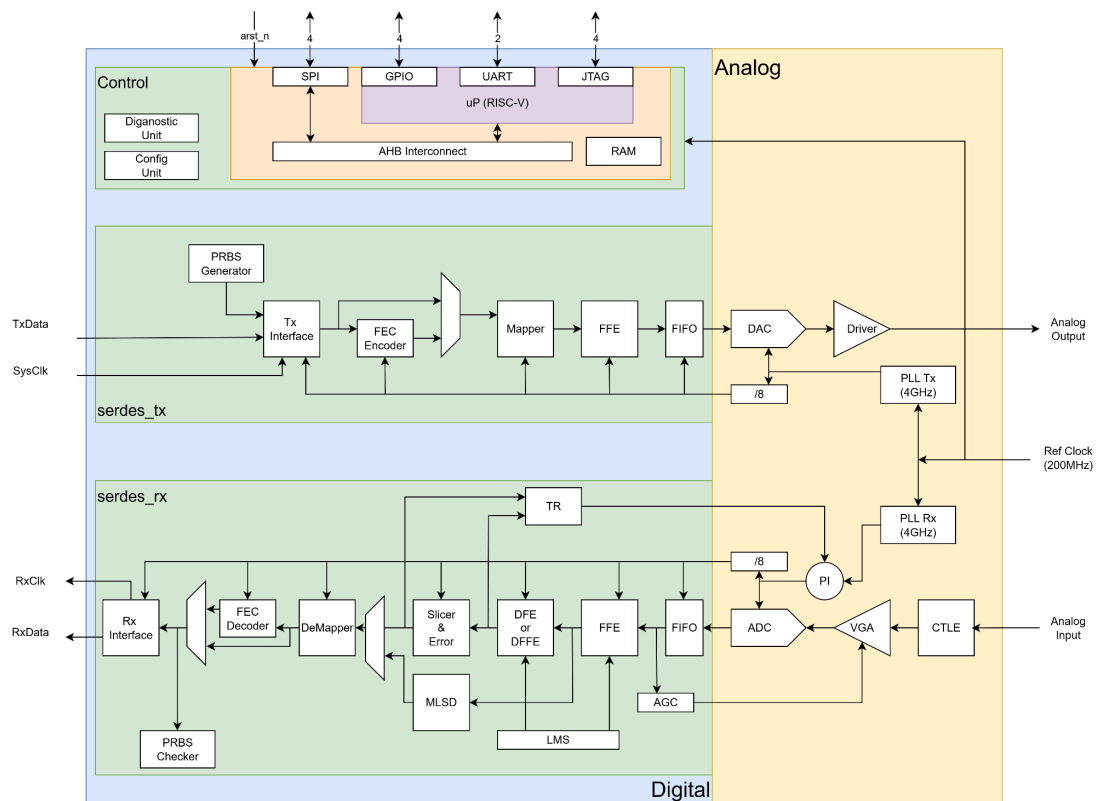


Figura 2

- **Unidad de Control**

- La Unidad de Control es responsable de gestionar el control y la configuración del chip mediante la interfaz SPI o a través del microprocesador (uP) (Figura 3).
- La interfaz SPI operará en modo secundario, con capacidad para recibir una señal de reloj de hasta 40 MHz, y estará conectada directamente al bus de interconexión AHB en modo primario, permitiendo el acceso al mapa de registros.
- El microprocesador también funcionará como maestro en la configuración y control del chip. Se especifica una arquitectura RISC-V multinúcleo con cuatro núcleos de procesamiento y una frecuencia de referencia de 200 MHz. Además, se integrarán 4 GPIOs, UART y JTAG para proporcionar mayor flexibilidad en las tareas de depuración del microprocesador.
- Finalmente, se requiere el uso de FreeRTOS como sistema operativo, el cual será almacenado en memoria RAM.

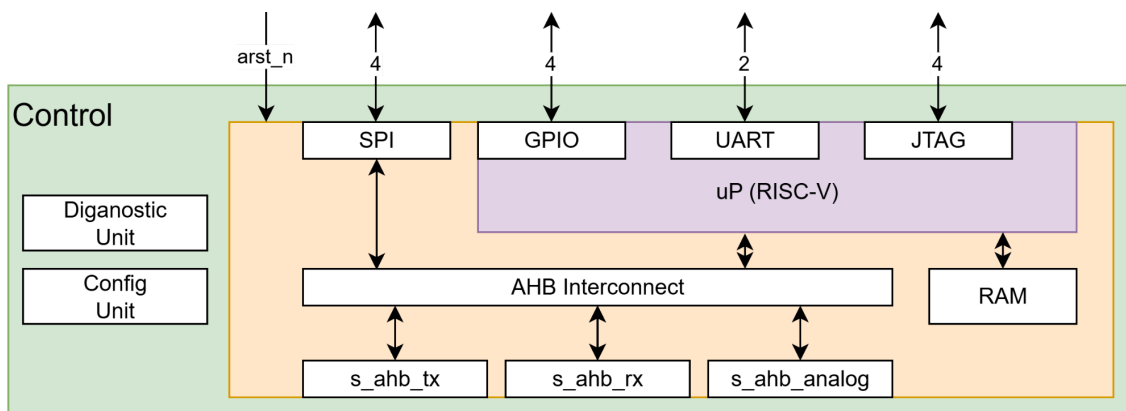


Figura 3

● Transmisor

- La Figura 4 muestra el diagrama de bloques correspondiente al camino de datos del transmisor, destacando el paralelismo de salida de cada módulo. Por ejemplo, la notación $8 \times 8b$ indica un paralelismo de 8 canales, con una resolución de 8 bits por muestra.
- La interfaz de host recibe los datos procedentes del sistema anfitrión o, de forma alternativa, de un bloque PRBS (Pseudo-Random Binary Sequence). La generación PRBS se utiliza para inyectar una señal de patrón conocido, lo que permite evaluar el desempeño del sistema y realizar mediciones de error y análisis de calidad de enlace bajo

condiciones controladas. Además, la interfaz de host recibe una señal de reloj (clock) que sincroniza y controla la ingesta de datos hacia la ruta de transmisión, asegurando que la tasa de transferencia se mantenga estable y alineada con el resto de la cadena de transmisión.

- El Mapper tiene como función convertir los bits recibidos en símbolos según el esquema de modulación seleccionado (PAM4), asignando de manera precisa cada secuencia binaria a su correspondiente nivel de amplitud.
- Previo a la conversión final a la capa física, un ecualizador directo (Feed-Forward Equalizer, FFE) se emplea para realizar la pre-ecualización de la señal. Este proceso compensa, en el dominio del transmisor, las posibles pérdidas de alta frecuencia y distorsiones que introducirá el canal de transmisión, mejorando así la integridad de la señal en el receptor.
- De forma opcional, puede incorporarse un codificador FEC (Forward Error Correction), el cual añade redundancia controlada a la secuencia transmitida, permitiendo que el receptor detecte y corrija errores sin necesidad de retransmisión, lo que incrementa la robustez y fiabilidad del enlace de datos.

- **Receptor**

- La Figura 5 muestra el diagrama de bloques correspondiente al camino de datos del receptor, donde se ilustran las principales etapas de procesamiento necesarias para recuperar y reconstruir la información transmitida.
- La primera etapa está conformada por un ecualizador directo adaptativo (Feed-Forward Equalizer, FFE), cuya función es compensar la interferencia intersímbolo (ISI) introducida por el canal. El FFE emplea un algoritmo de adaptación basado en minimización del error cuadrático medio (Least Mean Square, LMS), complementado con la técnica de gear shifting, que permite ajustar dinámicamente el paso de adaptación (step size) para optimizar la convergencia durante distintas fases de operación (captura, seguimiento, y estabilidad).
- A continuación, se dispone de una etapa opcional de ecualización no lineal, que puede implementarse mediante dos alternativas:
 - Decision Feedback Equalizer (DFE): ecualizador con realimentación de decisiones que utiliza símbolos detectados previamente para cancelar ISI proveniente de símbolos pasados.

- Decision Feed-Forward Equalizer (DFFE): ecualizador de decisión con alimentación directa, que se basa en decisiones tentativas sin retroalimentación.
- Ambos ecualizadores utilizan la misma estrategia de adaptación que el FFE, aprovechando la realimentación de un detector de umbral (Slicer) y un estimador de error ubicados al final de la cadena. La salida del estimador de error se emplea para actualizar los coeficientes de los ecualizadores de manera continua.
- De forma adicional, se integra un Detector de Secuencia de Máxima Verosimilitud (Maximum Likelihood Sequence Detector, MLSD), cuyo propósito es evaluar el desempeño frente a los ecualizadores no lineales. El MLSD busca la secuencia más probable de símbolos transmitidos considerando las características estadísticas del canal, maximizando así la probabilidad de detección correcta.
- Una vez compensadas las distorsiones del canal, la señal pasa por las etapas de De-mapper, FEC Decoder y Rx Interface, que convierte los símbolos en datos binarios, corrigen errores residuales mediante Forward Error Correction, y finalmente entregan la información al host.
- El receptor también incorpora mecanismos de Control Automático de Ganancia (Automatic Gain Control, AGC) y Recuperación de Sincronismo (Timing Recovery, TR). El AGC ajusta la amplitud de la señal de entrada mediante la configuración de un registro de 8 bits, asegurando que la señal se mantenga dentro del rango dinámico óptimo del sistema. El TR, por su parte, sincroniza el instante de muestreo de los conversores ADC, minimizando errores por desplazamiento temporal y garantizando una correcta reconstrucción de los símbolos.

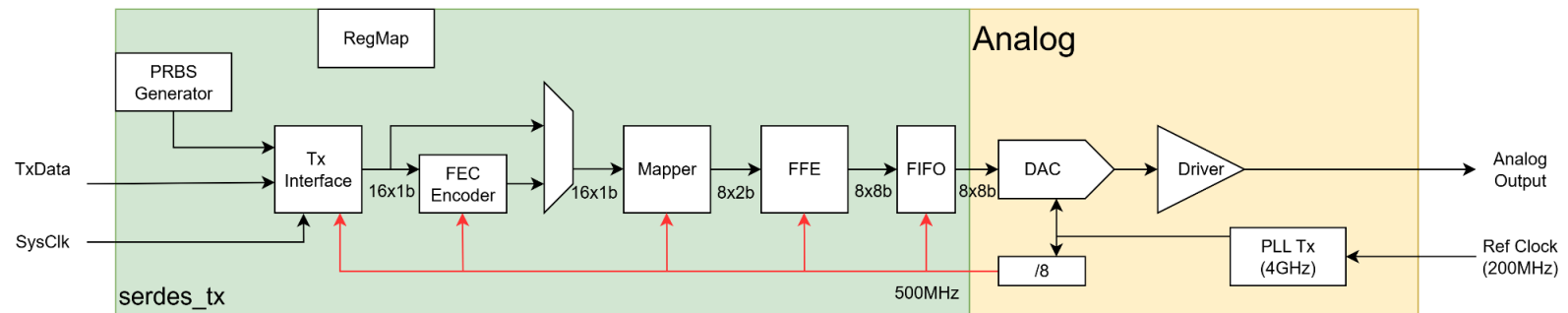


Figura 4

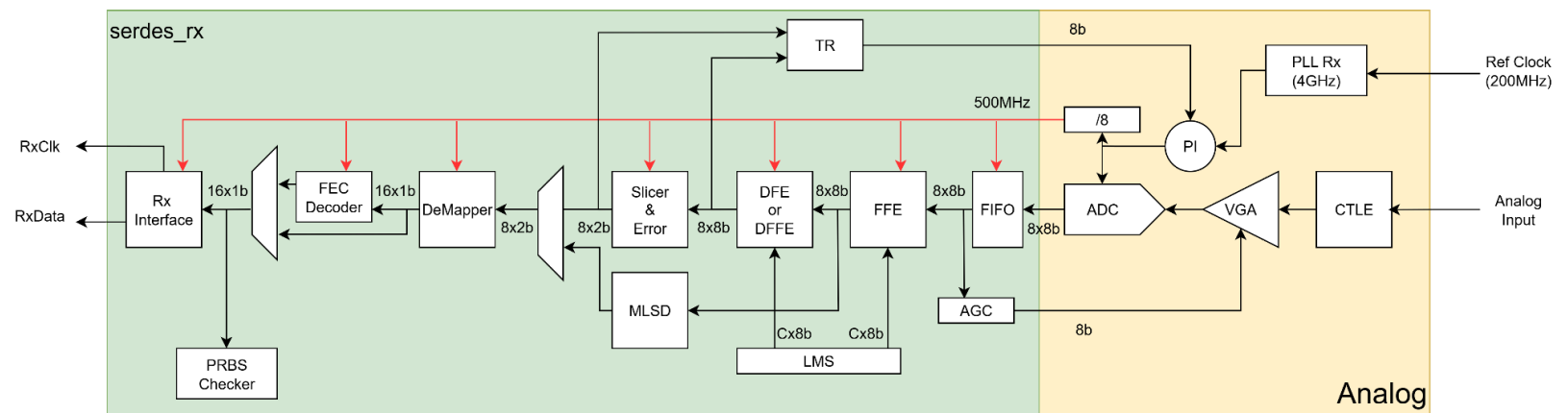


Figura 5

8. Referencias

- [1] S. Jang, J. Lee, Y. Choi, D. Kim, and G. Kim, "Recent advances in ultrahigh speed wireline receivers with adc-dsp-based equalizers," *IEEE Open Journal of the Solid-State Circuits Society*, vol. 4, pp. 290–304, 2024.
- [2] M. Li, "Serdes at 224gbps and beyond," OCP Global Summit, San Jose, CA, 2024, oct. 15–17.
- [3] J. Shutt-Aines, "University of Illinois electrical and computer engineering department tutorial – high speed links," [http://emlab.uiuc.edu/ece546/Lect 28. pdf](http://emlab.uiuc.edu/ece546/Lect%2028.pdf), online.
- [4] B. Razavi, "Design techniques for high-speed wireline transmitters," *IEEE Open Journal of the Solid-State Circuits Society*, Sep. 2021.
- [5] A. Garg and et al., "A 1-tap 40gb/s look-ahead decision feedback equalizer in 0.18um sige bicmos technology," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 10, pp. 2224–2232, 2006.
- [6] A. Mostafa and et al., "A 2.2pj/b 212.5gbps pam-4 transceiver with ≥ 46 db reach in 5nm finfet," in *ISSCC*, 2025.
- [7] A. Mostafa and et al., "A 2.2pj/b 212.5gbps pam-4 transceiver with ≥ 46 db reach in 5nm finfet," *ISSCC 2025 Presentation*, 2025.
- [8] C. Liu and et al., "An 800gbe pam-4 phy transceiver that supports 42db copper and direct-drive optical amplification in 7nm," in *CICC*, 2025.
- [9] D. Pfaff and et al., "A 224gb/s 3pj/b 40db insertion loss transceiver in 3nm finfet cmos," in *ISSCC*, 2024.
- [10] D. Pfaff et al., "A 224Gb/s 3pJ/bit 42dB Insertion Loss Post-FEC Error-Free Transceiver in 3-nm FinFET CMOS (Invited)", in *CICC*, 2025.
- [11] D. Pfaff, M. Numan, N. Hai, J. Xia, K. G. Yang, M.-M. MohseniPour, C.-H. C. H. Leong, M.-A. LaCroix, B. Zamanlooy, T. Ecekelaar, D. Petrov, M. Ha roun, C. R. Dick, J. Zaman, H. Mei, T. A. Shakir, C. Carvalho, H. Huang, P. Kumari, R. Mason, F. P. Brishty, I. Jafri, and D. A. Yokoyama-Martin, "A 224 gb/s 3 pj/b 40 db insertion loss transceiver in 3-nm finfet cmos," *IEEE Journal of Solid-State Circuits*, vol. 60, no. 1, pp. 9–21, Jan. 2025.
- [12] H. Park et al., "A 4.63pj/b 112gb/s dsp-based pam-4 transceiver for a large scale switch in 5nm finfet," in *ISSCC*, 2023.
- [13] A. Varzaghani et al., "A 1-to-112gb/s dsp-based wireline transceiver with a flexible clocking scheme in 5nm finfet," in *Symposium on VLSI Technology and Circuits*, 2022.

- [14] Y. Segal et al., "A 1.41pj/b 224gb/s pam-4 serdes receiver with 31db loss compensation," in *ISSCC*, 2022.
- [15] Z. Guo et al., "A 112.5gb/s adc-dsp-based pam-4 long-reach transceiver with ≤ 50 db channel loss in 5nm finfet," in *ISSCC*, 2022.
- [16] M. A. L. Croix et al., "A 116gb/s dsp-based wireline transceiver in 7nm cmos achieving 6pj/b at 45db loss in pam-4/duo-pam-4 and 52db in pam-2," in *ISSCC*, 2021.
- [17] P. Mishra et al., "A 112gb/s adc-dsp-based pam-4 transceiver for long-reach applications with ≤ 40 db channel loss in 7nm finfet," in *ISSCC*, 2021.
- [18] M. Cusmai, N. Familia, E. Kuperberg, M. Nashash, D. Gottesman, Z. Marcus, Y. Horwitz, S. Zalcman, J. Kim, S. Mukul, I. Radashkevich, Y. Segal, D. Lazar, U. Virobnik, M. P. Li, and A. Cohen, "A 224gb/s sub-pj/b pam-4 and pam-6 dac-based transmitter in 3nm finfet," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, USA, Feb. 2024, session 7.2.
- [19] M. Cusmai, N. Familia, E. Kuperberg, M. Nashash, D. Gottesman, Z. Marcus, Y. Horwitz, S. Zalcman, J. Kim, S. Khundu, I. Radashkevich, Y. Segal, D. Lazar, U. Virobnik, M. P. Li, and A. Cohen, "A 0.92-pj/b pam-4 and 0.61- pj/b pam-6 224-gb/s dac-based transmitter in 3-nm finfet," *IEEE Journal of Solid-State Circuits*, vol. 60, no. 1, pp. 23–34, Jan. 2025.
- [20] A. Khairi, Y. Krupnik, A. Laufer, Y. Segal, M. Cusmai, I. Levin, A. Gordon, Y. Sabag, V. Rahinski, I. Lotan, G. Ori, N. Familia, S. Litski, T. W. Grafi, U. Virobnik, D. Lazar, Y. Horwitz, A. Balankutty, S. Kiran, S. Palermo, M. P. Li, F. O'Mahony, and A. Cohen, "A 1.41-pj/b 224-gb/s pam4 6-bit adc-based serdes receiver with hybrid afe capable of supporting long reach channels," *IEEE Journal of Solid-State Circuits*, vol. 58, no. 1, pp. 8–19, Jan. 2023.
- [21] A. Khairi, A. Laufer, I. Radashkevich, Y. Krupnik, J. Kim, T. W. Grafi, A. Balankutty, Y. Sabag, Y. Segal, U. Virobnik, M. P. Li, I. Levin, Y. B. Ezra, and A. Cohen, "Beyond 200-gb/s pam4 adc and dac-based transceiver for wireline and linear optics applications," *IEEE Open Journal of the Solid-State Circuits Society*, vol. 5, pp. 1–12, Dec. 2024.
- [22] Luciano Lavagno, Grant Martin, and Louis Scheffer, "Electronic Design Automation for Integrated Circuits Handbook", CRC Press, April 13, 2006, ISBN 978-0849330964