

Plan de Trabajo

Ecualización Feed-Forward de Transmisión y Recepción para SERDES

Maestría en Ingeniería Eléctrica
Universidad Nacional del Sur

Ing. Ignacio Oscar Balbo

Director: Dr. Ariel Pola
Co-Director: Dr. Christian A. Schmidt

1 de octubre de 2025

1. Introducción

El presente plan de trabajo de tesis se desarrolla como parte de las actividades del Convenio entre la Universidad Nacional del Sur y la Fundación Fulgor (Córdoba). Dichas actividades contemplan un plan de investigación y formación de recursos humanos en el área de Serializadores/Deserializadores (SERDES) para aplicaciones en Comunicaciones de Datos de alta velocidad.

Un SERDES es un transceptor de datos que opera sobre una conexión de corta distancia, típicamente sobre líneas de cobre en un circuito impreso [16–37]. La transmisión es serie, usando modulación PAM2 o PAM4 (aunque actualmente se está considerando la posibilidad de usar modulaciones PAM6 o PAM8). Un ejemplo de conexión con SERDES es la que se realiza entre un transceptor óptico coherente y un conmutador (“switch”) o un router. El estado del arte actual en lo que hace a velocidad de una transmisión coherente es 800Gb/s (gigabits por segundo).

En este ejemplo, los datos a ser transmitidos por la fibra óptica son alimentados al transmisor óptico por el conmutador o router por medio de 8 canales operando en paralelo, cada uno a una velocidad de 100Gb/s y transmitiendo datos desde el conmutador o router hacia el transceptor óptico coherente. Similarmente, los datos recibidos por el receptor óptico coherente son alimentados al conmutador o router por medio de 8 canales en paralelo operando en la dirección opuesta. Estos canales requieren un SERDES en cada extremo. La próxima generación de transceptores ópticos coherentes operará a 1.6Tb/s (terabits por segundo) y requerirá 8 SERDES transmitiendo y recibiendo a una velocidad de 200Gb/s. La tecnología de 200Gb/s ya ha sido desarrollada. El próximo paso será la migración hacia 400Gb/s.

La Figura 1 ilustra el diagrama en bloques de un transceptor SERDES típico. El transmisor codifica los bits en una modulación por amplitud de pulsos PAM que en la actualidad es casi universalmente PAM4. La señal a ser transmitida es pre-ecualizada por un ecualizador de transmisión (“FFE”) programable (pero no adaptivo) para compensar parte de la atenuación dependiente de la frecuencia causada por el canal, y luego es convertida a señal analógica por un DAC, amplificada por un Driver y enviada al canal.

La función más importante del receptor es la ecualización, la cual es realizada en parte en forma analógica y otra parte en forma digital. El bloque a cargo de la ecualización analógica es el CTLE (“Continuous-Time Linear Equalizer”), el cual es esencialmente un filtro pasaalto programable. El VGA (“Variable Gain Amplifier”) ajusta el nivel de la señal para optimizar el aprovechamiento del rango dinámico del siguiente bloque, el conversor analógico–digital (ADC). Tanto el CTLE como el VGA son controlados electrónicamente por el DSP. La fase de muestreo del ADC es controlada por el bloque CDR (“Clock and Data Recovery”), alternatively conocido con el nombre de Timing Recovery (TR).

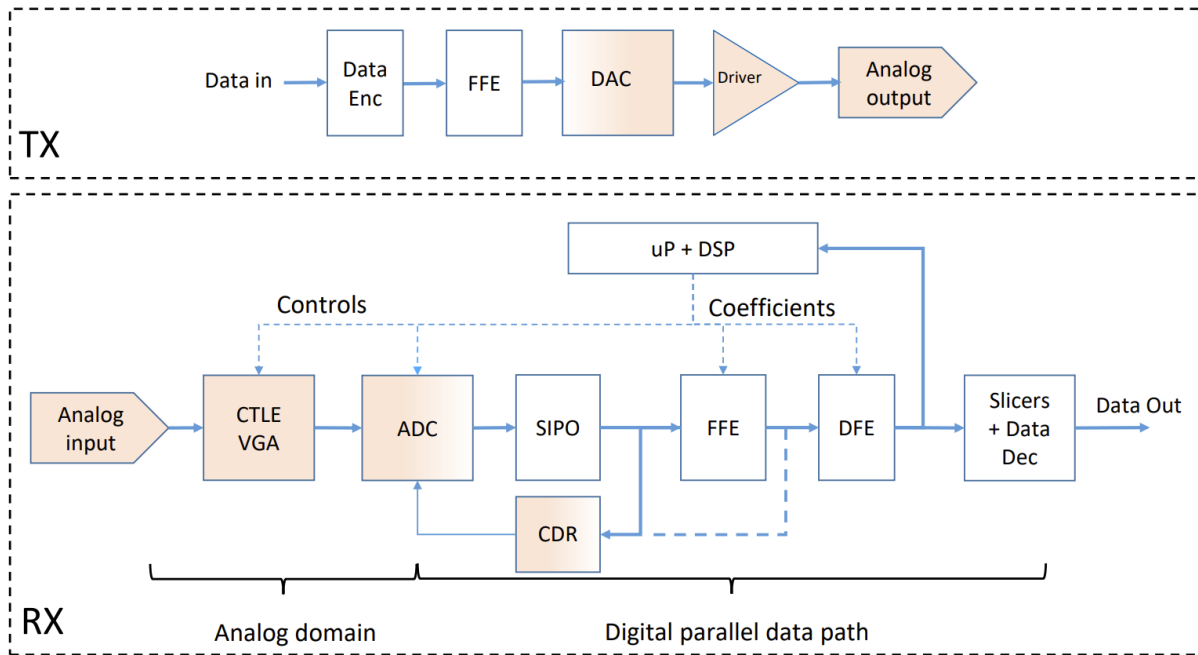


Figura 1: Diagrama en bloques de un transceptor SERDES típico.

El ecualizador se compone de dos partes, una el ecualizador lineal, o FFE (“Feedforward Equalizer”) y la otra el ecualizador por realimentación de decisiones, o DFE (“Decision Feedback Equalizer”). En algunas arquitecturas avanzadas, el DFE puede estar suplementado o reemplazado por un detector de Viterbi (MLSD, o “Maximum Likelihood Sequence Detector”). Finalmente, la señal ecualizada es detectada por el Slicer.

2. Objeto de estudio y alcance del plan de trabajo de la tesis

2.1. Descripción general

La etapa de ecualización digital “hacia delante” o feed-forward (FFE) puede dividirse en dos etapas. La primera se aplica en el transmisor, y consiste en una pre-distorsión digital de la señal transmitida orientada a corregir la distorsión (conocida) que luego ocurre en el canal. En este caso, se propone el uso de un filtro FIR corto con coeficientes constantes previamente definido [38]. La segunda etapa ocurre en el receptor, y consiste en un filtro adaptivo de mayor longitud que permita compensar componentes multi-camino y residuales sobre el símbolo actual. Esto diferencia el FFE del decision feedback-equalizer (DFE), que utiliza la decisión sobre símbolos pasados para eliminar los componentes que estos generan en el proceso de propagación, y causan interferencia inter-símbolo (ISI) [39][40].

Para la parte de FFE en la etapa de recepción, se han propuesto algoritmos basados en LMS para estimar los coeficientes del filtro minimizando el error medio cuadrático con respecto a una

señal de referencia. También se han considerado variantes como el LMN, que funcionan mejor cuando el ruido no tiene distribución gaussiana. En [6], se propone optimizar los coeficientes del FFE usando el resultado de un detector de secuencias de máxima verosimilitud simplificado (MLSD), con lo que se logra un BER dos órdenes de magnitud más bajo, a cambio de un incremento en la complejidad. Otras alternativas de adaptación ciega como el DLS también han sido propuestas, donde la optimización se realiza midiendo la apertura del diagrama de ojo [41].

En este plan de trabajo, se propone un estudio exhaustivo de la literatura y la comprobación de desempeño de las alternativas más relevantes del estado del arte. Luego, mediante simulación, se comparará el desempeño de distintos enfoques en términos de BER, tasa de transmisión, y complejidad computacional. Finalmente, se seleccionará para su implementación un esquema que permita maximizar el desempeño optimizando el compromiso o trade-off entre tasa de error, tasa de transmisión, y complejidad computacional asociada.

2.2. Descripción detallada del objeto a abordar

El presente plan de trabajo se enmarca en el diseño de circuitos integrados para aplicaciones de comunicaciones de alta velocidad, específicamente en el desarrollo de un ecualizador *feed-forward* de transmisión y recepción de altas prestaciones. El objetivo principal es diseñar un ecualizador no adaptativo en el transmisor y uno adaptativo en el receptor. Se utilizarán técnicas adoptadas en la industria para la arquitectura del filtro de respuesta al impulso finita [1] y se desarrollarán las técnicas para: (1) la elección de los coeficientes del ecualizador de transmisión [2] y (2) el diseño del algoritmo de adaptación del ecualizador de recepción [3-6]. Estos métodos probaron ser sistemas robustos y eficaces para la ecualización en un SERDES de hasta 100-Gbps.

El diseño apuntará a consumir la menor cantidad de recursos, es decir, se realizará con la menor longitud de filtro y resolución de coeficientes para contar con una estructura que ocupe la menor cantidad de área, potencia y con la menor cantidad de retardos. En cuanto a su rendimiento, se optimizarán métricas como la apertura del diagrama de ojo, la tasa de error de bit (*bit error rate*), la relación señal/ruido después de la ecualización y su error cuadrático medio.

Se prevé realizar un diseño en lenguaje de descripción de hardware (HDL) completo, simulación funcional y su implementación física mediante herramientas de síntesis. Se finaliza con su *layout* y simulaciones *post-layout*. Si bien no se contempla la fabricación del chip, sí se buscará alcanzar un nivel de validación que permita considerar la viabilidad del diseño para etapas futuras de prototipado o producción.

2.3. Alcance y objetos individuales

- Investigar arquitecturas y técnicas de diseño de ecualizadores lineales feed-forward (FFE), aplicados tanto a esquemas de transmisión (Tx) como de recepción (Rx).
- Diseñar a nivel HDL los bloques Tx-FFE y Rx-FFE.
- Validar los diseños con simulaciones funcionales.
- Emplear herramientas profesionales para desarrollar los diseños sobre una plataforma tecnológica CMOS de 65 nm disponible en el mercado.
- Validar el correcto funcionamiento de los bloques diseñados mediante simulaciones Post-Layout, considerando restricciones impuestas por la tecnología de fabricación.

3. Estado del arte

3.1. Revisión crítica y profunda

En los sistemas de comunicaciones de alta velocidad, el desempeño del canal de transmisión se ve limitado por fenómenos como la atenuación dependiente de la frecuencia, la dispersión y el acoplamiento entre líneas. Estas degradaciones generan interferencia intersímbolo (ISI), que reduce la apertura del diagrama de ojo y aumenta la tasa de error de bit (BER). Para mitigar dichos efectos se utilizan los ecualizadores lineales de tipo feed-forward (FFE) tanto en el transmisor como en el receptor.

El principio de operación del FFE consiste en aplicar una combinación lineal ponderada de muestras actuales y pasadas de la señal, atenuando las interferencias introducidas por el canal. En el transmisor, un FFE permite pre-ecualizar la señal antes de su envío, compensando en parte las pérdidas del medio físico. En el receptor, en cambio, se ajustan dinámicamente los coeficientes del filtro para contrarrestar la ISI residual, en conjunto con otros bloques como el DFE (Decision Feedback Equalizer) o el CTLE (Continuous-Time Linear Equalizer).

Una estrategia evidente para incrementar la tasa de transmisión total en sistemas de comunicación de alta velocidad es aumentar el número de enlaces en paralelo. Sin embargo, el paralelismo por sí solo no resulta suficiente para alcanzar tasas elevadas, ya que introduce limitaciones físicas y de consumo de energía. Para superar estas restricciones, es necesario aumentar la velocidad de operación de cada canal individual. El inconveniente es que dicha velocidad se encuentra típicamente limitada por el ancho de banda del canal o de la interconexión: a medida que se eleva la frecuencia de transmisión, crecen la atenuación y la interferencia intersímbolo (ISI), lo que degrada el desempeño del enlace. En este contexto, los transmisores con ecualización feed-forward (Tx-FFE) se presentan como una solución eficaz para extender

la velocidad de cada I/O más allá del límite impuesto por el canal.

Una forma de ecualización es el pre-énfasis en el transmisor, en la cual la señal transmitida es distorsionada mediante la amplificación de componentes de alta frecuencia en relación con los de baja frecuencia, con el fin de compensar los efectos perjudiciales del canal. Para esta técnica se utilizan filtros FIR con un conjunto óptimo de coeficientes [3,9]. Típicamente se utilizan filtros FIR con una longitud de 3 coeficientes, uno para encargarse de la ISI pre-cursora (enfaticando el último bit de una secuencia conocido como *pre-shoot*), uno para la ISI del cursor actual y el último para la ISI post-cursora (enfaticando el primer bit de una secuencia, conocido como *de-emphasis*). Si bien este trabajo solo se enfoca en el diseño digital de un Tx-FFE, algunos artículos comentan que el uso de combinaciones de bloques de pre-énfasis analógicos y digitales, obtienen un mejor desempeño [7].

Lee [2], propone un método analítico sencillo para la elección de los coeficientes. La forma tradicional es tomar los valores negativos de la respuesta al impulso del canal, el problema de esto es que se generan términos de error acumulados provenientes de instantes de tiempo anteriores en el tiempo. Si el canal además presenta componentes precursores, la situación se agrava. Han [10], utiliza un Tx-FFE adaptativo para la ecualización de enlaces masivamente paralelos haciendo provecho de que el set de coeficientes a actualizar es el mismo para todos los enlaces debido a que el canal es idéntico para todos. Si bien contar con un ecualizador que actualice sus coeficientes en función de una métrica determinada ofrece mejores resultados, el costo en área y potencia no lo convierte en una opción favorable para este trabajo.

En el lado del receptor, la función del ecualizador feed-forward (Rx-FFE) es fundamental para contrarrestar los efectos de la interferencia intersímbolo (ISI) generada por el canal. A diferencia de la pre-énfasis en transmisión, que busca anticiparse a las distorsiones, el ecualizador en recepción debe operar sobre una señal ya degradada por atenuación dependiente de la frecuencia, dispersión y ruido. La arquitectura principal del ecualizador del Rx es igual a la del Tx, un filtro FIR. Lo que cambia es que en este sistema es que tenga la capacidad de adaptación dinámica de coeficientes mediante técnicas como LMS (*least mean square*), CMA (*constant modulus algorithm*) o RLS (*recursive least squares*). Esto le otorga un rendimiento robusto frente a variaciones de proceso, temperatura, voltaje y respuesta del canal. SHAHID [11] es uno de los documentos más citados que explica sobre la adaptación LMS. Si bien el método no es nuevo, se sigue usando en la industria. Aquí los coeficientes son elegidos para minimizar el error cuadrático medio - La suma de los cuadrados de todos los términos de ISI más la potencia de ruido a la salida del ecualizador. El ecualizador LMS maximiza la relación señal-distorsión. El retardo del ecualizador depende de dónde está posicionado el coeficiente central que, típicamente, tiene la ganancia con mayor magnitud.

Yi [4] compara el rendimiento del algoritmo LMS contra una técnica llamada LMN+DLS (*least mean 2Nth order plus dithered linear search*). Este método agrega una señal aleatoria a

cada coeficiente, donde si bien los resultados superan a los de un simple LMS, no valen el costo agregado en área y potencia. Ok [5] usa un FFE con una unidad de adaptación SS-LMS (*signed-signed least mean square*) basado en su forma original LMS. Los signos del error (ESGN) y el dato (DSGN) son las entradas al algoritmo de adaptación. Dichas entradas son derivadas del DFE (*Decision Feedback Equalizer*) donde el signo de error representa la diferencia entre el nivel ideal y real del dato, y el signo de dato es la forma inversa del MSB (*most significant bit*). Estos dos parámetros se usan para saber si se deben aumentar o disminuir los coeficientes por un determinado delta.

Feng [13] también hace uso del algoritmo SS-LMS. Además, detalla que la resolución de los coeficientes es de 8 bits (un bit de signo, un bit de parte entera y 6 bits decimales) y hace uso de LUT's (Look Up Tables) para optimizar las multiplicaciones. Cada coeficiente individual tiene un valor inicial, permitiendo ajustar dónde va a estar el coeficiente principal o apagar coeficientes para el ahorro de potencia. El sistema propuesto hace uso de un FFE+DFE (*Partially Unrolled DFE*). Con 3 coeficientes precursores y 3 postcursores, para un canal con 23 dB de pérdida a 16 Gb/s obtiene una BER menor a 10^{-4} .

Kim [6] propone un algoritmo de adaptación que integra el FFE con el detector de secuencia de máxima verosimilitud (MLSD). Logra realizar un FFE que afina el ecualizador para proveer de una salida con ISI de memoria 2 ($L=2$) para un mejor rendimiento del bloque MLSD (también aplicable a $L=1$). La optimización de los coeficientes se realiza en dos pasos: primero se hace un entrenamiento grueso con el algoritmo LMS. En la segunda etapa, estos coeficientes se ajustan mediante un proceso de entrenamiento fino con auto-etiquetado, basado en la función de pérdida de entropía cruzada. Este enfoque permite un entrenamiento extremo a extremo, desde la salida del FFE hasta el detector de secuencia de máxima verosimilitud (MLSD). Además, propone una arquitectura para poder implementar el MLSD con un $L=2$ llamada *top-K*. Esto permite el uso de una longitud de 2 haciendo un uso eficiente de los recursos.

Katz [12] analiza el rendimiento del FFE+DFE vs CTLE (*continuous time linear equalizer*) sobre un transceptor que usa de canal un PCB con longitudes de cobre desde 12.7 cm a 63.5 cm. Los resultados de BER vs SNR rondan los 10^{-2} para FFE de 10 coeficientes y DFE de 3 coeficientes para 20 dB de SNR. Un PCB de 25 pulgadas requiere 4 taps en el DFE y 10 taps en el FFE. Un PCB de 20 pulgadas requiere 2 taps en el DFE y 16 taps en el FFE. Un PCB de 15 pulgadas requiere 2 taps en el DFE y 16 taps en el FFE. Uno de 10 pulgadas requiere 3 taps en el DFE y 16 taps en el FFE. Uno 5 pulgadas requiere 2 taps en el DFE y 13 taps en el FFE. Aunque los ecualizadores analógicos presentan un buen desempeño en términos de área y consumo de potencia, se encuentran fuertemente limitados por las variaciones de proceso, voltaje y temperatura (PVT). En contraste, los ecualizadores digitales con un conversor analógico-digital (ADC) en el frente de entrada son más robustos frente a dichas variaciones, y además poseen un mayor potencial para compensar la interferencia intersímbolo (ISI) en canales con pérdidas por inserción (IL) severas.

Tu [14] logra obtener una BER de 10^{-6} en pérdidas de canal de 12.4 dB a 34.5 dB utilizando 1 tap DFE y una arquitectura de ADC (*Analog to Digital Converter*) y FFE reconfigurables. El consumo de energía esta muy ligado a la resolución del ADC y la cantidad de coeficientes del FFE. Ajustando automáticamente la resolución del ADC de 6 a 5 bits y la cantidad de coeficientes del FFE de 24 a 6 coeficientes se logran ahorros de energía del 40 %. Para esto, desarrollaron un monitoreo de SNR que se basa en un estimador de potencia de ruido y un LTC (*level tracker system*). El algoritmo de adaptación para el ecualizador nuevamente es el SS-LMS.

Chen [15] introduce un método eficiente para optimizar en conjunto FFE, CTLE y DFE usando solo la respuesta al pulso del canal, logrando la misma calidad de ojo que técnicas avanzadas como la optimización bayesiana, pero con menor costo computacional. El método propuesto deriva analíticamente el diagrama de ojo a partir de la respuesta al pulso no ecualizada y emplea la función Lagrangiana para realizar la optimización. Primero, derivan las expresiones del pulso ecualizado luego del CTLE, FFE y DFE. De estas expresiones, se deriva EH (altura del ojo), EW (ancho del ojo) y EA (área del ojo). La función Lagrangiana es una herramienta matemática utilizada en el campo de la optimización. El algoritmo busca optimizar una función objetivo no lineal sujeta a restricciones. En la aplicación a la optimización de FFE y DFE, el objetivo consiste en maximizar la altura, el ancho o el área de apertura del diagrama de ojo. Las configuraciones de ecualización que corresponden a esa apertura de ojo optimizada se consideran las ecualizaciones óptimas.

3.2. Identificación de oportunidades

La ecualización mediante filtros digitales *feed-forward* demuestra ser una herramienta clave para extender la velocidad de operación en enlaces serie. En el transmisor (Tx), el FFE permite pre-distorsionar la señal con el fin de compensar de manera anticipada las pérdidas dependientes de la frecuencia del canal. En el receptor (Rx), en cambio, el FFE actúa sobre una señal ya degradada, ajustando sus coeficientes en tiempo real para contrarrestar la interferencia intersímbolo (ISI) residual.

Aún existen oportunidades de investigación en la optimización conjunta Tx–Rx. La mayor parte de las propuestas actuales optimizan el FFE de transmisión o de recepción de manera independiente. Explorar técnicas de optimización conjunta permitiría lograr configuraciones más eficientes en términos de apertura de ojo y reducción de BER. Los FFE, especialmente en el receptor, requieren un número elevado de taps y resolución en los coeficientes, lo que incrementa el área y el consumo de potencia (además de la complejidad del algoritmo que se elija). Se deben desarrollar arquitecturas simplificadas, algoritmos de reducción de coeficientes, o técnicas de cuantización adaptativa que mantengan el desempeño con menor costo.

El foco principal a optimizar en este trabajo es la elección del algoritmo adaptativo del

ecualizador de recepción. Si bien el SS-LMS parece ser la opción más prometedora para optimizar área y potencia, últimamente los algoritmos con mejor rendimiento son aquellos a los que se hace uso conjunto de más de un bloque, en este caso el FFE. Por ejemplo, técnicas que mezclan FFE+MLSD como en [6] o optimizaciones conjuntas de CTLE+FFE+DFE. Sin dejar de lado la elección de los coeficientes del Tx-FFE, se necesita de un análisis previo del canal para una elección correcta. Sin duda el FFE por si solo no puede lograr los mejores resultados en un SERDES, por lo que la investigación sobre como utilizarlo en forma conjunta con los demás bloques es necesaria.

3.3. Contribución esperada

Del análisis del estado del arte se desprende que, si bien los ecualizadores feed-forward (FFE) son bloques esenciales para mitigar ISI en transmisores y receptores, persisten limitaciones técnicas que abren oportunidades de investigación. La literatura muestra avances relevantes en algoritmos adaptativos (LMS, SS-LMS, LMN+DLS), en la integración con otros bloques (DFE, CTLE, MLSD), así como en metodologías de optimización conjunta. Sin embargo, estas propuestas suelen estar asociadas a altos costos en área y potencia, complejidad de implementación o dependencia de procesos de optimización computacionalmente costosos.

Se espera la contribución del diseño digital eficiente de un Tx-FFE, basado en filtros FIR que permitan pre-distorsionar la señal, donde los coeficientes pueden ser reconfigurados. La elección de los coeficientes debe justificar la distorsión y evitar grandes cantidades de error acumulativo. Su arquitectura debe optimizarse para beneficiar área y potencia. Además del diseño de un ecualizador de recepción también basado en filtros FIR, pero con un algoritmo adaptativo que favorezca el uso en conjunto con demás bloques de la trama de comunicaciones.

También, se tiene como objetivo la implementación física del diseño, la validación funcional del HDL y la validación del sistema post-síntesis mediante simulaciones. Dichas simulaciones deberán corroborar tanto la viabilidad de la arquitectura como la efectividad de los algoritmos propuestos para poder obtener los mejores resultados de BER vs. SNR. El desarrollo se llevará a cabo en tecnología CMOS de 65 nm empleando herramientas de diseño profesional disponibles.

4. Metodología preliminar

El presenta plan de trabajo propone emplear herramientas profesionales de diseño electrónico, disponibles en la Universidad Nacional del Sur, en conjunto con un kit de desarrollo correspondiente al proceso de fabricación CMOS de 65 nm disponible en el mercado. Como parte del proceso de formación, se prevé la posibilidad de implementar sub bloques simples en tec-

nologías de acceso abierto, ampliamente difundidas en la comunidad académica. Cabe destacar que dichas implementaciones tendrán carácter formativo y no constituirán un requisito dentro del alcance específico del trabajo de tesis.

La metodología de desarrollo buscará avanzar en el estado del arte en diseño de circuitos integrados digitales y mixtos, priorizando la optimización de parámetros críticos tales como velocidad de operación, consumo de potencia, mejor rendimiento de BER y área ocupada.. El objetivo final de cada trabajo consistirá en validar el funcionamiento de los bloques diseñados mediante simulaciones post-síntesis, sin requerir como condición la fabricación de circuitos integrados para la aprobación de las tesis.

5. Cursos de posgrado propuestos

La propuesta preliminar de cursos de posgrado para este Plan de Trabajo consiste en los siguientes cursos:

1. Diseño Digital Avanzado, Ariel L. Pola, Universidad Nacional de Córdoba
2. Diseño de Circuitos Integrados Digitales en Tecnología CMOS, Dr. Pablo Mandolesi, Universidad Nacional del Sur
3. Procesamiento de Señales en Comunicaciones, Cousseau Juan Edmundo, Universidad Nacional del Sur
4. TÉCNICAS DE OPTIMIZACIÓN APLICADAS A INGENIERÍA, Figueroa José Luis, Universidad Nacional del Sur
5. DEFINIR Y COMPLETAR

6. Bibliografía

Referencias

- [1] D. Sundararajan, *Discrete Wavelet Transform: A Signal Processing Approach, Chapter: Finite Impulse Response Filters.*
- [2] Soo-Min Lee, Jae-Yoon Sim, and Hong-June Park, *An Analytic Decision Method for the Feed-forward Equalizer Tap-Coefficients at Transmitter.*

- [3] Sang-Hyeon Ok, Dong-Hoe Heo, Jae-Geon Lee, Seung-Mo Jin, Kwang-Ho Lee, Daniel Jeong and Min-Seong Choo, *An Implementation of a DSP-Based PAM-4 Digital Equalizer With 32-Way TI-ADC*.
- [4] Xingwen Yi, Fred Buchali, Wei Chen, and William Shieh, *Adaptation Algorithms for Receiver Based Electronic Dispersion Equalization*.
- [5] Weijie Li, Min Liu, Xuqiang Zheng, Guangxing Xiao, Guojun Yuan, Qinfen Hao and Zhi Jin, *A 100-Gb/s PAM-4 DSP in 28-nm CMOS for Serdes Receiver*.
- [6] Hanseok Kim, Sihyun Lee, Piljun Jeong, Jaeha Kim and Woo-Seok Choi, *Implementing FFE-MLSD With Improved BER and Reduced Complexity for Long-Reach PAM4 Wireline Receivers*.
- [7] Soo-Min Lee, Jae-Yoon Sim, Hong-June Park, *Impact of Analog and Digital Pre-Emphasis on the Signal-to-Noise Ratio of Bandwidth-Limited Optical Transceivers*.
- [8] W. J. Dally and J. Poulton, *Transmitter equalization for 4 Gb/s signaling*.
- [9] Jin Liu, Xiaofeng Lin, *Equalization in high-speed communication systems*.
- [10] Han, Seungho; Lee, Sooeun; Choi, Minsoo; Sim, Jae-Yoon; Park, Hong-June; Kim, Byungsub, *A Coefficient-Error-Robust Feed-Forward Equalizing Transmitter for Eye-Variation and Power Improvement. IEEE Journal of Solid-State Circuits*.
- [11] SHAHID U. H. QURESHI, *Adaptive Equalization*.
- [12] Gilad Katz, Stiven Zlotsky, Ido Vinitzky, Alon Babecovand, Benjamin Wolftson and Eduard Sonkin, *Inclusive Performance Analysis of 100 Gbps PAM-4 at SerDes Using Digital Equalizers*.
- [13] Xinjie Feng, Yongzhen Chen, Youzhi Gu, Jiangfeng Wu, *A 64Gb/s PAM-4 Digital Equalizer With Tap-Configurable FFE and Partially Unrolled DFE in 28nm CMOS*.
- [14] You-Cheng Tu, Rui-Yong Kuo, Wei-Zen Chen *Dynamic ADC and Equalizer Adaptation with Background SNR Monitoring for a DSP-Based PAM-4 Receiver*.
- [15] Yen-Hao Chen, Chun-I Tseng, and Ding-Bing Lin *Optimizing Equalizations of FFE, CTLE, and DFE Jointly Through a Single Pulse Response*.
- [16] S. Jang, J. Lee, Y. Choi, D. Kim, and G. Kim, *Recent advances in ultrahigh speed wireline receivers with ADC-DSP-based equalizers*, IEEE Open Journal of the Solid-State Circuits Society, vol. 4, pp. 290–304, 2024.
- [17] M. Li, *Serdes at 224Gbps and beyond*, OCP Global Summit, San Jose, CA, Oct. 15–17, 2024.

- [18] J. Shutt-Aines, *University of Illinois electrical and computer engineering department tutorial – high speed links*, <http://emlab.uiuc.edu/ece546/Lect28.pdf>, online.
- [19] B. Razavi, *Design techniques for high-speed wireline transmitters*, IEEE Open Journal of the Solid-State Circuits Society, Sep. 2021.
- [20] A. Garg et al., *A 1-tap 40Gb/s look-ahead decision feedback equalizer in 0.18 μ m SiGe BiCMOS technology*, IEEE Journal of Solid-State Circuits, vol. 41, no. 10, pp. 2224–2232, 2006.
- [21] A. Mostafa et al., *A 2.2pJ/b 212.5Gbps PAM-4 transceiver with ≥ 46 dB reach in 5nm FinFET*, in ISSCC, 2025.
- [22] A. Mostafa et al., *A 2.2pJ/b 212.5Gbps PAM-4 transceiver with ≥ 46 dB reach in 5nm FinFET*, ISSCC 2025 Presentation, 2025.
- [23] C. Liu et al., *An 800GbE PAM-4 PHY transceiver that supports 42dB copper and direct-drive optical amplification in 7nm*, in CICC, 2025.
- [24] D. Pfaff et al., *A 224Gb/s 3pJ/b 40dB insertion loss transceiver in 3nm FinFET CMOS*, in ISSCC, 2024.
- [25] D. Pfaff et al., *A 224Gb/s 3pJ/b 42dB insertion loss post-FEC error-free transceiver in 3nm FinFET CMOS (Invited)*, in CICC, 2025.
- [26] D. Pfaff, M. Numan, N. Hai, J. Xia, K. G. Yang, M.-M. MohseniPour, C.-H. C. H. Leong, M.-A. LaCroix, B. Zamanlooy, T. Ecekelaar, D. Petrov, M. Haroun, C. R. Dick, J. Zaman, H. Mei, T. A. Shakir, C. Carvalho, H. Huang, P. Kumari, R. Mason, F. P. Brishty, I. Jafri, and D. A. Yokoyama-Martin, *A 224Gb/s 3pJ/b 40dB insertion loss transceiver in 3nm FinFET CMOS*, IEEE Journal of Solid-State Circuits, vol. 60, no. 1, pp. 9–21, Jan. 2025.
- [27] H. Park et al., *A 4.63pJ/b 112Gb/s DSP-based PAM-4 transceiver for a large scale switch in 5nm FinFET*, in ISSCC, 2023.
- [28] A. Varzaghani et al., *A 1-to-112Gb/s DSP-based wireline transceiver with a flexible clocking scheme in 5nm FinFET*, in Symposium on VLSI Technology and Circuits, 2022.
- [29] Y. Segal et al., *A 1.41pJ/b 224Gb/s PAM-4 SerDes receiver with 31dB loss compensation*, in ISSCC, 2022.
- [30] Z. Guo et al., *A 112.5Gb/s ADC-DSP-based PAM-4 long-reach transceiver with ≥ 50 dB channel loss in 5nm FinFET*, in ISSCC, 2022.
- [31] M. A. L. Croix et al., *A 116Gb/s DSP-based wireline transceiver in 7nm CMOS achieving 6pJ/b at 45dB loss in PAM-4/Duo-PAM-4 and 52dB in PAM-2*, in ISSCC, 2021.

- [32] P. Mishra et al., *A 112Gb/s ADC-DSP-based PAM-4 transceiver for long-reach applications with ≥ 40 dB channel loss in 7nm FinFET*, in ISSCC, 2021.
- [33] M. Cusmai, N. Familia, E. Kuperberg, M. Nashash, D. Gottesman, Z. Marcus, Y. Horwitz, S. Zalcman, J. Kim, S. Mukul, I. Radashkevich, Y. Segal, D. Lazar, U. Virobnik, M. P. Li, and A. Cohen, *A 224Gb/s sub-pJ/b PAM-4 and PAM-6 DAC-based transmitter in 3nm FinFET*, in IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, Feb. 2024, session 7.2.
- [34] M. Cusmai, N. Familia, E. Kuperberg, M. Nashash, D. Gottesman, Z. Marcus, Y. Horwitz, S. Zalcman, J. Kim, S. Khundu, I. Radashkevich, Y. Segal, D. Lazar, U. Virobnik, M. P. Li, and A. Cohen, *A 0.92-pJ/b PAM-4 and 0.61-pJ/b PAM-6 224-Gb/s DAC-based transmitter in 3nm FinFET*, IEEE Journal of Solid-State Circuits, vol. 60, no. 1, pp. 23–34, Jan. 2025.
- [35] A. Khairi, Y. Krupnik, A. Laufer, Y. Segal, M. Cusmai, I. Levin, A. Gordon, Y. Sabag, V. Rahinski, I. Lotan, G. Ori, N. Familia, S. Litski, T. W. Grafi, U. Virobnik, D. Lazar, Y. Horwitz, A. Balankutty, S. Kiran, S. Palermo, M. P. Li, F. O’Mahony, and A. Cohen, *A 1.41-pJ/b 224-Gb/s PAM-4 6-bit ADC-based SerDes receiver with hybrid AFE capable of supporting long reach channels*, IEEE Journal of Solid-State Circuits, vol. 58, no. 1, pp. 8–19, Jan. 2023.
- [36] A. Khairi, A. Laufer, I. Radashkevich, Y. Krupnik, J. Kim, T. W. Grafi, A. Balankutty, Y. Sabag, Y. Segal, U. Virobnik, M. P. Li, I. Levin, Y. B. Ezra, and A. Cohen, *Beyond 200-Gb/s PAM-4 ADC and DAC-based transceiver for wireline and linear optics applications*, IEEE Open Journal of the Solid-State Circuits Society, vol. 5, pp. 1–12, Dec. 2024.
- [37] L. Lavagno, G. Martin, and L. Scheffer, *Electronic Design Automation for Integrated Circuits Handbook*, CRC Press, April 13, 2006, ISBN 978-0849330964.
- [38] K. -H. Cheng, Y. Wang, C. -W. Tsai, H. -Y. Huang and Z. -W. Gao, *A 10 Gb/s Full-Rate Receiver with RX-FFE Compensation*, 2024 31st IEEE International Conference on Electronics, Circuits and Systems (ICECS), Nancy, France, 2024, pp. 1-4, doi: 10.1109/ICECS61496.2024.10848796.
- [39] L. Bai et al., *Utilizing State Probabilities to Curb Consecutive Errors in Photonic THz Communications*, in Journal of Lightwave Technology, vol. 43, no. 14, pp. 6699-6710, 15 July 2025, doi: 10.1109/JLT.2025.3563391.
- [40] B. Razavi, *Design Techniques for High-Speed Wireline Transmitters*, in IEEE Open Journal of the Solid-State Circuits Society, vol. 1, pp. 53-66, 2021, doi: 10.1109/OJSSCS.2021.3112398.

- [41] Xingwen Yi, F. Buchali, Wei Chen and W. Shieh, *Adaptation algorithms for receiver based electronic dispersion equalization*, ACOFT/AOS 2006 - Australian Conference on Optical Fibre Technology/Australian Optical Society, Melbourne, VIC, 2006, pp. 4-6, doi: 10.1109/ACOFT.2006.4519269.