

Wydział	Imię i nazwisko		Rok	Grupa	Zespół
WFiIS	1. Michał Rogowski 2. Ihnatsi Yermakovich		II	10	02
PRACOWNIA ELEKTRONICZNA WFiIS AGH	Temat				Nr ćwiczenia
	Programowalna matryca logiczna - logika sekwencyjna				07
Data wykonania	Data oddania	Zwrot do poprawy	Data oddania	Data zaliczenia	OCENA
09.06.2022	14.06.2022				

Programowalna matryca logiczna - logika sekwencyjna

Ćwiczenie nr 07

Michał Rogowski

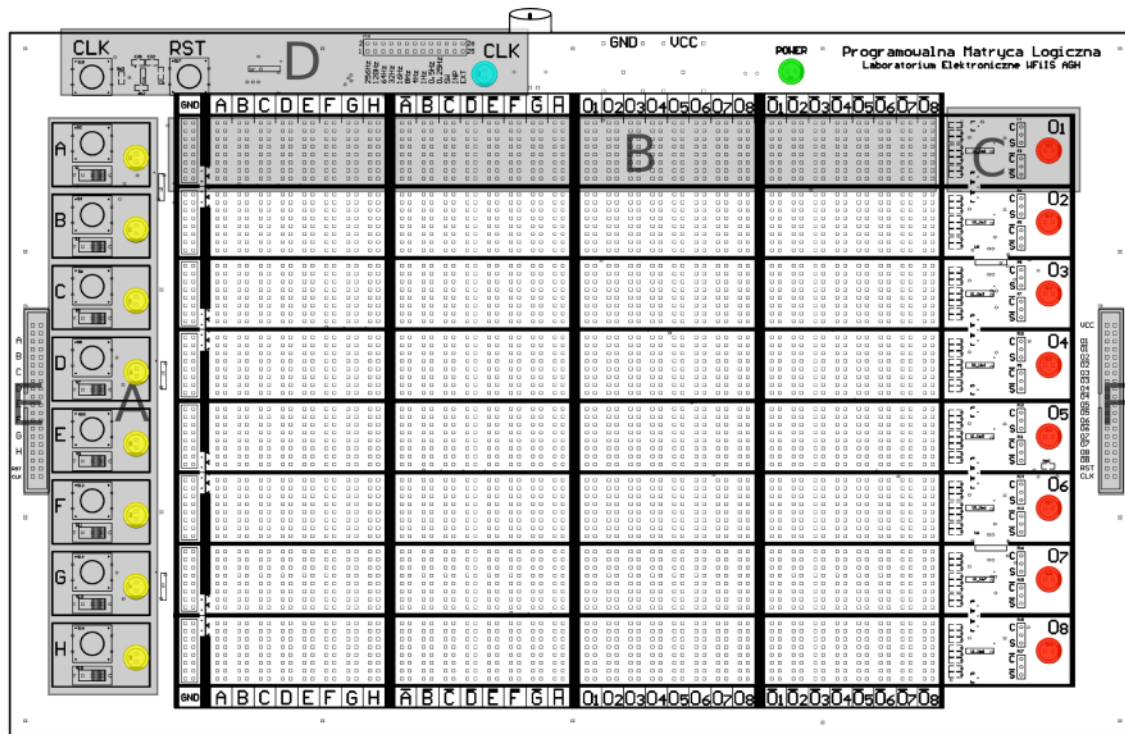
Ihnatsi Yermakovich

1	Cel ćwiczenia	2
2	Przebieg ćwiczenia	2
3	Wyniki	3
3.1	Licznik modulo N (4-bitowy) (wersja 3)	3
3.2	Licznik binarny 3-bitowy ze sterowaniem zewnętrznym (wersja 3)	6

1 Cel ćwiczenia

Celem ćwiczenia było zaprojektowanie układów sekwencyjnych oraz sprawdzenie ich działania w praktyce za pomocą matrycy logicznej.

2 Przebieg ćwiczenia



- A – Grupa przełączników do ustawiania sygnałów wejściowych
- B – Programowalny blok logiczny
- C – Zworki wyboru wejścia kombinacyjnego (C) lub sekwencyjnego (S) wraz z diodami sygnalizującymi stan wyjścia danego bloku logicznego
- D – Blok wyboru źródła sygnału zegarowego
- E – Złącze doprowadzające sygnały wejściowe
- F – Złącze wyprowadzające sygnały wyjściowe

Rysunek 1: Budowa programowalnej matrycy logicznej

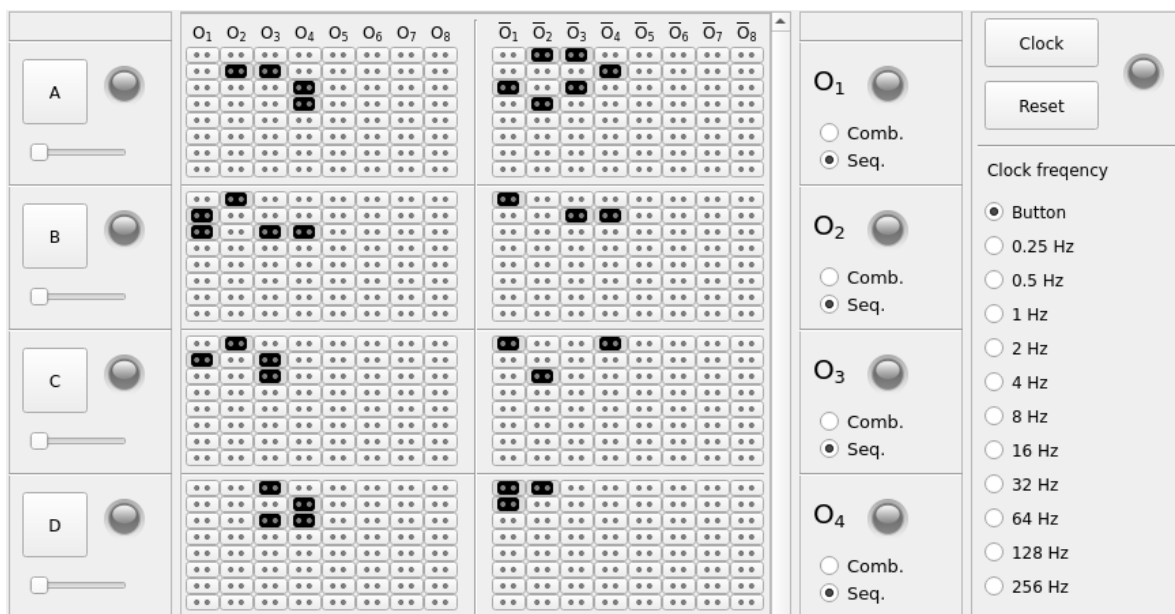
Korzystaliśmy z matrycy logicznej (rys. 1) działającej w trybie sekwencyjnym do zaprojektowania poszczególnych układów. Matryca zasilana była napięciem pojedynczym +5V względem masy.

3 Wyniki

3.1 Licznik modulo N (4-bitowy) (wersja 3)

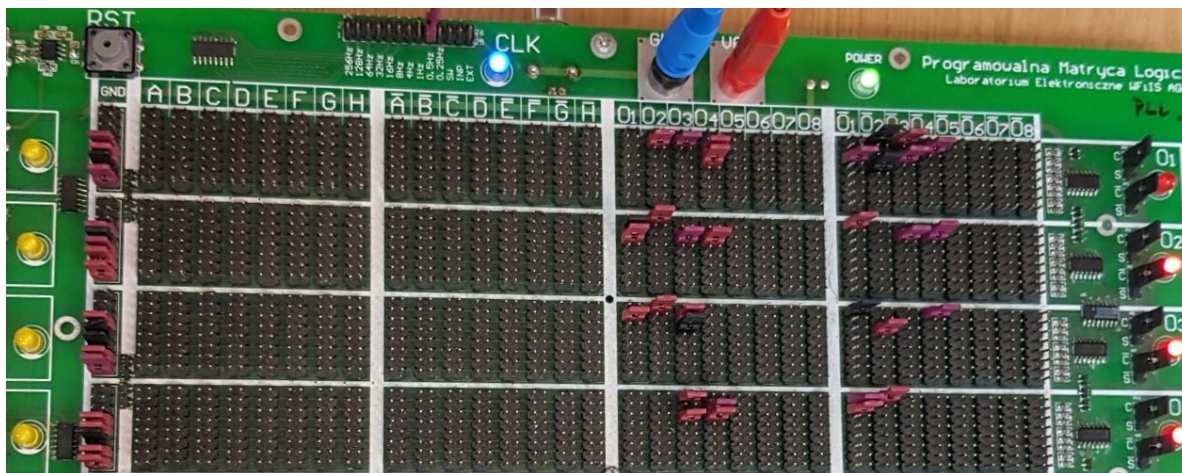
Ćwiczenie rozpoczęliśmy od zaprojektowania czterobitowego synchronicznego licznika modulo 14 w kodzie Gray'a, który miał 2 stany nadmiarowe. Do jego budowy wykorzystaliśmy wyjścia $O_1 - O_4$ matrycy pracującej w trybie sekwencyjnym (O_1 to najmłodszy bit licznika).

W celu wizualizacji konfiguracji matrycy i sprawdzenia jej poprawności dokonaliśmy symulacji w symulatorze PLD dostępnym na serwerze Taurus:



Rysunek 2: Konfiguracja matrycy logicznej dla licznika modulo 14

Ponadto umieścimy zdjęcie skonfigurowanej matrycy w laboratorium:



Rysunek 3: Konfiguracja matrycy logicznej dla licznika modulo 14

Poniżej przedstawiona jest tabela stanów dla powyższej konfiguracji:

Tabela 1: Tabela stanów dla licznika modulo 14 w kodzie Gray'a

	O_4	O_3	O_2	O_1	O_4'	O_4'	O_2'	O_1'
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	1	1	0
4	0	1	1	0	0	1	1	1
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	0	0
7	0	1	0	0	1	1	0	0
8	1	1	0	0	1	1	0	1
9	1	1	0	1	1	1	1	1
10	1	1	1	1	1	1	1	0
11	1	1	1	0	1	0	1	0
12	1	0	1	0	1	0	1	1
13	1	0	1	1	0	0	0	0
14	1	0	0	1	X	X	X	X
15	1	0	0	0	X	X	X	X

Następnie dokonamy minimalizacji funkcji logicznych dla każdego z 4 wyjść $O_4 - O_1$ wykorzystując metodę tablic Karnaugh'a:

O_2O_1 O_4O_3	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	1	1
10	x	x	0	1

O_4

O_2O_1 O_4O_3	00	01	11	10
00	0	0	0	1
01	1	1	1	1
11	1	1	1	0
10	x	x	0	0

O_3

$\begin{matrix} O_2 O_1 \\ O_4 O_3 \end{matrix}$	00	01	11	10
00	0	1	1	1
01	0	0	0	1
11	0	1	1	1
10	x	x	0	1

O_2

$\begin{matrix} O_2 O_1 \\ O_4 O_3 \end{matrix}$	00	01	11	10
00	1	1	0	0
01	0	0	1	1
11	1	1	0	0
10	x	x	0	1

O_1

Teraz korzystając z powyższych map możemy zapisać zminimalizowane funkcje:

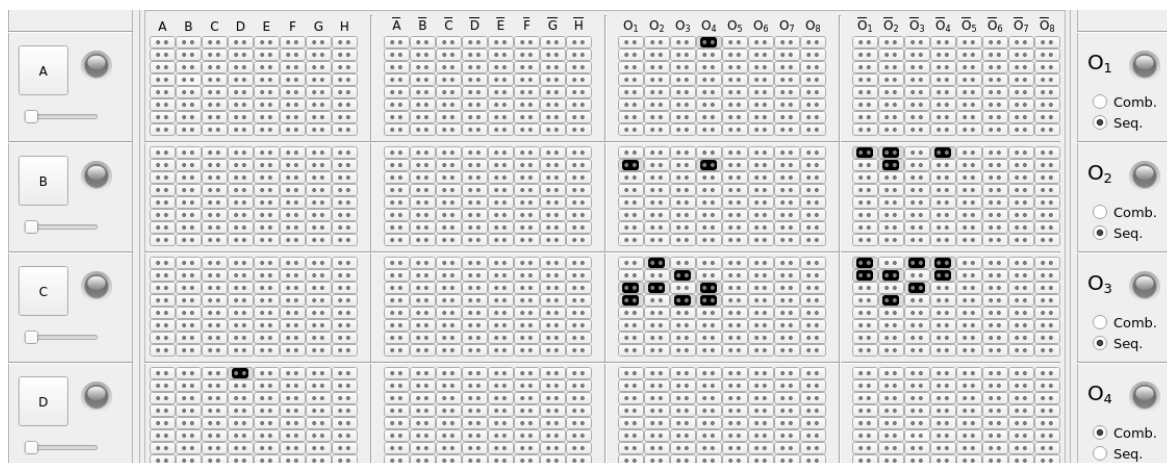
Wyjście	Funkcja
O'_4	$O_3 \overline{O_2} \overline{O_1} + O_4 \overline{O_1} + O_4 O_3$
O'_3	$\overline{O_4} O_2 \overline{O_1} + O_3 O_1 + O_3 \overline{O_2}$
O'_2	$O_2 \overline{O_1} + \overline{O_4} O_3 O_1 + O_4 O_3 O_1$
O_1	$\overline{O_3} \overline{O_2} + \overline{O_4} O_3 O_2 + O_4 \overline{O_3} \overline{O_1} + O_4 \overline{O_2}$

Widzimy, jak wykorzystując kilka przerzutników (4 przerzutniki typu D) i dokonując proste obliczenia potrafimy zbudować dekodery kodu binarnego na kod szesnastkowy.

3.2 Licznik binarny 3-bitowy ze sterowaniem zewnętrznym (wersja 3)

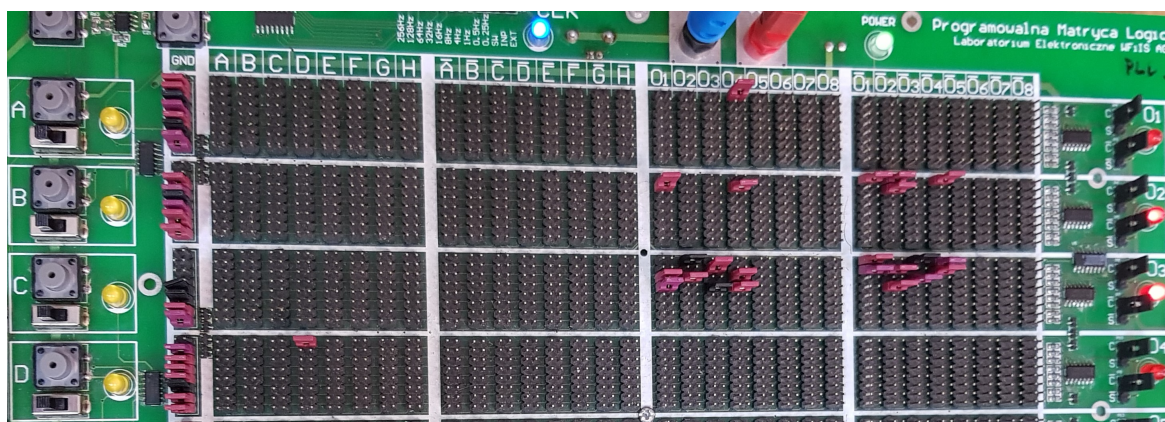
Naszym zadaniem było zaprojektowanie licznika binarnego, który dla $A = 0$ (tryb 1) liczy po liczbach parzystych (0,2,4,6), a stany nadmiarowe przechodzą w 0; dla $A = 1$ (tryb 2) liczy po liczbach nieparzystych (1,3,5,7), a stany nadmiarowe przechodzą w 1.

W celu wizualizacji konfiguracji matrycy i sprawdzenia jej poprawności dokonaliśmy symulacji w symulatorze PLD dostępnym na serwerze Taurus:



Rysunek 8: Konfiguracja matrycy logicznej dla powyższego licznika

Ponadto umieścimy zdjęcie skonfigurowanej matrycy w laboratorium:



Rysunek 9: Konfiguracja matrycy logicznej dla licznika 3-bitowego

Poniżej przedstawiona jest tabela stanów dla powyższej konfiguracji:

Tabela 2: Tabela stanów dla licznika 3 bitowego (w wersji 3)

	A	O ₃	O ₂	O ₁	A'	O ₄ '	O ₂ '
0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	1
1	0	0	0	1	0	0	0
1	1	0	0	1	0	1	1
2	0	0	1	0	1	0	0
2	1	0	1	0	0	0	1
3	0	0	1	1	0	0	0
3	1	0	1	1	1	0	1
4	0	1	0	0	1	1	0
4	1	1	0	0	0	0	1
5	0	1	0	1	0	0	0
5	1	1	0	1	1	1	1
6	0	1	1	0	0	0	0
6	1	1	1	0	0	0	1
7	0	1	1	1	0	0	0
7	1	1	1	1	0	0	1

Następnie dokonamy minimalizacji funkcji logicznych dla każdego z 4 wyjść A - O₁ wykorzystując metodę tablic Karnaugh'a:

O_2O_1 AO_3	00	01	11	10
00	0	0	0	1
01	1	0	0	0
11	0	1	0	0
10	0	0	1	0

O₃

$\begin{matrix} O_2 O_1 \\ A O_3 \end{matrix}$	00	01	11	10
00	1	0	0	0
01	1	0	0	0
11	0	1	0	0
10	0	1	0	0

O_2

$\begin{matrix} O_2 O_1 \\ A O_3 \end{matrix}$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

O_1

Teraz korzystając z powyższych map możemy zapisać zminimalizowane funkcje:

Wyjście	Funkcja
O'_3	$\overline{A}O_3O_2\overline{O}_1 + \overline{A}O_3\overline{O}_2O_1 + A\overline{O}_3O_2O_1 + AO_3\overline{O}_2O_1$
O'_2	$\overline{A}O_2\overline{O}_1 + A\overline{O}_2O_1$
O_1	A

Zauważmy, że dla wykonania ćwiczenia wystarczyły 3 przerzutniki typu D.