

UNIVERSIDADE FEDERAL DE SANTA CATARINA  
CAMPUS ARARANGUÁ

**RELATÓRIO DO TRABALHO 3  
CRONÔMETRO BASQUETE**

IGOR FIEDLER DE BASTOS E VINÍCIUS DOMINGOS GABRIEL

# 1. INTRODUÇÃO

Este relatório tem como objetivo apresentar a metodologia adotada para a descrição de hardware de um cronômetro decrescente de basquete, bem como relatar os principais desafios enfrentados durante o desenvolvimento e a implementação do sistema na placa Nexys 2.

O projeto foi desenvolvido utilizando a linguagem de descrição de hardware VHDL, com foco na criação de um sistema capaz de realizar a contagem regressiva de tempo em minutos, segundos e centésimos, com controle manual por botões e visualização em displays de sete segmentos.

A seguir, este relatório detalha todas as etapas do projeto, desde o funcionamento do circuito e do código VHDL até os testes finais em simulação e na placa.

## 2. CIRCUITO

O circuito foi implementado de forma modular, composto por diversos processos isolados que, combinados, resultam no funcionamento completo do cronômetro decrescente. Os principais módulos são:

- **Divisor de clock**
- **Contadores decrescentes**
- **Máquina de estados finita**
- **Conversores para display BCD**
- **Controle de visualização em displays de sete segmentos**

### Divisor de Clock

O divisor de clock tem como objetivo gerar um pulso de 1 Hz a partir do clock base de 50 MHz da placa Nexys 2. Esse pulso de 1 centésimo de segundo serve como base temporal para os contadores de centésimos, segundos, minutos e quartos.

## Máquina de Estados

A lógica de controle do cronômetro é baseada em uma máquina de estados finita com quatro estados principais:

- REP (Repouso)
- LOAD (Carga)
- COUNT (Contagem)
- PARADO (Pausa)

### Estado REP (Repouso)

- Estado inicial e final do cronômetro.
- Quando o botão de reset é pressionado, os displays são zerados (00:00), os leds de minutos marcam 15 e os leds de quartos marcam 1Q.
- O circuito aguarda uma nova instrução.
- Se o botão de carga for pressionado, o sistema passa para o estado LOAD.
- Nesse momento, os valores das chaves de entrada são lidos e armazenados nos contadores de minutos, segundos e quartos.

### Estado LOAD (Carga)

- Os valores definidos nas chaves são carregados nos contadores:
  - 2 chaves para os segundos (representando 0, 15, 30 ou 45).
  - 4 chaves para os minutos (0 a 15).
  - 2 chaves para os quartos (1 a 4).
- Quando o botão **para\_continua** é pressionado, o sistema inicia a contagem (estado COUNT).

### Estado COUNT (Contagem)

- O cronômetro começa a contagem decrescente: centésimos → segundos → minutos.
- Quando os centésimos chegam a zero e os segundos são maiores que zero, os segundos são decrementados.
- Quando os segundos chegam a zero e os minutos são maiores que zero, os minutos são decrementados.
- Ao atingir 00:00:00, o cronômetro é recarregado com 15:00:00 e o número de quartos é incrementado.

- O sistema retorna ao estado REP aguardando nova instrução.

### Estado PARADO (Pausa)

- O tempo é congelado no momento em que o botão `para_continua` é pressionado novamente.
- Caso o botão `novo_quarto` seja pressionado, o cronômetro é resetado para 15:00:00 e o número de quartos é incrementado.
- O botão de carga pode ser usado para carregar novos valores definidos nas chaves.
- O botão `para_continua`, se pressionado novamente, retoma a contagem do tempo.

## 3. OBJETIVOS

O principal objetivo deste trabalho foi desenvolver um cronômetro decrescente voltado para jogos de basquete, com capacidade de controle manual, exibição de tempo em minutos, segundos e centésimos, além do acompanhamento dos quartos da partida.

Especificamente, o projeto teve como metas:

- Projetar um sistema digital em VHDL capaz de realizar a contagem regressiva de 15 minutos por quarto, com precisão de centésimos de segundo;
- Implementar uma máquina de estados finita para controlar os diferentes modos de operação do cronômetro: repouso, carga, contagem e pausa;
- Permitir o controle do cronômetro por meio de botões e chaves presentes na placa Nexys 2;
- Exibir as informações de tempo e quarto atual nos displays de sete segmentos da placa;
- Garantir que o sistema reinicie corretamente ao final de cada quarto, incrementando o número de quartos até o máximo de quatro;
- Validar o funcionamento do sistema por meio de simulações e testes na FPGA.

## 4. DESENVOLVIMENTO

O desenvolvimento do cronômetro decrescente foi baseado em uma abordagem modular, na qual o sistema foi dividido em blocos funcionais, facilitando tanto a implementação quanto a depuração. Cada módulo foi descrito em linguagem VHDL e simulado individualmente antes de ser integrado ao sistema completo.

### Arquitetura Geral

A arquitetura do sistema foi dividida em cinco blocos principais:

#### 1. Divisor de Clock

Responsável por gerar o sinal de 1 centésimo de segundo a partir do clock base de 50 MHz da placa Nexys 2. Esse sinal serve como referência temporal para a contagem regressiva.

#### 2. Contadores Decrescentes

Foram implementados contadores separados para **centésimos**, **segundos** e **minutos**, além de um contador de **quartos**. A lógica garante que, ao atingir zero em um contador, o próximo seja decrementado e o atual recarregado com o valor máximo.

#### 3. Máquina de Estados Finita (FSM)

A FSM controla o comportamento global do cronômetro, com quatro estados principais:

- **REP**: estado de repouso/reset;
- **LOAD**: estado de carregamento de valores pelas chaves;
- **COUNT**: estado de contagem decrescente;
- **PARADO**: estado de pausa temporária.

#### 4. Interface de Entrada

Composta por **botões** e **chaves** da placa, permite que o usuário controle as transições de estado e configure os valores iniciais do cronômetro.

#### 5. Driver de Display

Responsável por converter os valores binários dos contadores em formato BCD e exibi-los corretamente nos **displays de sete segmentos**, utilizando multiplexação.

## Processo de Implementação

Cada módulo foi implementado como um processo separado em VHDL. A seguir, um resumo dos principais processos:

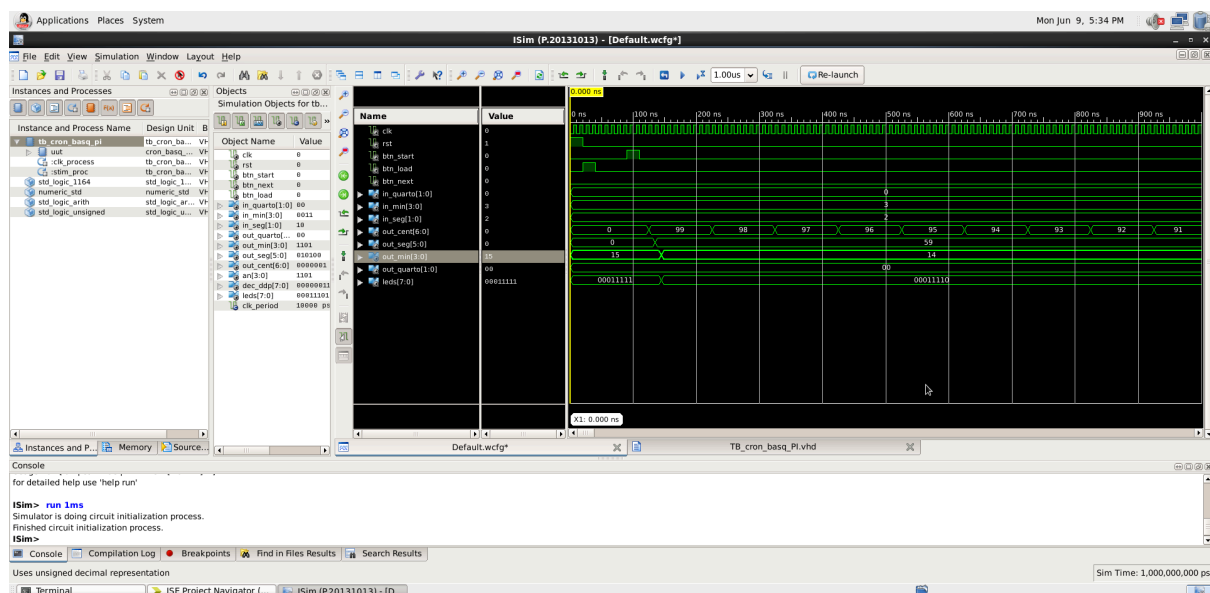
- **P1 (Divisor de Clock):** reduz o clock da placa para obter pulsos de 1 centésimo de segundo;
- **P2 - P5 (Contadores):** decrementa ou reinicia os valores de tempo conforme o estado atual;
- **P6-P7 (FSM):** gerencia os estados do sistema conforme os sinais de entrada;
- **Display e Saídas:** exibe os valores de minutos e quartos diretamente nos LEDs, sem conversão para BCD; os demais valores (segundos e centésimos) são convertidos via ROM e enviados aos displays.

## 6. Resultados

Para validar o funcionamento do cronômetro de basquete desenvolvido em VHDL, foram realizados dois testes principais: uma simulação funcional no ambiente ModelSim e uma implementação prática na FPGA.

### Simulação no ModelSim

A imagem abaixo apresenta a simulação do testbench `TB_cron_basq_PI`, onde é possível observar o comportamento esperado do sistema:



## Teste prático na FPGA

Após a validação em simulação, o sistema foi sintetizado e carregado na FPGA, onde pôde ser testado em condições reais. O cronômetro respondeu corretamente aos botões de controle (início/pausa, carga, novo quarto e reinício) e exibiu o tempo de forma precisa nos displays de 7 segmentos e leds.

O vídeo a seguir demonstra o funcionamento completo do cronômetro diretamente na placa FPGA:

 **Link para o vídeo do teste prático:**

<https://youtube.com/shorts/Fqcnrxd1wdA?feature=share>