

Questão 1

Parcialmente  
correto

Atingiu 1,00 de  
2,00

⚑ Marcar  
questão

Associar a tabela verdade com o tipo de latch e/ou flip flop.

Considerar:

$Q_0$  como saída anterior;

$Q_0'$  o complementar da saída anterior.

Para tabelas do tipo latch considerar as entradas de controle com a coluna mais à esquerda sendo SET e a direita como RESET.

OBS. Desconsiderar o tipo de sensibilidade do clock (borda de subida ou descida).

Entradas de controle	Saída Q
0	0
0	1
1	0
1	1

Latch utilizando portas NAND's



Entradas de controle	Saída Q
0	0
0	1
1	0
1	1

FF tipo JK



Sua resposta está parcialmente correta.

Você selecionou corretamente 1.

A resposta correta é:

Entradas de controle	Saída Q
0	0
0	1
1	0
1	1

– Latch utilizando portas NOR's,

Entradas de controle	Saída Q
0	0
0	1
1	0
1	1

–

FF tipo JK.

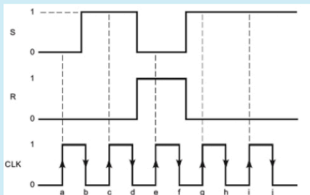
Questão 2

Incorreto

Atingiu 0,00 de  
2,00

⚑ Marcar  
questão

Analisando o diagrama de tempo, apresentado abaixo, para um flip flop do tipo SR com sensibilidade em borda de descida assinala a alternativa correta.



Observe que os tempos são definidos de 0 até j.

Escolha uma opção:

- ☐ a. A saída Q vai para nível baixo sempre que  $S = 0$  e  $R = 0$ .
- ☒ b. No tempo "e" a saída Q vai para nível baixo em função das entradas de controle  $S = 0$  e  $R = 1$ . Alternativa errada
- ☐ c. No tempo "f" a saída Q vai para nível baixo em função das entradas de controle  $S = 0$  e  $R = 1$ .
- ☐ d. A saída Q estará sempre em nível baixo independente do clock
- ☐ e. A saída Q estará sempre em nível alto independente do clock

Sua resposta está incorreta.

A resposta correta é: No tempo "f" a saída Q vai para nível baixo em função das entradas de controle  $S = 0$  e  $R = 1$ .

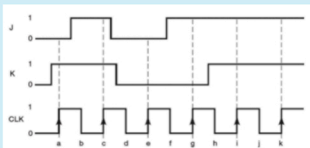
Questão 3

Correto

Atingiu 2,00 de  
2,00

⚑ Marcar  
questão

Analisando o diagrama de tempo, apresentado abaixo, para um flip flop do tipo JK com sensibilidade em borda de subida assinala a alternativa correta.



Observe que o tempo vai de 0 até k.

Escolha uma opção:

- ☐ a. No intervalo de tempo entre "i" e "k" temos a saída  $Q = 1$ .
- ☐ b. No intervalo de tempo entre "a" e "d" a saída estará sempre em nível alto.
- ☐ c. No tempo "f" a saída Q está em nível baixo.
- ☒ d. No tempo "j" a saída  $Q'$  (complementar) está em nível alto. Alternativa correta
- ☐ e. No tempo "b" a saída Q está em nível alto.

Sua resposta está correta.

A resposta correta é: No tempo "j" a saída  $Q'$  (complementar) está em nível alto.

Questão 4

Incorreto

Atingiu 0,00 de  
2,00

⚑ Marcar  
questão

Com relação aos circuitos sequenciais (latches, flip flops), assinale a alternativa que traz a descrição correta.

Escolha uma opção:

- ☐ a. Os circuitos ditos "combinacionais" possuem uma realimentação, por exemplo, flip flop. Já os circuitos "sequenciais" só dependem da entrada e não apresentam nenhuma realimentação.
- ☐ b. Um Flip Flop pode ser considerado um elemento de memória, pois armazena um dado (informação) até que haja um novo pulso de clock e uma reavaliação das entradas de controle.
- ☐ c. Podemos afirmar que as entradas de controle em um flip flop do tipo JK produz efeito na saída de forma assíncrono com o clock (relógio), ou seja, qualquer mudança na entrada de controle reflete uma mudança na saída Q.
- ☒ d. Conforme visto em aula, o circuito lógico serial utilizando FF's possuem a vantagem de transmitir os dados de uma forma muito mais rápida comparada à uma configuração paralela deste FF's. Alternativa errada
- ☐ e. A entrada PRESET sempre irá forçar a saída Q de um Flip Flop para o nível zero obedecendo o sincronismo com o clock.

Sua resposta está incorreta.

A resposta correta é: Um Flip Flop pode ser considerado um elemento de memória, pois armazena um dado (informação) até que haja um novo pulso de clock e uma reavaliação das entradas de controle.

Questão 5

Correto

Atingiu 2,00 de  
2,00

⚑ Marcar  
questão

OBS. Esta questão só será considerada para aqueles que carregarem o projeto do contador (desenvolvido no programa Wired Panda ou Quartus) na tarefa 4. Para projetos que utilizarem Black box enviar também os projetos da Black box.

Projetar um circuito lógico contador binário de 0 até 7 e a representação da contagem em números decimais. Para isso cada saída do FF além de realimentar o clock dos FF posteriores deve ser conectada à uma entrada do decodificador BCD para display de sete segmentos projetada na semana 6. Utilizar um clock de 5Hz conectado ao primeiro FF.

Observe que neste projeto vocês irão substituir as chaves de S0 até S3 utilizadas como entrada do decodificador BCD para display 7 seg. pelas saídas dos FF (contador), observe que Q0 substitui S0, Q1 por S1 e assim por diante. Para S3 pode deixar a entrada sempre em nível baixo.

Para desenvolver este projeto consultar o slide nº42 da semana 8.

Podemos afirmar que este contador após sete (no oitavo) ciclos de clocks retorna o processo de contagem com o estado inicial representado pelo dígito zero.

Escolha uma opção:

- ☒ Verdadeiro
- ☐ Falso

Descrição correta

A resposta correta é "Verdadeiro".