

Questão 1

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Considere o seguinte segmento de código:

```
lw $t0, 0($s1)
lw $t1, 4($s1)
lw $t2, 0($s2)
lw $t3, 4($s2)
lw $t4, 8($s2)
add $s3, $t0, $t2
```

No pipeline MIPS de 5 estágios com detecção e tratamento de conflitos de dados, essas instruções demoram quantos ciclos de clock para serem executadas?

Escolha uma opção:

☐ a. 34 ciclos

☐ b. 8 ciclos

☒ c. 10 ciclos

☐ d. 9 ciclos

☐ e. 16 ciclos

Próxima página

Questão 2

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Considere o seguinte segmento de código:

```
lw $t1, 0($s0)
lw $t2, 4($s0)
lw $t3, 8($s0)
add $s5, $t1, $t2
lw $t4, 0($s1)
lw $t5, 4($s2)
sub $s6, $t2, $t3
```

No pipeline MIPS de 5 estágios com detecção e tratamento de conflitos de dados, essas instruções demoram quantos ciclos de clock para serem executadas e em qual ciclo será realizada, na unidade lógica e aritmética, a soma dos valores contidos nos registradores \$t1 e \$t2?

Escolha uma opção:

☐ a. total de 12 ciclos e soma no 6º ciclo

☐ b. total de 11 ciclos e soma no 5º ciclo

☐ c. total de 12 ciclos e soma no 5º ciclo

☒ d. total de 11 ciclos e soma no 6º ciclo

☐ e. total de 10 ciclos e soma no 7º ciclo

Próxima página

Página anterior

Próxima página

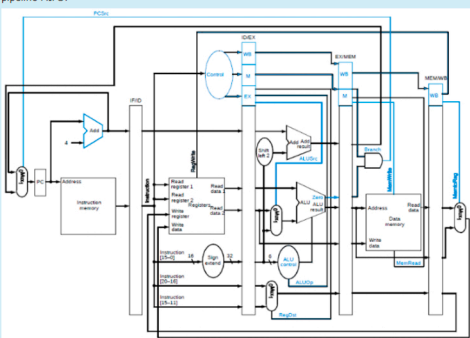
Questão 3

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Considere o caminho de dados em um pipeline MIPS com unidade de controle mostrado na figura abaixo. Após a decodificação de uma instrução, quais sinais de controle ficam gravados no registrador intermediário WB do pipeline MIPS?



Escolha uma opção:

☐ a. MemRead, MemWrite, MemToReg

☐ b. Reg Dst, ALUOp, ALUScr

☐ c. Reg Dst, ALUOp, ALUScr, RegWrite

☐ d. Branch, MemRead, MemWrite

☒ e. RegWrite, MemToReg

Próxima página

Página anterior

Próxima página

Questão 4

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Sobre os conflitos que podem ocorrer no pipeline MIPS, quais afirmativas abaixo são **incorretas**?

I - Ter apenas uma unidade funcional de memória implementada causa um conflito estrutural, já a dependência de dados causa o conflito de dados.

II - A unidade de adiamento ("forwarding unit") consegue solucionar o conflito de dados de todas as instruções, exceto da instrução load.

III - A unidade de detecção de conflito ("hazard detection unit") é utilizada para tratar apenas o conflito de dados.

IV - A unidade de adiamento ("forwarding unit"), a unidade de detecção de conflito ("hazard detection unit") e a unidade de controle são implementadas para solucionar os conflitos de dados e de controle.

Escolha uma opção:

☒ a. Apenas II e III

☐ b. Apenas I e II

☐ c. Apenas III e IV

☐ d. II, III e IV

☐ e. I, II e III

Próxima página

Página anterior

Próxima página

Questão 5

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Dentre os seguintes fatores listados abaixo, assinale a alternativa que menciona aquele(s) que facilita(m) a implementação do pipeline MIPS.

I - Conflito estrutural, conflito de controle e conflito de dados

II - Arquitetura possuir todas as instruções com o mesmo tamanho

III - Arquitetura possuir poucos formatos de instrução

Escolha uma opção:

☐ a. Apenas II

☐ b. Apenas III

☒ c. Apenas I

☐ d. I e III

☐ e. II e III

Próxima página

Questão 6

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Considere a execução do trecho de código abaixo com um pipeline MIPS de 5 estágios, sem uma unidade de adiamento ("forwarding unit") e sem uma unidade de detecção de conflito ("hazard detection unit"). Que tipo de conflito ocorre durante a execução dessas instruções e como este conflito poderia ser solucionado via software da melhor maneira possível?

```
add $t2, $s0, $t1
sub $t3, $s1, $t1
or $t4, $s0, $t3
sw $t2, 40($s5)
```

Escolha uma opção:

☐ a. conflito de controle, que pode ser solucionado adicionando uma unidade de adiamento e uma unidade de detecção de conflito.

☒ b. conflito de dados, que pode ser solucionado adicionando instruções add \$0, \$0, \$0 entre as instruções sub e or do código.

☐ c. conflito de controle, que pode ser solucionado adicionando instruções add \$0, \$0, \$0 entre as instruções or e sw do código.

☐ d. conflito de dados, que pode ser solucionado adicionando uma unidade de adiamento.

☐ e. conflito de dados, que pode ser solucionado adicionando instruções add \$0, \$0, \$0 entre as instruções add e sub e também entre as instruções sub e or do código.

Próxima página

Página anterior

Próxima página

Questão 7

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Uma instrução do tipo-R, como a instrução add, passa por quantos estágios no pipeline MIPS para ser executada?

Escolha uma opção:

☒ a. 5

☐ b. 6

☐ c. 2

☐ d. 3

☐ e. 4

Próxima página

Página anterior

Próxima página

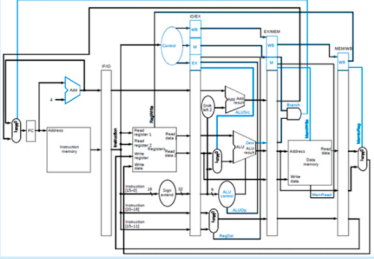
Questão 8

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Considere o caminho de dados em pipeline MIPS com unidade de controle mostrado na figura abaixo. O que é **incorreto** afirmar?



Escolha uma ou mais:

☒ a. Dentre os conflitos estrutural, de controle e de dados, apenas o conflito de controle ainda não foi resolvido nesta implementação.

☐ b. Cada instrução passa pelos 5 estágios do pipeline.

☐ c. Apenas a instrução load salva o dado no banco de registradores no 5º estágio do pipeline.

☐ d. Nesta implementação, o conflito estrutural foi resolvido replicando algumas unidades funcionais.

☐ e. A unidade de controle recebe os bits de controle da instrução decodificada e passa os sinais de controle aos próximos estágios do pipeline por meio dos registradores intermediários EX, M e WB.

Próxima página

Página anterior

Próxima página

Questão 9

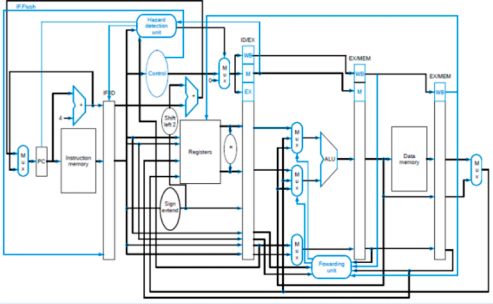
Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Considere a execução do trecho de código abaixo no pipeline mostrado na figura. Que tipo de conflito ocorre durante a execução dessas instruções e como este conflito pode ser solucionado?

```
beq $t1, $t2, Label
and $t3, $s1, $s2
Label:
lw $t4, 0($s0)
add $s4, $s0, $t3
```



Escolha uma opção:

☒ a. Conflito de controle devido ao desvio tomado na instrução branch e também devido à instrução add usar o dado que a instrução load está buscando na memória, e para solucionar esses conflitos o pipeline é paralisado por 1 ciclo de clock em cada caso.

☐ b. Conflito de controle devido ao desvio tomado na instrução branch, e para solucionar esse conflito o pipeline é paralisado por 1 ciclo de clock.

☐ c. Conflito de dados devido à instrução add usar o dado que a instrução load está buscando na memória, e para solucionar esse conflito o pipeline é paralisado por 1 ciclo de clock.

☐ d. Conflito de dados devido ao desvio tomado na instrução branch, e para solucionar esse conflito o pipeline é paralisado por 1 ciclo de clock.

☐ e. Conflito de controle devido à instrução add usar o dado que a instrução load está buscando na memória, e para solucionar esse conflito o pipeline é paralisado por 1 ciclo de clock.

Próxima página

Questão 10

Ainda não respondida

Vale 1,00 ponto(s).

⚑ Marcar questão

Sobre o pipeline MIPS, quais sentenças abaixo são **verdadeiras**?

I - O uso de pipeline é uma forma de tentar melhorar o desempenho do processador, executando mais instruções em menos tempo.

II - Em um pipeline MIPS de 5 estágios, os registradores intermediários são utilizados para transmitir, de um estágio para outro, tanto os dados (como na organização MIPS multiciclo) como também os sinais de controle.

III - É possível ter dois acessos à memória ao mesmo tempo usando pipeline, mesmo tendo apenas uma unidade funcional de memória na organização.

IV - Assim como na organização MIPS multiciclo, no pipeline MIPS, cada instrução tem um número de ciclos diferente, de acordo com o que ela necessite.

Escolha uma opção:

☐ a. I, II e III

☐ b. Apenas II e IV

☐ c. Apenas I e III

☒ d. Apenas I e II

☐ e. Apenas II e III

Próxima página

Página anterior

Finalizar tentativa ...

Retornar para: Turma I - Prof....