Questão 1 Considere o seguinte segmento de código:

No pipeline MTS é setágios com detecção e tratamento de conflitos de dados, essas instruções dembran la quantos ciclos de clock para serem executadas e em qual ciclo será realizada, na unidade Tógica e aritmética, a soma dos valores contidos nos registradores \$t2 e \$t3?

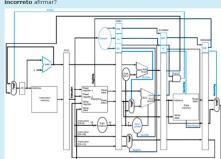
Escolha uma opção:

₩ a. total de 12 ciclos e soma no 9º ciclo

- O b. total de 8 ciclos e soma no 7º ciclo
- O c. total de 10 ciclos e soma no 8º ciclo
- O d. total de 10 ciclos e soma no 9º ciclo
- O e. total de 12 ciclos e soma no 7º ciclo

Questão 2 Ainda não respondida Vale 1,00 ponto(s). Marcar questão

onsidere o caminho de dados em pipeline MIPS com unidade de controle mostrado na figura abaixo. O que é



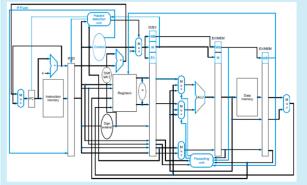
- 🗆 a. Cada instrução passa pelos 5 estágios do pipeline. 💛 🗘
- □ b. Nesta implementação, o conflito estrutural foi resolvido replicando algumas unidades funcionais.
- 🗆 c. A unidade de controle recebe os bits de controle da instrução decodificada e passa os sinais de controle aos próximos estágios do pipeline por meio dos registradores intermediários EX, M e WB
- ☐ d. Apenas a instrução load salva o dado no banco de registradores no 5º estágio do pipeline.
- □ e. Dentre os conflitos estrutural, de controle e de dados, apenas o conflito de controle ainda não foi resolvido nesta implementação

Questão 3 Vale 1,00

Considere a execução do trecho de código abaixo no pipeline mostrado na figura. Que tipo de conflito ocorre durante a execução dessas instruções e como este conflito pode ser solucionado?

assuma que o desvio é tomado

beq \$t1, \$t2, Label and \$t3, \$s1, \$s2 sub \$s3, \$s1, \$s2 lw \$t4, 0(\$s0) add \$s4, \$s0, \$t3



- o a. Conflito de controle devido ao desvio tomado na instrução branch e também devido à instrução add usar o dado que a instrução load está buscando na memória, e para solucionar esses conflitos o pipeline é paralisado por 1 ciclo de clock em cada caso.
- O b. Conflito de dados devido à instrução add usar o dado que a instrução load está buscando na memória, e para solucionar esse conflito o pipeline é paralisado por 1 ciclo de clock.
- c. Conflito de controle devido à instrução add usar o dado que a instrução load está buscando na memória, e para solucionar esse conflito o pipeline é paralisado por 1 ciclo de clock.
- O d. Conflito de controle devido ao desvio tomado na instrução branch, e para solucionar esse conflito o pipeline é paralisado por 1 ciclo de clock.
- O e. Conflito de dados devido ao desvio tomado na instrução branch, e para solucionar esse conflito o pipeline é paralisado por 1 ciclo de clock.

Ainda não

Vale 1,00 ponto(s).

Sobre os conflitos que podem ocorrem no pipeline MIPS, quais afirmativas abaixo são **incorretas**?

I - Ter apenas uma unidade funcional de memória implementada causa um conflito estrutural, já a dependência de dados causa o conflito de dados.

II - A unidade de adiantamento ("forwarding unit") consegue solucionar o conflito de dados de todas as instruções, exceto da instrução load.

III - A unidade de detecção de conflito ("hazard detection unit") é utilizada para tratar apenas o conflito de

IV - A unidade de adiantamento ("forwarding unit"), a unidade de detecção de conflito ("hazard detection unit") e a unidade de controle são implementadas para solucionar os conflitos de dados e de controle.

Escolha uma opção:

- a. I, II e III
- b. Apenas I e II
- c. Apenas III e IV ○ d. II, III e IV
- 💢 e. Apenas II e III

Ainda não Vale 1,00

ponto(s).

 $Dentre\ os\ seguintes\ fatores\ listados\ abaixo,\ assinale\ a\ alternativa\ que\ menciona\ aquele(s)\ que\ dificulta(m)\ a$ implementação do pipeline MIPS.

- I Conflito estrutural, conflito de controle e conflito de dados
- II Arquitetura possuir todas as instruções com o mesmo tamanho
- III Arquitetura ter poucos formatos de instrução

Escolha uma opção:

- a. Apenas I
- O b. Apenas II o c. II e III
- O d. I e II
- e. I e III

Questão 6 Ainda não respondida Vale 1,00 ponto(s).

Considere o seguinte segmento de código:

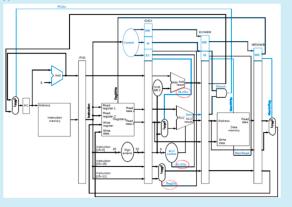
No pipeline MIPS de 5 estágios com detecção e tratamento de conflitos de dados quantos ciclos de clock para serem executadas?

O a. 12 ciclos

- O b. 10 ciclos
- O c. 25 ciclos
- ₩ d. 8 ciclos O e. 9 ciclos
- De acordo com a aula 03 min 20:10, o programa só é paralizado por um ciclo quando temos um branch ou quando a próxima instrução após um LW é usar o dado do LW.
- Então, como aqui tem mais de uma instrução de distância, acho que está tudo bem e não precisa parar

Ouestão 7 Ainda não

Considere o caminho de dados em um pipeline MIPS com unidade de controle mostrado na figura abaixo. Após a decodificação de uma instrução, quais sinais de controle ficam gravados no registrador intermediário EX do pipeline MIPS?



Escolha uma opção

- O a. RegWrite, MemToReg
- O b. Branch, MemRead, MemWrite
- o c. MemRead, MemWrite, MemToReq
- O d. Reg Dst, AluOP, AluScr, RegWrite
- e. Reg Dst, AluOP, AluScr

Questão 8 Ainda não respondida Vale 1,00

ponto(s).

P Marca

Escolha uma opção

- O b. 6
- ⊙ c. 5
- O d. 4
- O e, 2

Ainda não respondida Vale 1,00

Marcar guestão

Considere a execução do trecho de código abaixo com um pipeline MIPS de 5 estágios, sem uma unidade de adiantamento ("forwarding unit") e sem uma unidade de detecção de conflito ("hazard detection unit"). Que tipo de conflito correr durante a execução dessas instruções e como este conflito poderia ser solucionado via software da melhor maneira possível?

Uma instrução branch passa por quantos estágios no pipeline MIPS para ser executada?

or \$t1, \$s0, \$t0 add \$t2, \$t0, \$s1 sub \$t3, \$s0, \$t2 sw \$t1, 40(\$s5)

Escolha uma opção:

- O a. conflito de controle, que pode ser solucionado adicionando uma unidade de adiantamento e uma unidade de detecção de conflito.
- O b. conflito de controle, que pode ser solucionado adicionando instruções add \$0, \$0, \$0 entre as instruções sub e sw do código.
- O c. conflito de dados, que pode ser solucionado adicionando instruções add \$0, \$0, \$0 entre as instruções or e add e também entre as instruções add e sub do código.
- ⊙ d. conflito de dados, que pode ser solucionado adicionando instruções add \$0, \$0, \$0 entre as instruções add e sub do código.
- O e. conflito de dados, que pode ser solucionado adicionando uma unidade de adiantamento.

Ainda não

Vale 1,00

Sobre o pipeline MIPS, quais sentenças abaixo são falsas?

- I Diferente da organização MIPS multiciclo, no pipeline MIPS, todas as instruções passam por 5 ciclos durante a
- II Como na organização MIPS multiciclo, em um pipeline MIPS de 5 estágios, os registradores intermediários são utilizados para transmitir de um estágio para outro os dados e os sinais de controle.

III - Usando pipeline na organização MIPS, é possível ter dois acessos a uma única unidade lógica e aritmética ao

IV - No pipeline MIPS, mais instruções são executadas em menos tempo do que na organização MIPS multiciclo.

Escolha uma opção:

- O a. Apenas I e II
- b. Apenas I e III
- O c. Apenas II e IV
- O d. Apenas II e III
- e. I, II e III