

# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

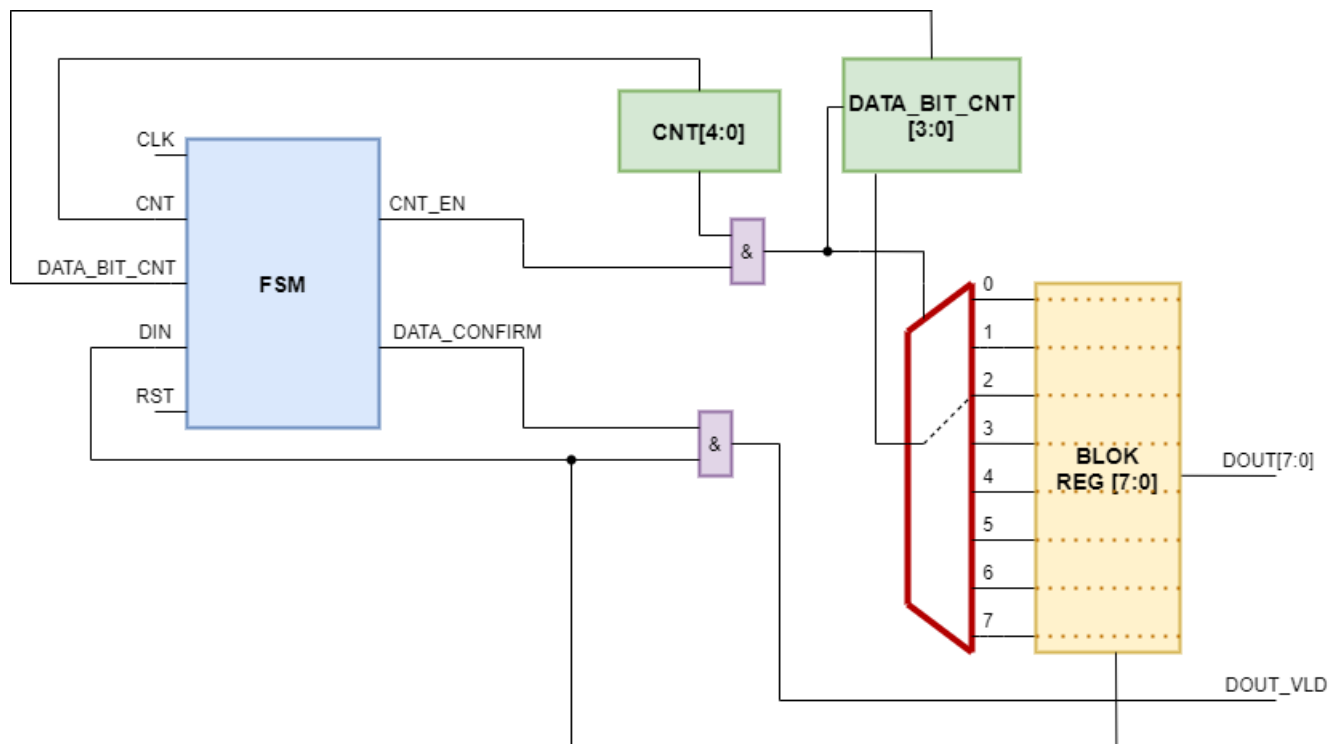
## FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

### Návrh číslicových systémů

## UART – přijímací část

# 1 Architektúra navrhnutého obvodu (na úrovni RTL)

## 1.1 Schéma obvodu



## 1.2 Popis funkcie

### Vstupy FSM

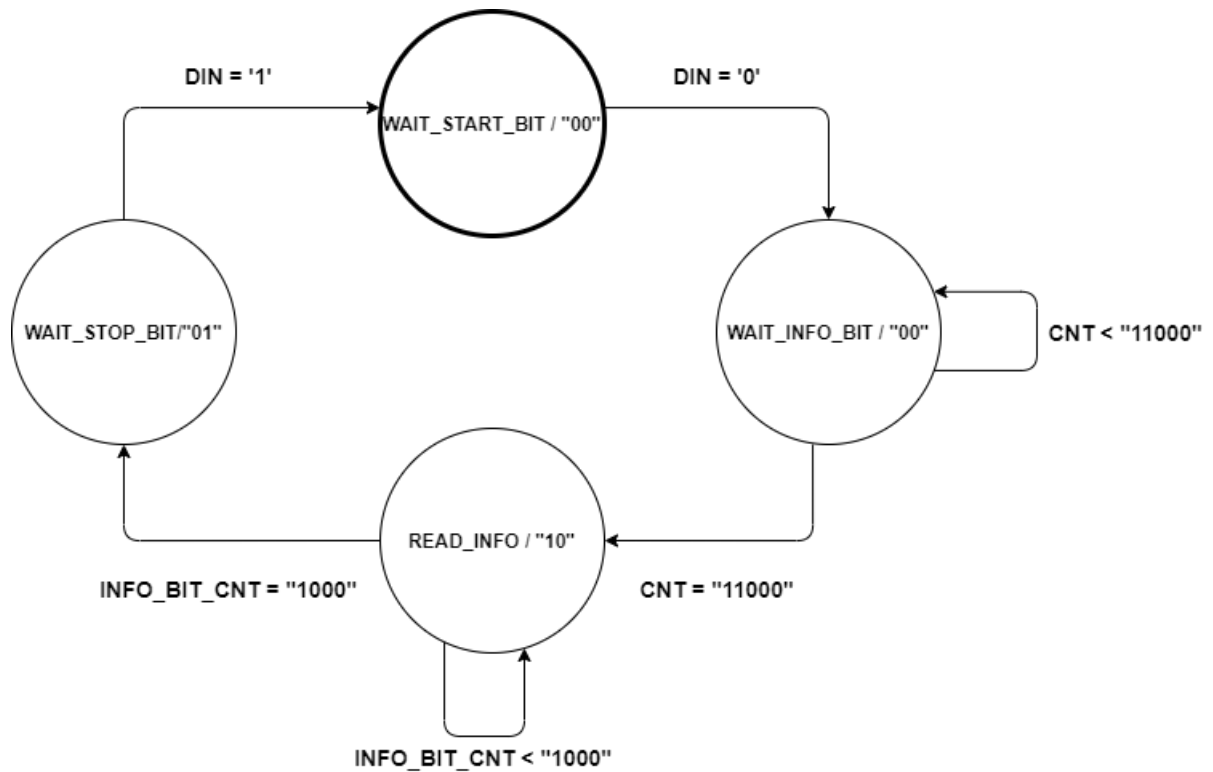
- CLK – hodinový signál
- CNT – counter
- DATA\_BIT\_CNT – counter zaslaných bitov
- DIN – dátový vstup
- RST – reset

### Vstupy FSM

- CNT\_EN – DATA\_BIT\_CNT
- DATA\_CONFIRM – potvrdenie validity dát

CNT sa iteruje do hodnoty "11000", následne pokiaľ má CNT\_EN hodnotu '1' nastaví sa nultý bit na registri do hodnoty DIN a spustí sa DATA\_BIT\_CNT, ktorý sa každých po 16 iterácií CNT iteruje o 1 a následne postupne zapisuje bity z DIN do registra. Následne sa skontroluje, či prijaté dáta su validné podľa toho či DIN a DATA\_CONFIRM sú v '1'.

## 2 Návrh automatu (Finite State Machine)



### 2.1 Popis funkcie

Automat začína v stave **WAIT\_START\_BIT**. Pri zmene hodnoty **DIN** na '0' sa stav zmení na **WAIT\_INFO\_BIT**, ktorý sa nemení dokým hodnota **CNT** není rovná "11000" (najdenie nultého bitu). V stave **READ\_INFO** čaká na prečítanie dátového slova a následne sa stav zmení na **WAIT\_STOP\_BIT**, kde čaká na zmenu vstupu na '1' a celý proces sa znova opakuje.

### 3 Snímok obrazovky zo simulácie

