

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Інститут комп'ютерних технологій, автоматики та метрології
кафедра “Електронних обчислювальних машин”



Звіт

з лабораторної роботи №1

дисципліни «МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ»

на тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.»

Варіант 7

Виконав:
студент групи
KI-202

Дзюбайло І.Л
Прийняв:
Козак Н.Б

Львів – 2024

• **ЛАБОРАТОРНА РОБОТА №1**

**Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.**

Мета роботи: Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.

Завдання

1. Інсталяція Xilinx ISE та додавання ліцензії.
2. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Вхідні дані:

in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	1	1	0	0	1	0
0	1	1	1	0	1	0	0
1	0	0	1	1	0	1	0
1	1	1	0	0	1	1	0

Виконання роботи

Map	Map	Map	Map	Map	Map																
$\overline{B} \ B$ $\overline{A} \ 1 \ 1$ $A \ 0 \ 1$	$\overline{B} \ B$ $\overline{A} \ 1 \ 1$ $A \ 1 \ 0$	$\overline{B} \ B$ $\overline{A} \ 0 \ 0$ $A \ 1 \ 0$	$\overline{B} \ B$ $\overline{A} \ 0 \ 1$ $A \ 0 \ 1$	$\overline{B} \ B$ $\overline{A} \ 1 \ 0$ $A \ 1 \ 1$	$\overline{B} \ B$ $\overline{A} \ 0 \ 0$ $A \ 0 \ 0$																
Map Layout	Map Layout	Map Layout	Map Layout	Map Layout	Map Layout																
$\overline{B} \ B$ $\overline{A} \ 0 \ 1$ $A \ 2 \ 3$	$\overline{B} \ B$ $\overline{A} \ 0 \ 1$ $A \ 2 \ 3$	$\overline{B} \ B$ $\overline{A} \ 0 \ 1$ $A \ 2 \ 3$	$\overline{B} \ B$ $\overline{A} \ 0 \ 1$ $A \ 2 \ 3$	$\overline{B} \ B$ $\overline{A} \ 0 \ 1$ $A \ 2 \ 3$	$\overline{B} \ B$ $\overline{A} \ 0 \ 1$ $A \ 2 \ 3$																
Groups	Groups	Groups	Groups	Groups	Groups																
<table><tr><td>(0,1)</td><td>\overline{A}</td></tr><tr><td>(1,3)</td><td>B</td></tr></table>	(0,1)	\overline{A}	(1,3)	B	<table><tr><td>(0,1)</td><td>\overline{A}</td></tr><tr><td>(0,2)</td><td>\overline{B}</td></tr></table>	(0,1)	\overline{A}	(0,2)	\overline{B}	<table><tr><td>(2)</td><td>$A \cdot B$</td></tr></table>	(2)	$A \cdot B$	<table><tr><td>(1,3)</td><td>B</td></tr></table>	(1,3)	B	<table><tr><td>(0,2)</td><td>\overline{B}</td></tr><tr><td>(2,3)</td><td>A</td></tr></table>	(0,2)	\overline{B}	(2,3)	A	$y = 0$
(0,1)	\overline{A}																				
(1,3)	B																				
(0,1)	\overline{A}																				
(0,2)	\overline{B}																				
(2)	$A \cdot B$																				
(1,3)	B																				
(0,2)	\overline{B}																				
(2,3)	A																				
$y = A' + B$	$y = A' + B'$	$y = AB'$	$y = B$	$y = B' + A$																	

Рис1.1(Спрощення для Out_0 – Out_5)

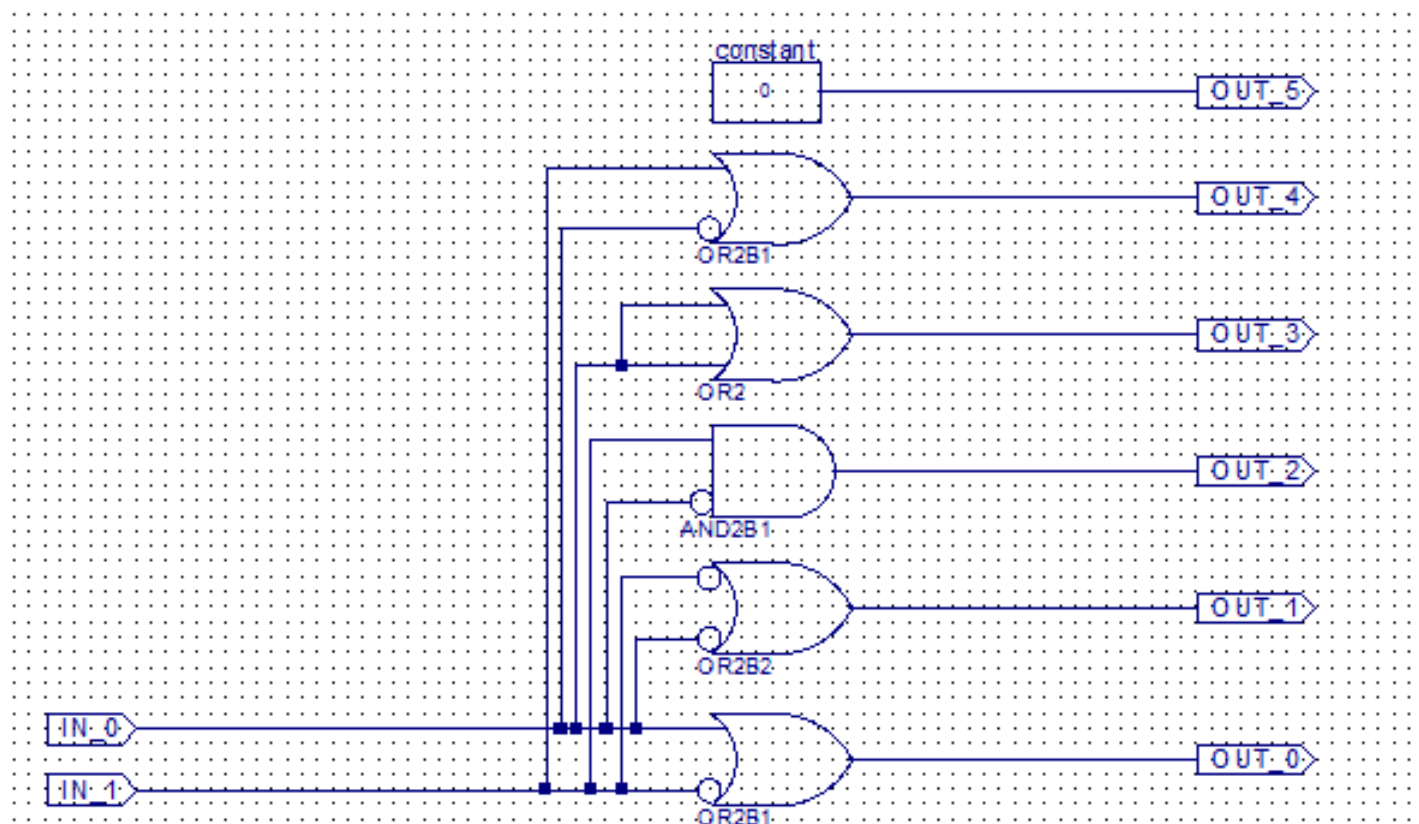


Рис.1.1 Схема дешифратора

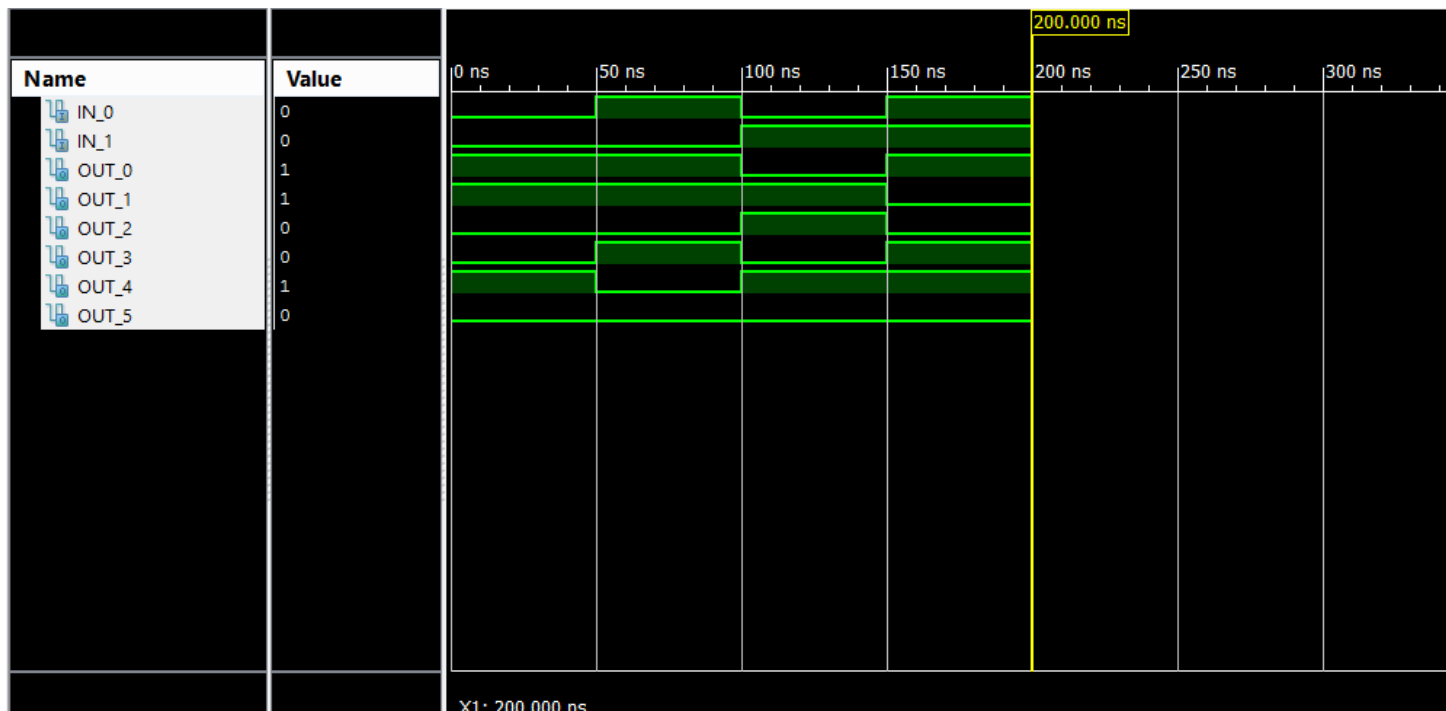


Рис.1.2 Графік частот

```
#+++++
+++++
#

# This file is a .ucf for ElbertV2 Development Board
#

# To use it in your project :                                #

# * Remove or comment the lines corresponding to unused pins in the project
#

# * Rename the used signals according to the your project
#

#+++++
+++++
#

#*****
*****
*****#
```

UCF for ElbertV2 Development Board
#

#####

#####

CONFIG VCCAUX = "3.3" ;

Clock 12 MHz

#NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD
= 12MHz;

#####

LED

#####

NET "OUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_2" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_4" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

NET "OUT_5" LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

#NET "LED[6]" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW
 = SLOW | DRIVE = 12;

#NET "LED[7]" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW
 = SLOW | DRIVE = 12;

#####

DP Switches

#####

NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 |
 SLEW = SLOW | DRIVE = 12;

NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 |
 SLEW = SLOW | DRIVE = 12;

#NET "DPSwitch[2]" LOC = P68 | PULLUP | IOSTANDARD =
 LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD =
 LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD =
 LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD =
 LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD =
 LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD =
 LVCMOS33 | SLEW = SLOW | DRIVE = 12;

Висновок:

Навчився інсталяції та ознайомився з середовищем розробки Xilinx ISE та стендом Elbert V2 – Spartan 3A FPGA.