

Projet Industriels:

ADDITIONNEUR BCD AVEC AFFICHAGE 7 SEGMENTS

Réalisé par:

1AP G3
IKRAM MOUSLIH
SOHAIB JALIL

Encadré par:

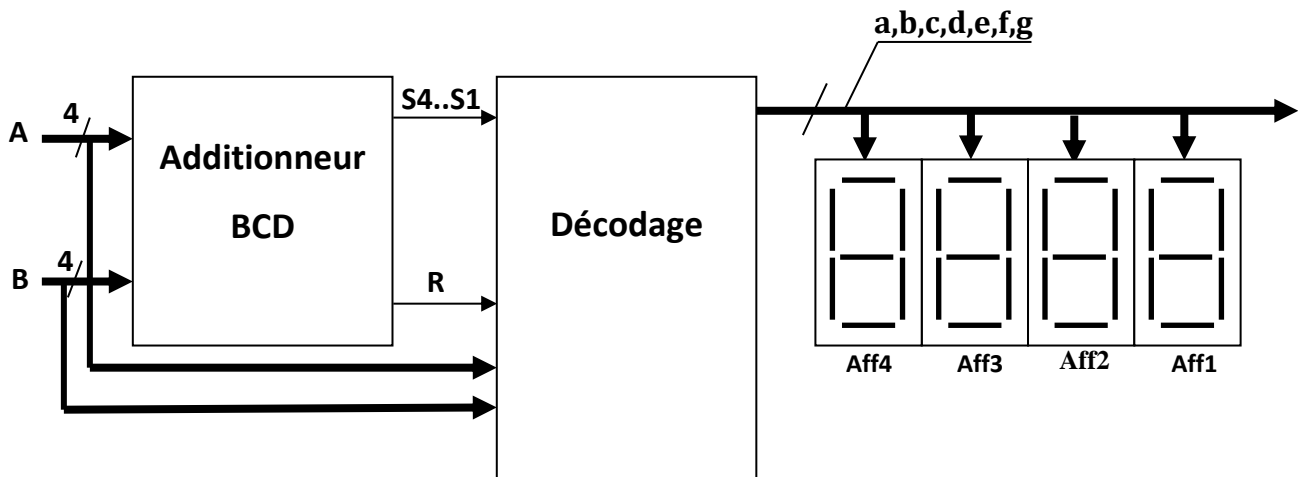
M. ALI HUIMAD

ADDITIONNEUR BCD AVEC AFFICHAGE 7 SEGMENTS

I- Principe

Il s'agit de concevoir un système logique permettant d'additionner deux nombres **A** et **B** codés en **BCD** et d'afficher les deux nombres **A** et **B**, et le résultat d'addition BCD.

Le schéma synoptique est le suivant :

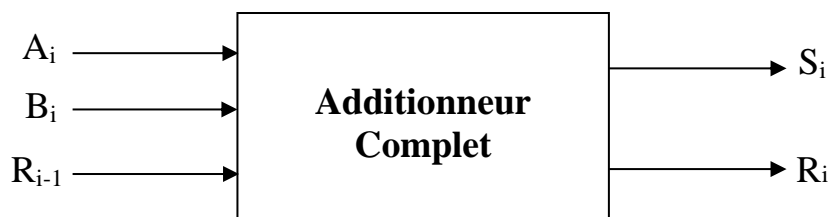


1- Circuit « Additionneur BCD » :

1-1- Réalisation d'un additionneur binaire 4bits :

i. Etude d'un additionneur complet :

Il s'agit de concevoir un circuit à 3 entrées : les entrées A_i et B_i de l'étage i considéré et l'entrée R_{i-1} (retenue de l'étage précédent $i-1$) et de deux sorties : La somme S_i et la retenue R_i .



Circuit 1

• Théorique :

a) Table de vérité :

R_{i-1}	B	A		S_i	R_i
0	0	0		0	0
0	0	1		1	0
0	1	0		1	0
0	1	1		0	1
1	0	0		1	0
1	0	1		0	1
1	1	0		0	1
1	1	1		1	1

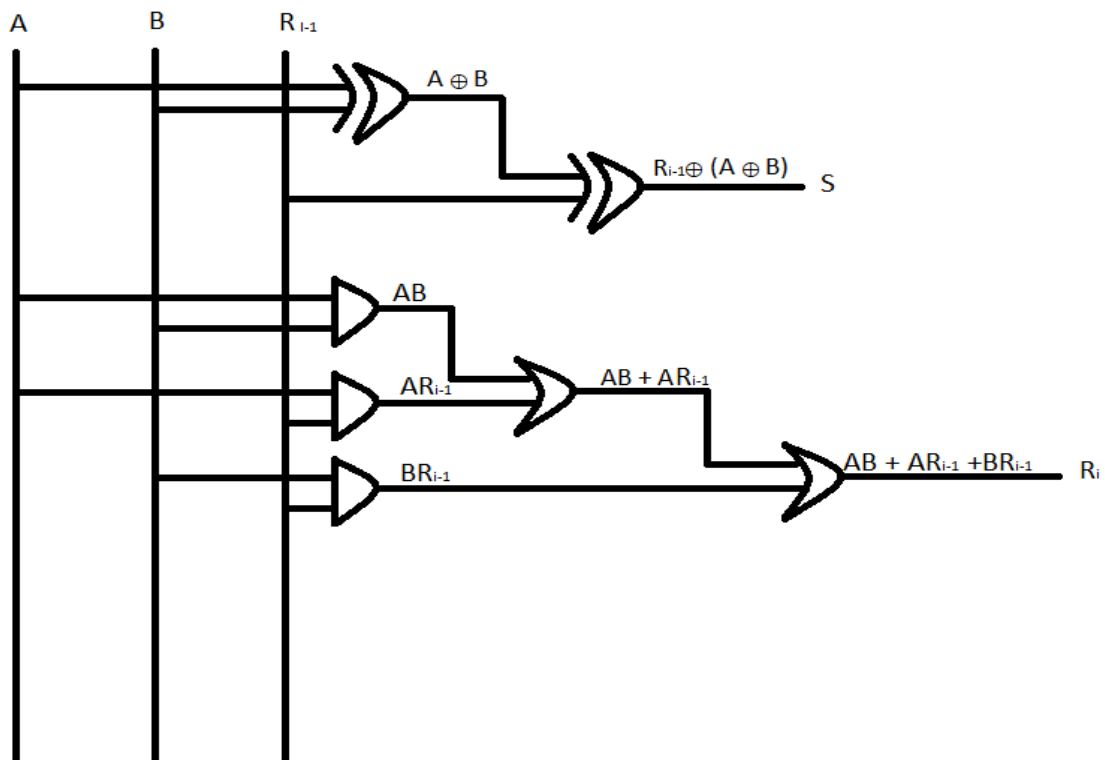
b) Les équations logiques des sorties S_i et R_i :

$R_{i-1} = C$ pour simplification :

$$S_i = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC \rightarrow S_i = C \oplus (A \oplus B)$$

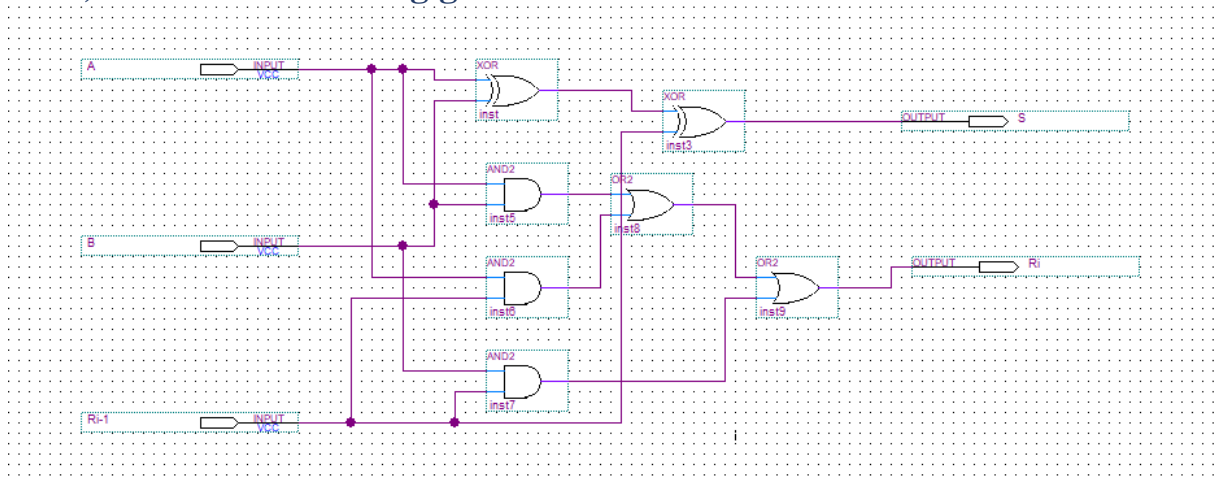
$$R_i = AB\bar{C} + \bar{A}BC + A\bar{B}C + ABC \rightarrow R_i = AB + AC + BC$$

c) Le Logigramme (AND, OR et XOR) :

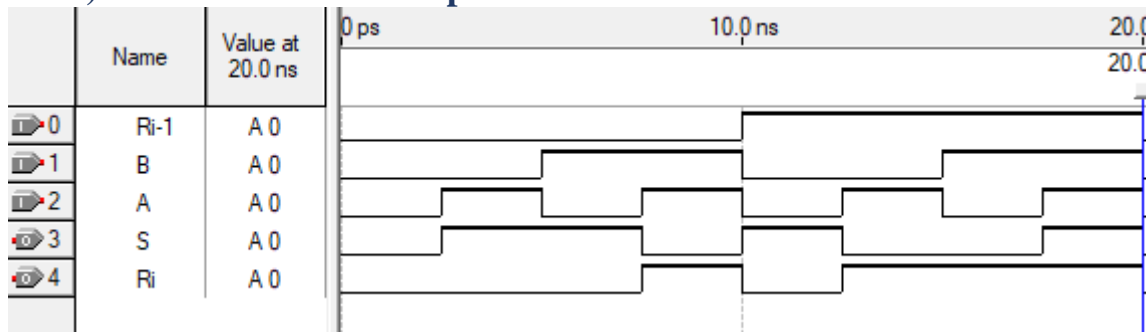


- **Manipulation :**

a) **Le schéma de ce logigramme :**



b) **Le test de ce schéma par le VECTOR WAVE FORM :**



c) **Le composant programmable (PIN PLANNER) :**

Groups

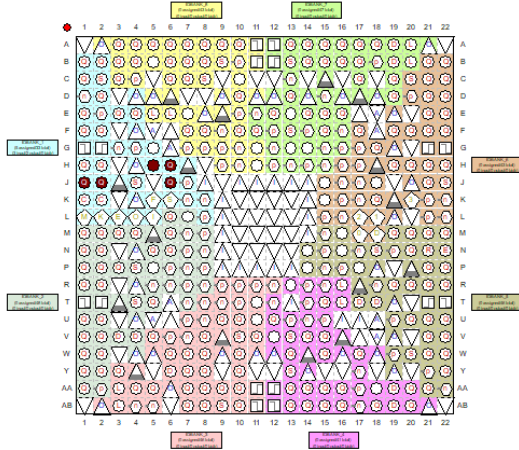
Named: []

Node Name

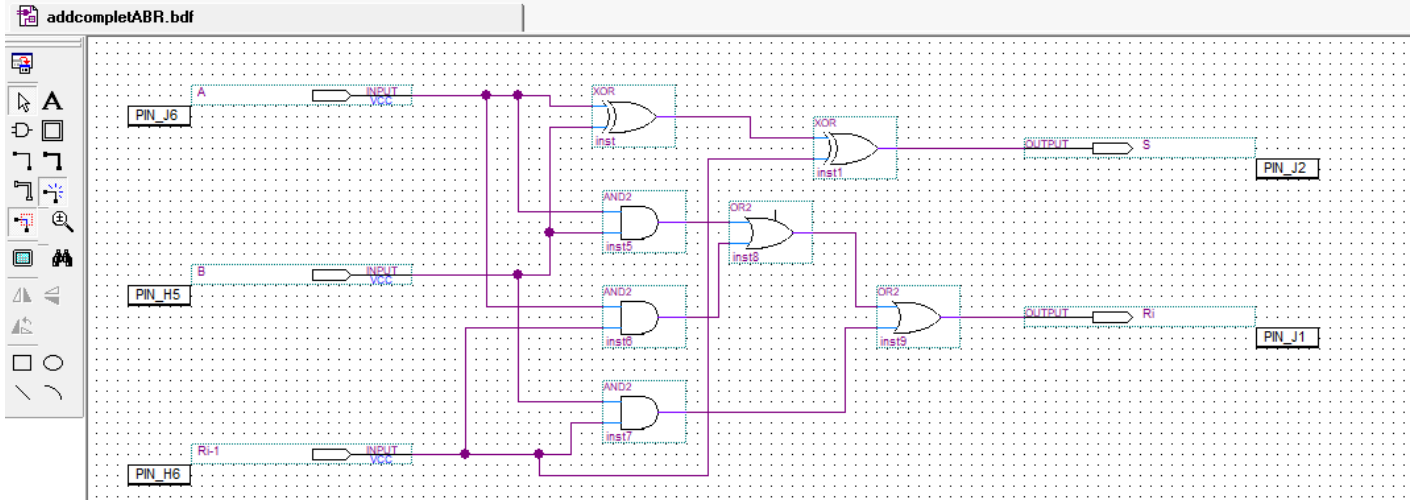
<<new node>>

Top View - Wire Bond

Cyclone III - EP3C16F484C6

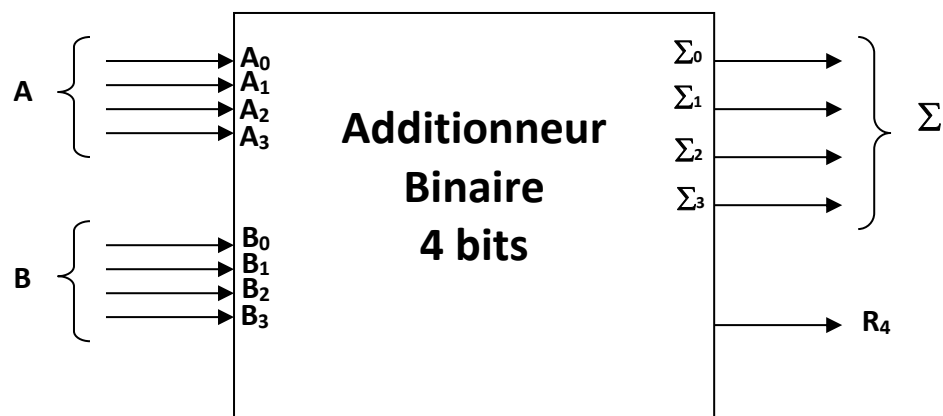


Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group	Current Strength	Slew Rate	Diff
1 A	Input	PIN_J6	1	B1_N0	2.5 V (default)			8mA (default)		
2 B	Input	PIN_H5	1	B1_N0	2.5 V (default)			8mA (default)		
3 Ri	Output	PIN_J1	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)	
4 Ri-1	Input	PIN_H6	1	B1_N0	2.5 V (default)			8mA (default)		
5 S	Output	PIN_J2	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)	



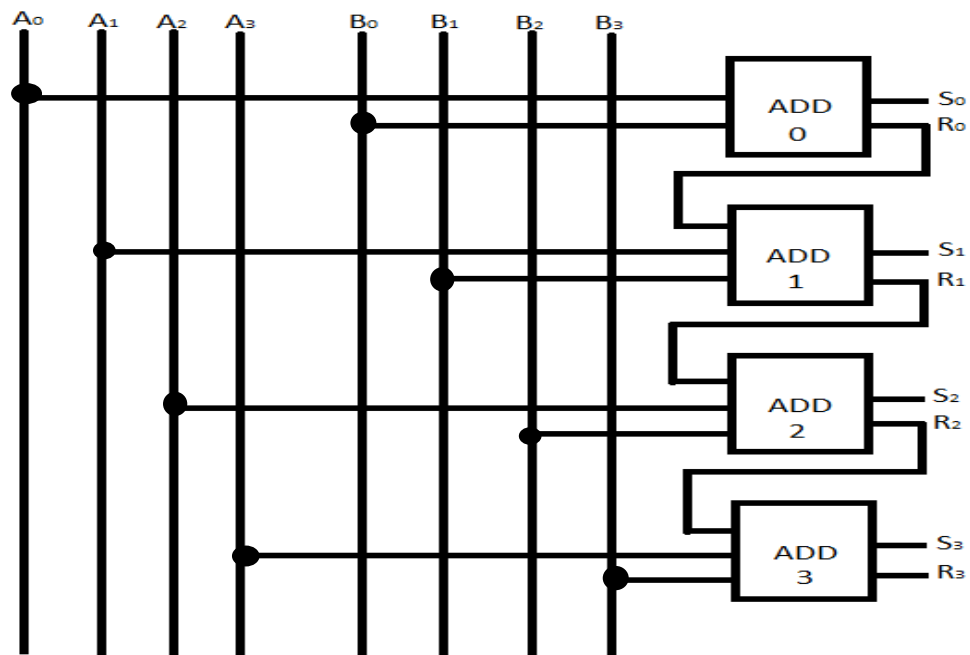
ii. Additionneur binaire de deux mots de 4 bits :

On doit mettre le schéma du circuit 1 sous forme de bloc et puis tracer le schéma de l'additionneur binaire de 4bits (circuit 2) en utilisant 4 additionneurs complets (circuit 1) :



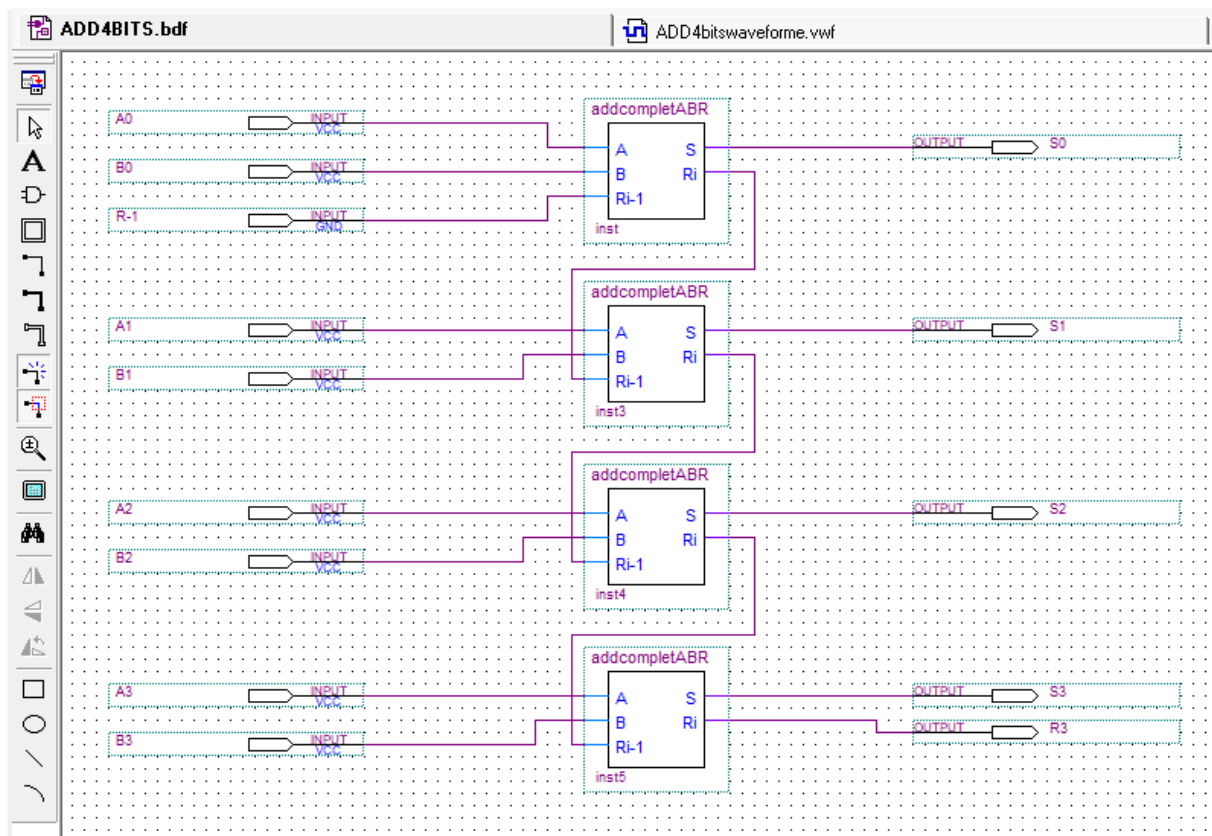
Circuit 2

Le schéma de l'additionneur binaire de 4bits

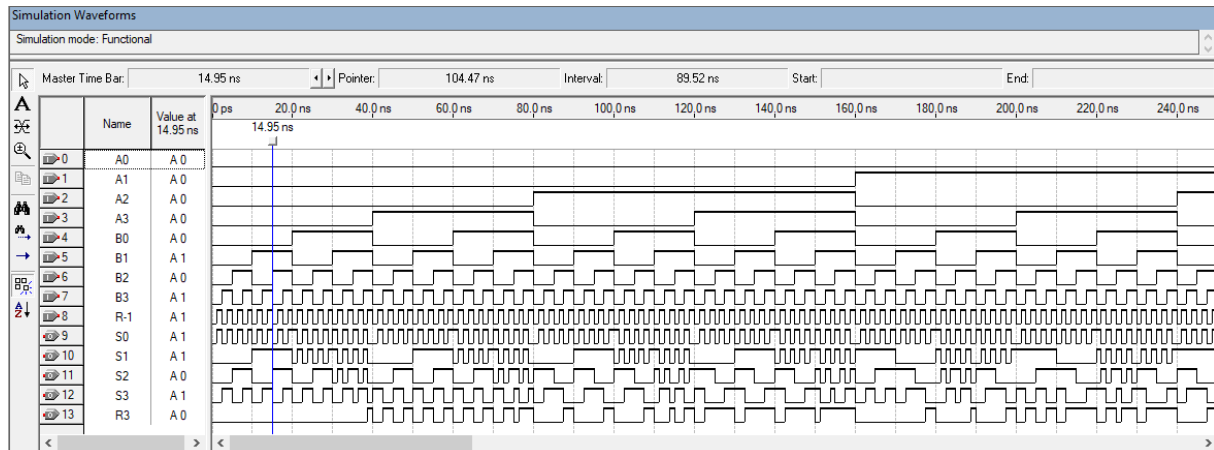


• Manipulation :

a) Le schéma de ce logigramme :

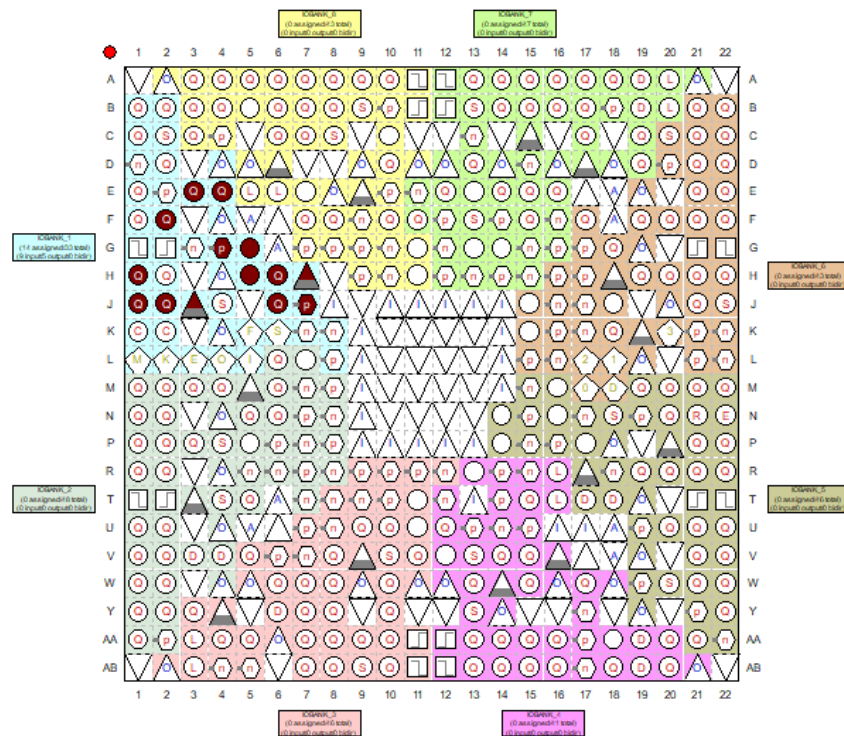















b) Le test de ce schéma par le VECTOR WAVE FORM :

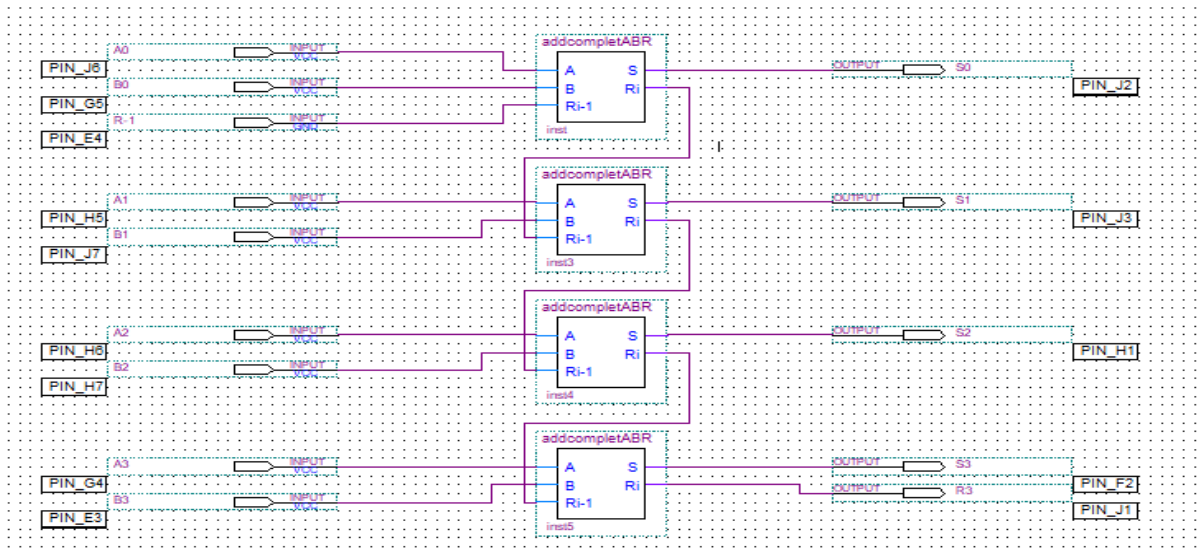


c) Le composant programmable (PIN PLANNER) :

Top View - Wire Bond
Cyclone III - EP3C16F484C6



		Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group	Current Strength	Slew Rate
2		A1	Input	PIN_H5	1	B1_N0	2.5 V (default)			8mA (default)	
3		A2	Input	PIN_H6	1	B1_N0	2.5 V (default)			8mA (default)	
4		A3	Input	PIN_G4	1	B1_N0	2.5 V (default)			8mA (default)	
5		B0	Input	PIN_G5	1	B1_N0	2.5 V (default)			8mA (default)	
6		B1	Input	PIN_J7	1	B1_N1	2.5 V (default)			8mA (default)	
7		B2	Input	PIN_H7	1	B1_N0	2.5 V (default)			8mA (default)	
8		B3	Input	PIN_E3	1	B1_N0	2.5 V (default)			8mA (default)	
9		R-1	Input	PIN_F4	1	B1_N0	2.5 V (default)			8mA (default)	
10		R3	Output	PIN_J1	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)
11		S0	Output	PIN_J2	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)
12		S1	Output	PIN_J3	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)
13		S2	Output	PIN_H1	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)
14		S3	Output	PIN_F2	1	B1_N0	2.5 V (default)			8mA (default)	2 (default)



1-2-Réalisation de l'additionneur BCD

a) Soit : $A = A_3A_2A_1A_0$ et $B = B_3B_2B_1B_0$

RESULTAT DE L'ADDITION BINAIRE

RESULTAT DE L'ADDITION BCD

Résultat possible	R3	Σ3	Σ2	Σ1	Σ0	R	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	1
2	0	0	0	1	0	0	0	0	1	0
3	0	0	0	1	1	0	0	0	1	1
4	0	0	1	0	0	0	0	1	0	0
5	0	0	1	0	1	0	0	1	0	1
6	0	0	1	1	0	0	0	1	1	0
7	0	0	1	1	1	0	0	1	1	1
8	0	1	0	0	0	0	1	0	0	0
9	0	1	0	0	1	0	1	0	0	1
10	0	1	0	1	0	1	0	0	0	0
11	0	1	0	1	1	1	0	0	0	1
12	0	1	1	0	0	1	0	0	1	0
13	0	1	1	0	1	1	0	0	1	1
14	0	1	1	1	0	1	0	1	0	0
15	0	1	1	1	1	1	0	1	0	1
16	1	0	0	0	0	1	0	1	1	0
17	1	0	0	0	1	1	0	1	1	1
18	1	0	0	1	0	1	1	0	0	0

Exemple :

○ On note que :

- **R3Σ3Σ2Σ1Σ0** : est le résultat de l'addition binaire.
- **RS3S2S1S0** : est le résultat de l'addition BCD.

○ On déduit donc que :

$$\mathbf{R3\Sigma3\Sigma2\Sigma1\Sigma0 = 10000} \quad \text{et} \quad \mathbf{R\ S3S2S1S0 = 1\ 0110}$$

b) - **L'addition binaire** sur 4 bits se présente d'une façon normale, jusqu'à ce qu'on arrive à 15 car le plus grand nombre qu'on peut écrire sur 4 bits est 15.

$$1111 = 2^3 + 2^2 + 2^1 + 2^0 = 8 + 4 + 2 + 1 = 15$$

Après, on utilise la retenue comme le 5^{ème} bit.

Exemple :

$$\mathbf{R3\Sigma3\Sigma2\Sigma1\Sigma0 = 10000}$$

↓

16

- **L'addition BCD** est similaire à l'addition binaire du 0 à 9. Au-delà de 9, on utilise la retenue pour représenter les dizaines.

Exemples :

$$\mathbf{R\ S3S2S1S0 = 1\ 0110}$$

↓ ↓

1 6

- c) - Cette différence crée un problème au niveau du passage du décimal au binaire ou du binaire au décimal, donc on doit trouver une solution pour ajuster le résultat de l'addition binaire :

Dès que la somme du A et B dépasse 9, on doit effectuer une correction. Cette dernière est d'ajouter 6 en binaire (0110) au nombre >9 en binaire.

Exemple :

$$\begin{array}{rcl} 7 & + & 8 = 15 > 9 \\ 0111 & + & 1000 = 1111 > 1001 \end{array} \left. \vphantom{\begin{array}{rcl} 7 & + & 8 \\ 0111 & + & 1000 \end{array}} \right\} \begin{array}{l} \text{on doit ajouter 6 (0110) à 15 (1111)} \\ \text{pour passer au BCD.} \end{array}$$

$$\begin{array}{ccc} \underbrace{1111}_{15 \text{ en binaire}} & + & \underbrace{0110}_{6 \text{ en binaire}} \longrightarrow \underbrace{10101}_{15 \text{ en BCD}} \end{array}$$

■ **Le schéma du logigramme de l'additionneur BCD**

(en utilisant deux additionneurs binaires 4bits et des portes logiques élémentaires.)

RESULTAT DE L'ADDITION BINAIRE						RESULTAT DE L'ADDITION BCD				
Résultat possible	R3	Σ3	Σ2	Σ1	Σ0	R	S3	S2	S1	S0
10	0	1	0	1	0	1	0	0	0	0
11	0	1	0	1	1	1	0	0	0	1
12	0	1	1	0	0	1	0	0	1	0
13	0	1	1	0	1	1	0	0	1	1
14	0	1	1	1	0	1	0	1	0	0
15	0	1	1	1	1	1	0	1	0	1
16	1	0	0	0	0	1	0	1	1	0
17	1	0	0	0	1	1	0	1	1	1
18	1	0	0	1	0	1	1	0	0	0

On ajoute 0110 au cas du :

- 1) $\Sigma 3. \Sigma 1 = 1$ (du 10 à 11)
 - 2) $\Sigma 3. \Sigma 2 = 1$ (du 12 à 15)
 - 3) $R_3 = 1$ (du 16 à 18)
- donc l'équation est : $f = R_3 + \Sigma 3. \Sigma 2 + \Sigma 3. \Sigma 1$

Autrement dit, $R_3 \Sigma 3 \Sigma 2 \Sigma 1 \Sigma 0 > 01001$ au cas :

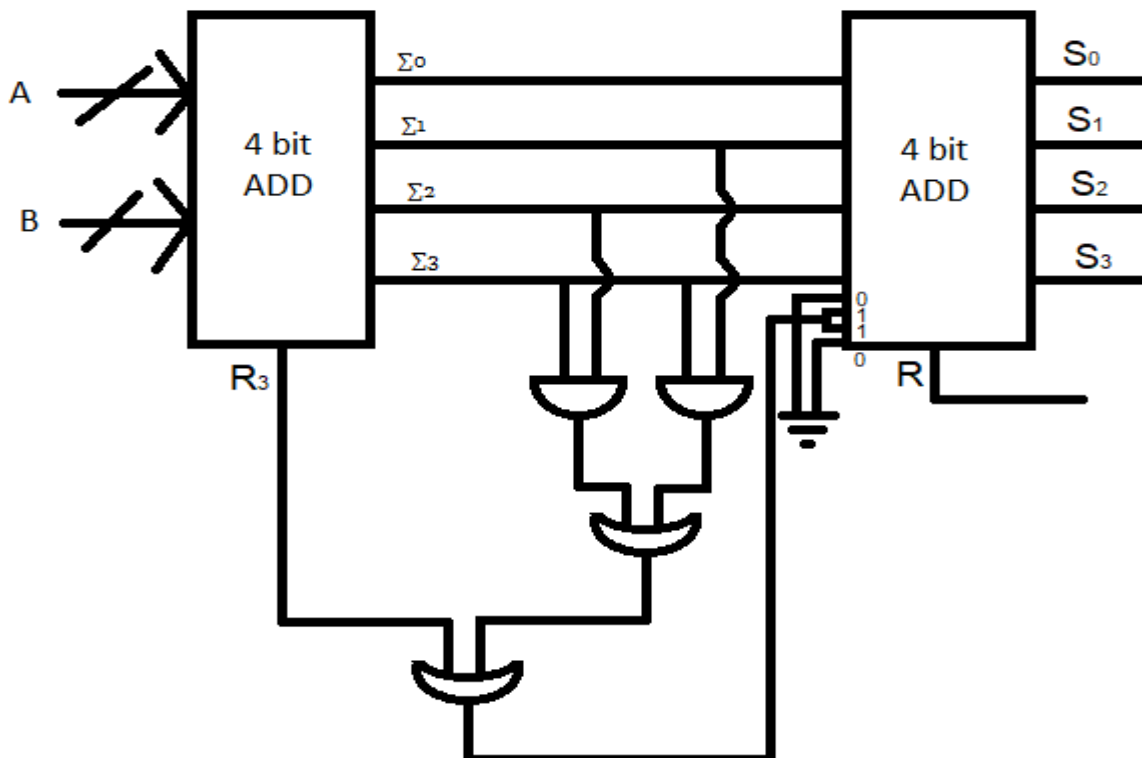
0 | 1 | 0 | 0 | 1
 $R_3 | \Sigma 3 | \Sigma 2 | \Sigma 1 | \Sigma 0$

. $R_3 = 1$ (du 16 à 18)

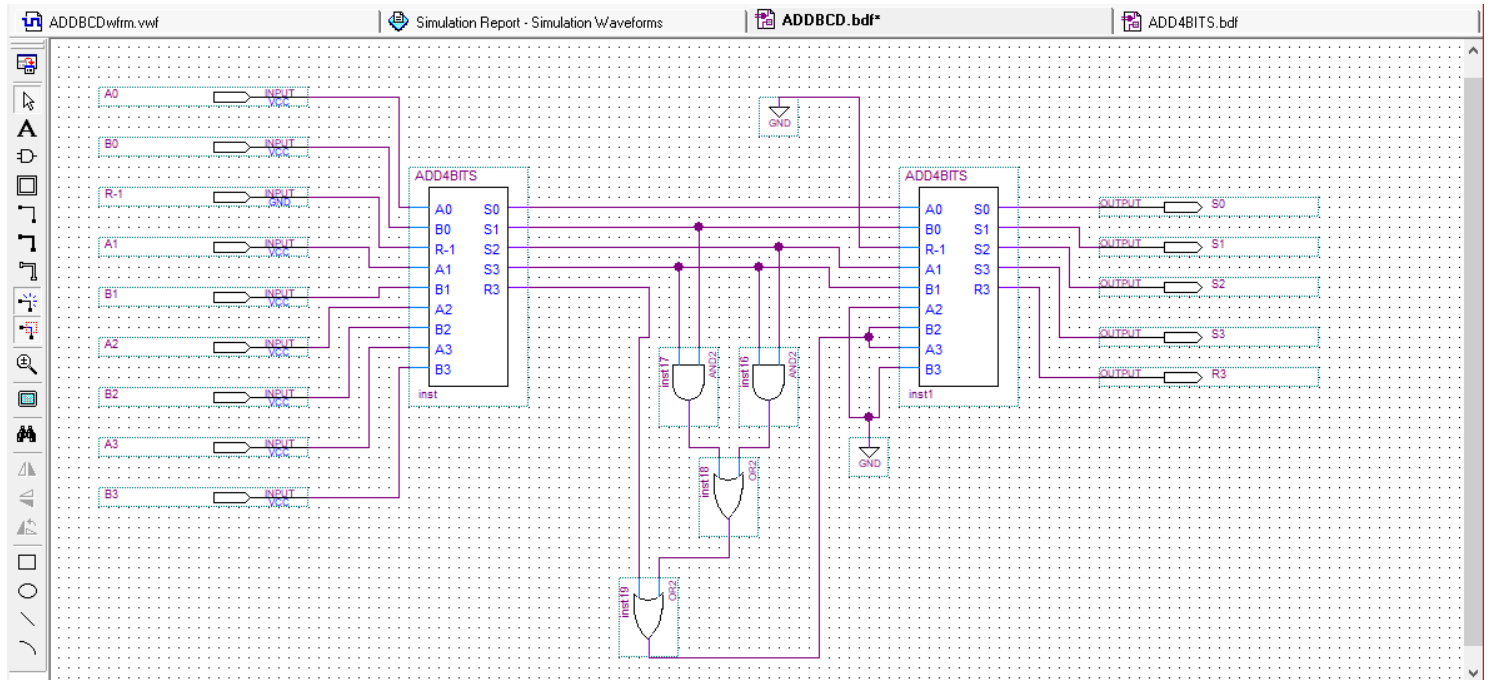
. $\Sigma 3. \Sigma 2. \Sigma 1. \Sigma 0 = 1$
 . $\Sigma 3. \Sigma 1. \Sigma 0 = 1$
 . $\Sigma 3. \Sigma 2. \Sigma 0 = 1$
 . $\Sigma 3. \Sigma 2. \Sigma 1 = 1$
 . $\Sigma 3. \Sigma 2 = 1$
 . $\Sigma 3. \Sigma 1 = 1$

(du 10 à 15)

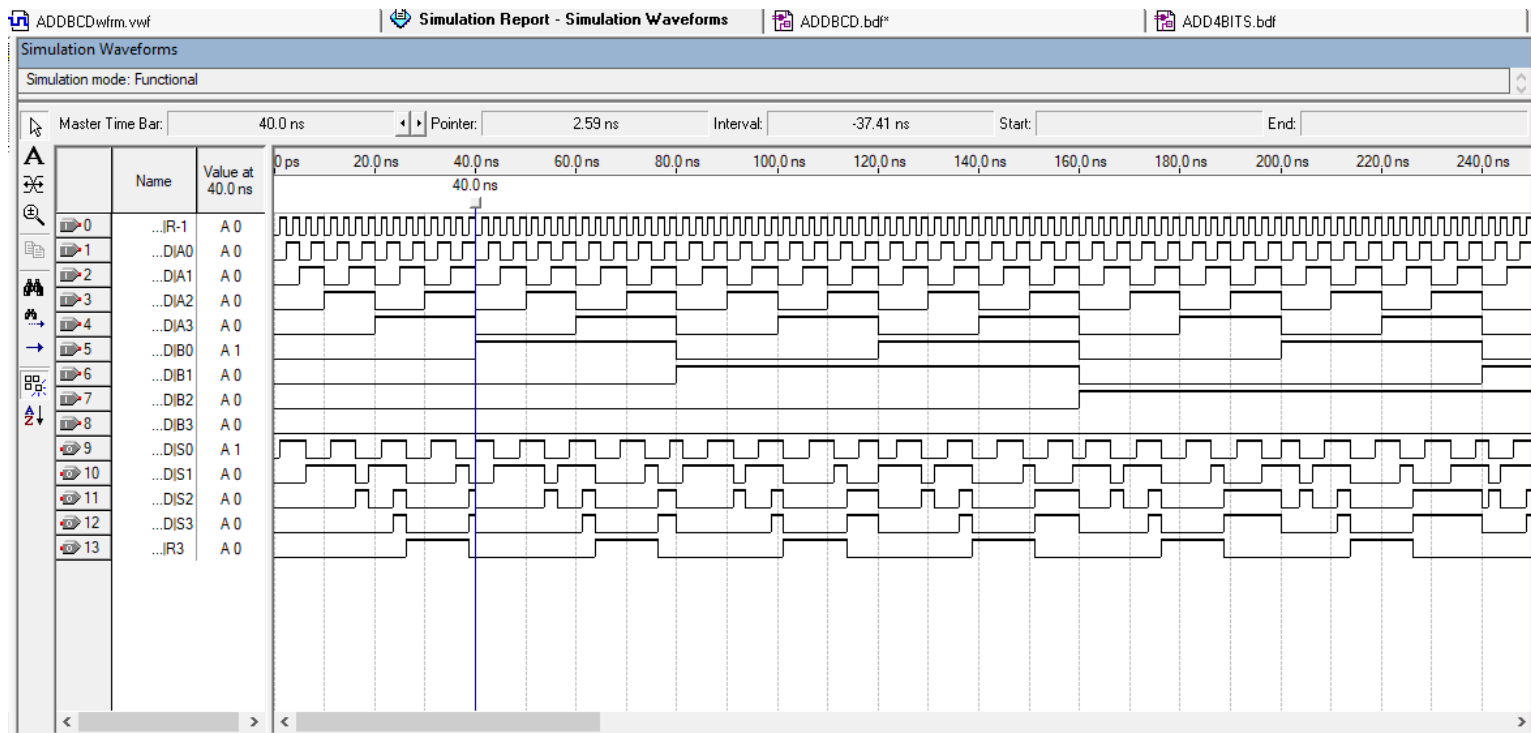
Donc l'équation après simplification : $f = R_3 + \Sigma 3. \Sigma 2 + \Sigma 3. \Sigma 1$



a) Le schéma sur Quartus :

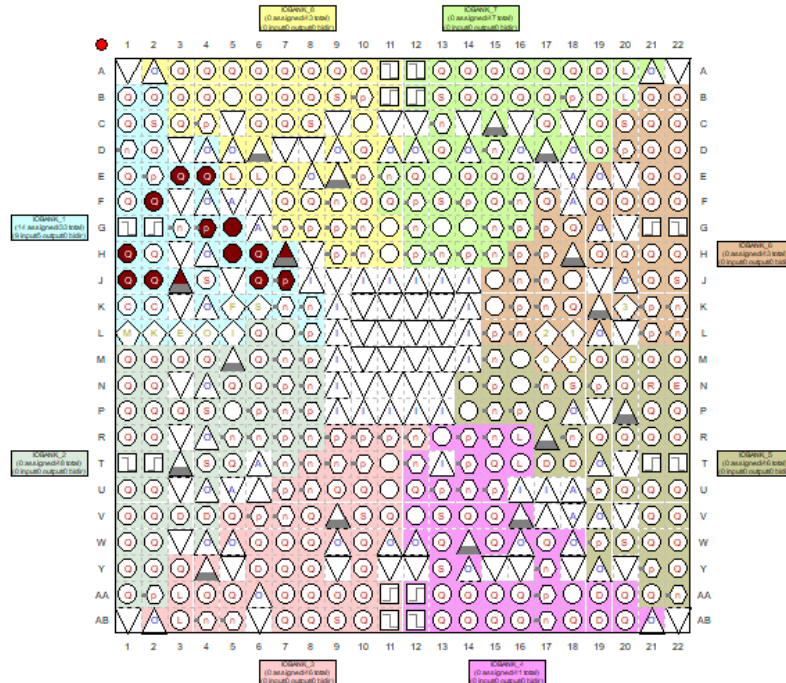


b) Le VECTOR WAVE FORM :

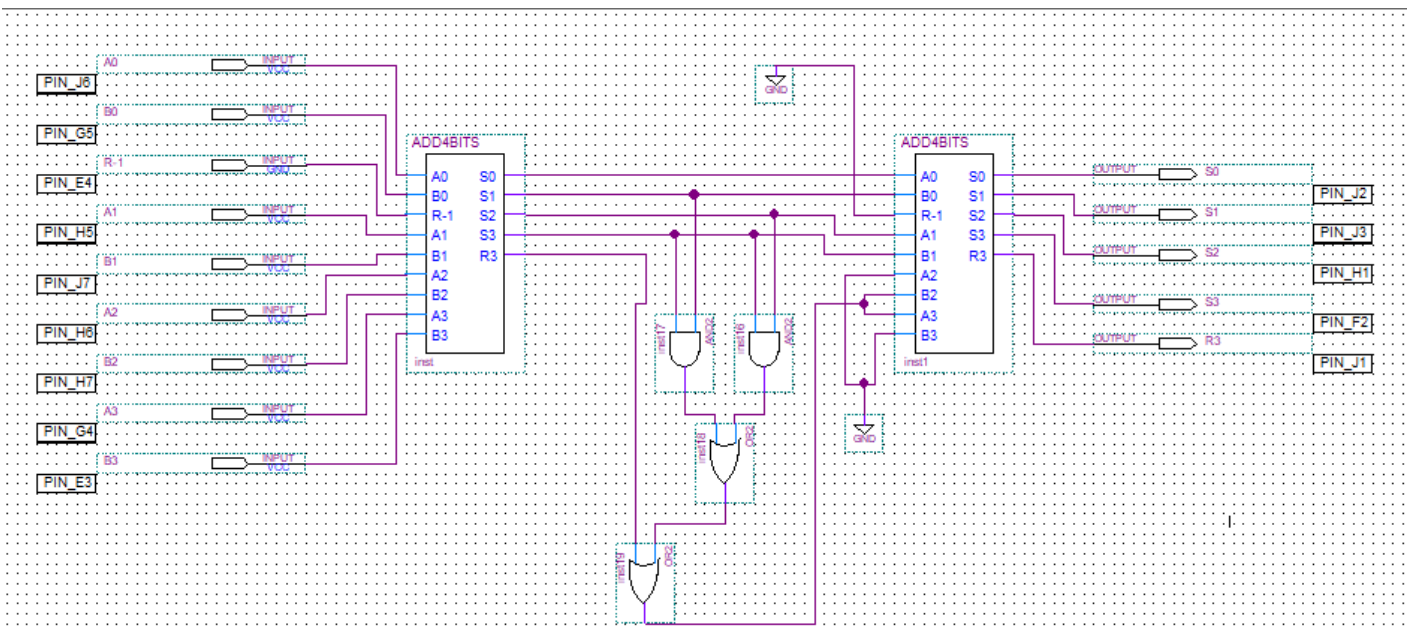


c) Le composant programmable (PIN PLANNER) :

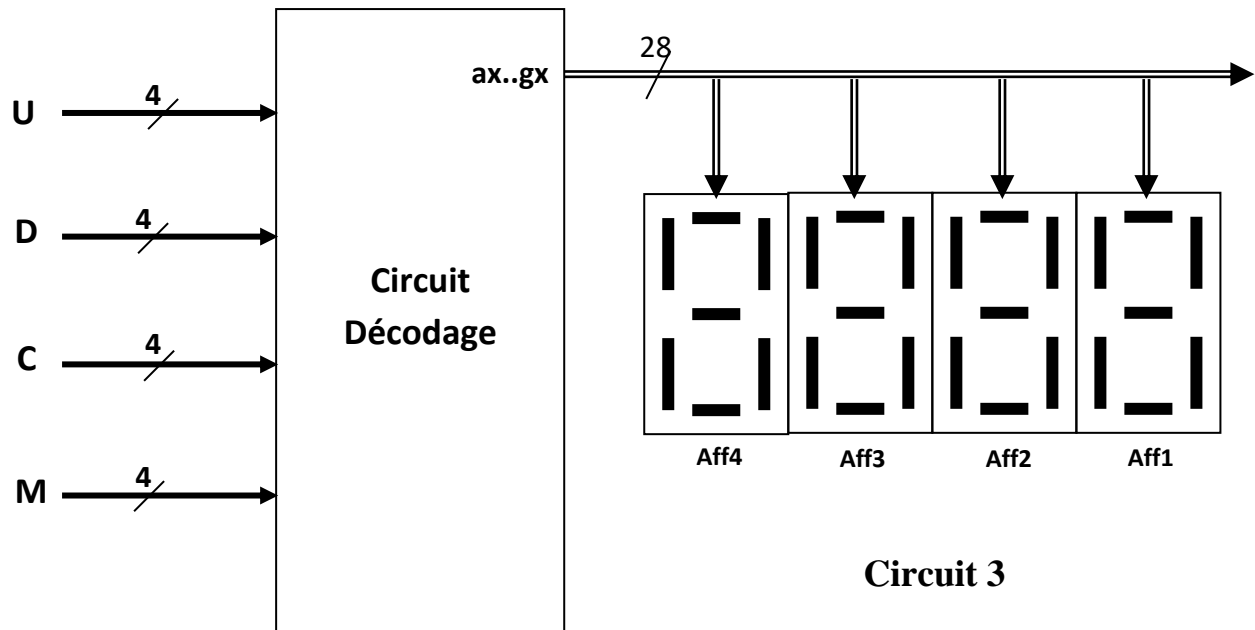
Top View - Wire Bond Cyclone III - EP3C16F484C6



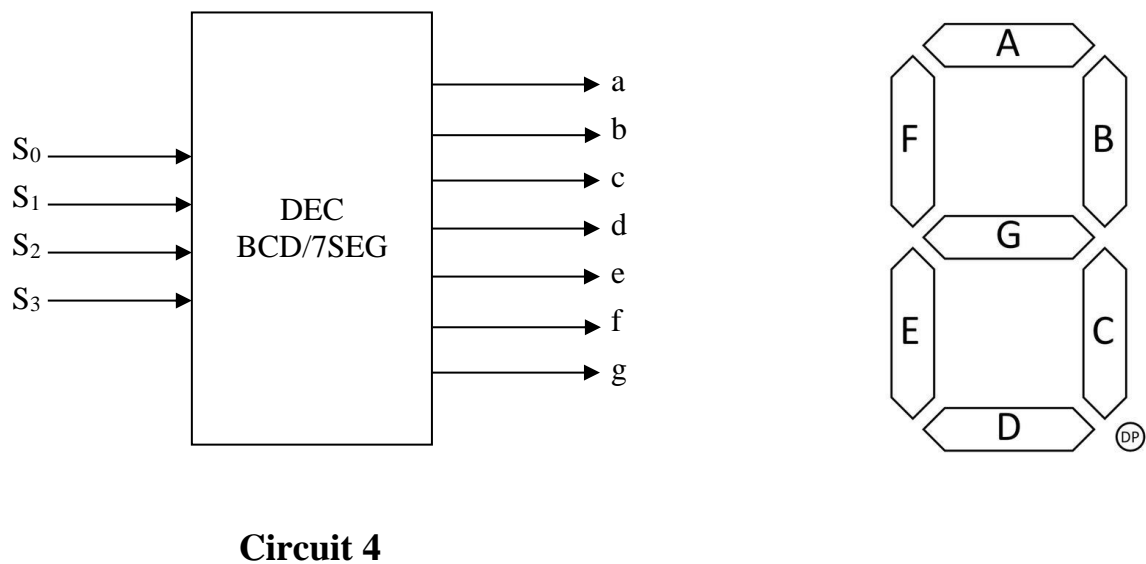
	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group	Current Strength	Slew Rate	Differe
1	A0	Input	PIN_J6	1	B1_N0	2.5 V (default)			8mA (default)		
2	A1	Input	PIN_H5	1	B1_N0	2.5 V (default)			8mA (default)		
3	A2	Input	PIN_H6	1	B1_N0	2.5 V (default)			8mA (default)		
4	A3	Input	PIN_G4	1	B1_N0	2.5 V (default)			8mA (default)		
5	B0	Input	PIN_G5	1	B1_N0	2.5 V (default)			8mA (default)		
6	B1	Input	PIN_J7	1	B1_N1	2.5 V (default)			8mA (default)		
7	B2	Input	PIN_H7	1	B1_N0	2.5 V (default)			8mA (default)		
8	B3	Input	PIN_E3	1	B1_N0	2.5 V (default)			8mA (default)		
9	R-1	Input	PIN_E4	1	B1_N0	2.5 V (default)			8mA (default)		
10	R3	Output	PIN_J1	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)	
11	S0	Output	PIN_J2	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)	
12	S1	Output	PIN_J3	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)	
13	S2	Output	PIN_H1	1	B1_N1	2.5 V (default)			8mA (default)	2 (default)	
14	S3	Output	PIN_F2	1	B1_N0	2.5 V (default)			8mA (default)	2 (default)	



2- Circuit « Décodage » :



- Etude du décodeur BCD/7seg :



• Théorique :

- La table de vérité : (avec logique inversée)



Chiffre converti	S3	S2	S1	S0	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

• Manipulation :

a) Le programme de réalisation en utilisant la description par TV:

```
title "decetaffs";
subdesign RETRY

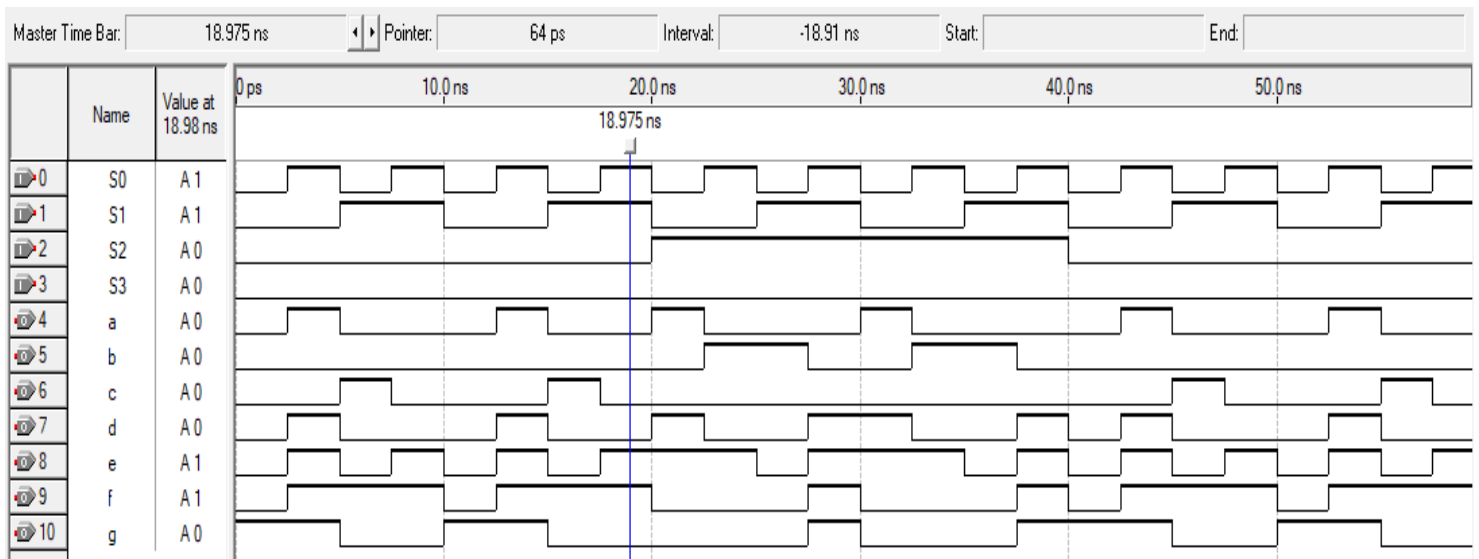
(S3,S2,S1,S0 : input;
a,b,c,d,e,f,g: output;)

begin
table

S3,S2,S1,S0 => a,b,c,d,e,f,g;
0,0,0,0      => 0,0,0,0,0,0,1;
0,0,0,1      => 1,0,0,1,1,1,1;
0,0,1,0      => 0,0,1,0,0,1,0;
0,0,1,1      => 0,0,0,0,1,1,0;
0,1,0,0      => 1,0,0,1,1,0,0;
0,1,0,1      => 0,1,0,0,1,0,0;
0,1,1,0      => 0,1,0,0,0,0,0;
0,1,1,1      => 0,0,0,1,1,1,1;
1,0,0,0      => 0,0,0,0,0,0,0;
1,0,0,1      => 0,0,0,0,1,0,0;

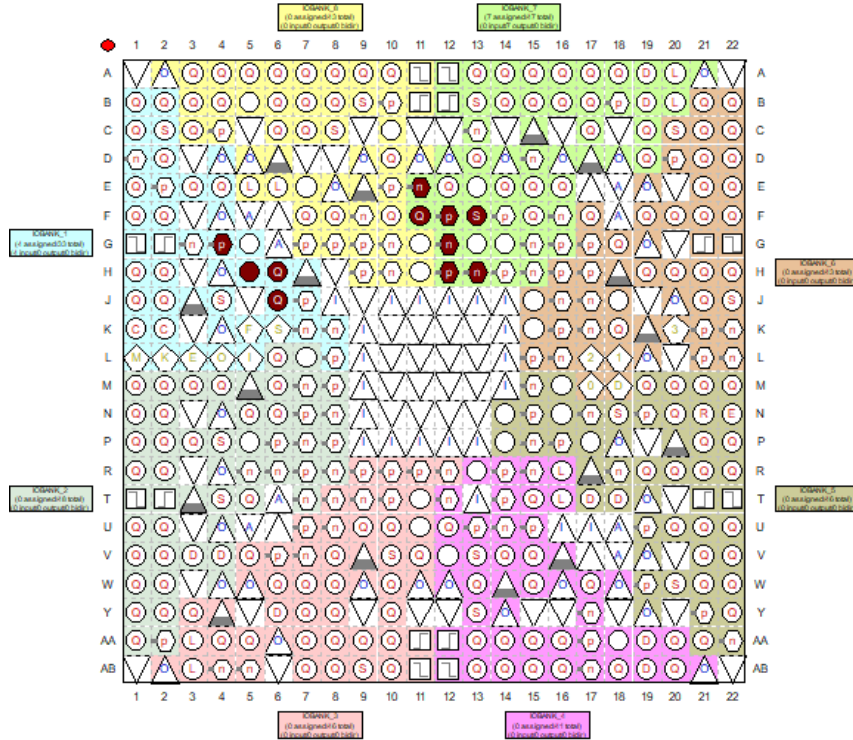
end table;
end;
```

b) Le test de ce schéma par le VECTOR WAVE FORM :

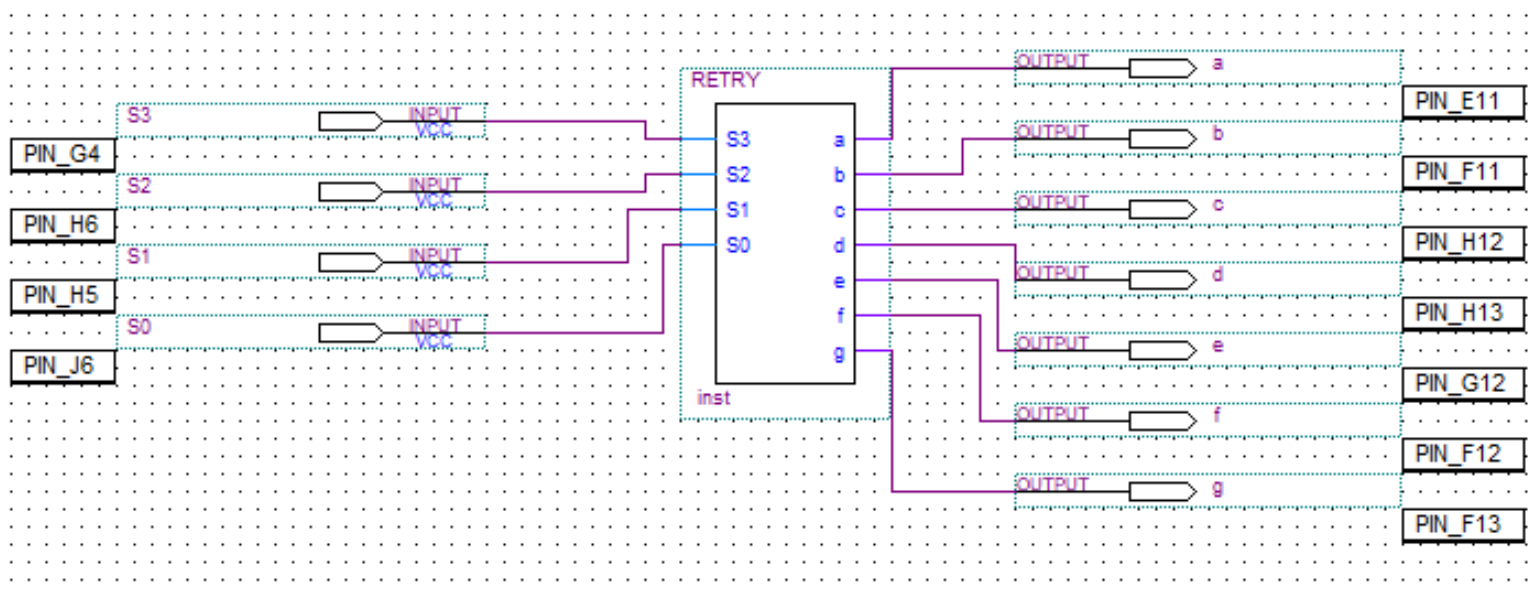


c) Le composant programmable (PIN PLANNER) :

Top View - Wire Bond Cyclone III - EP3C16F484C6



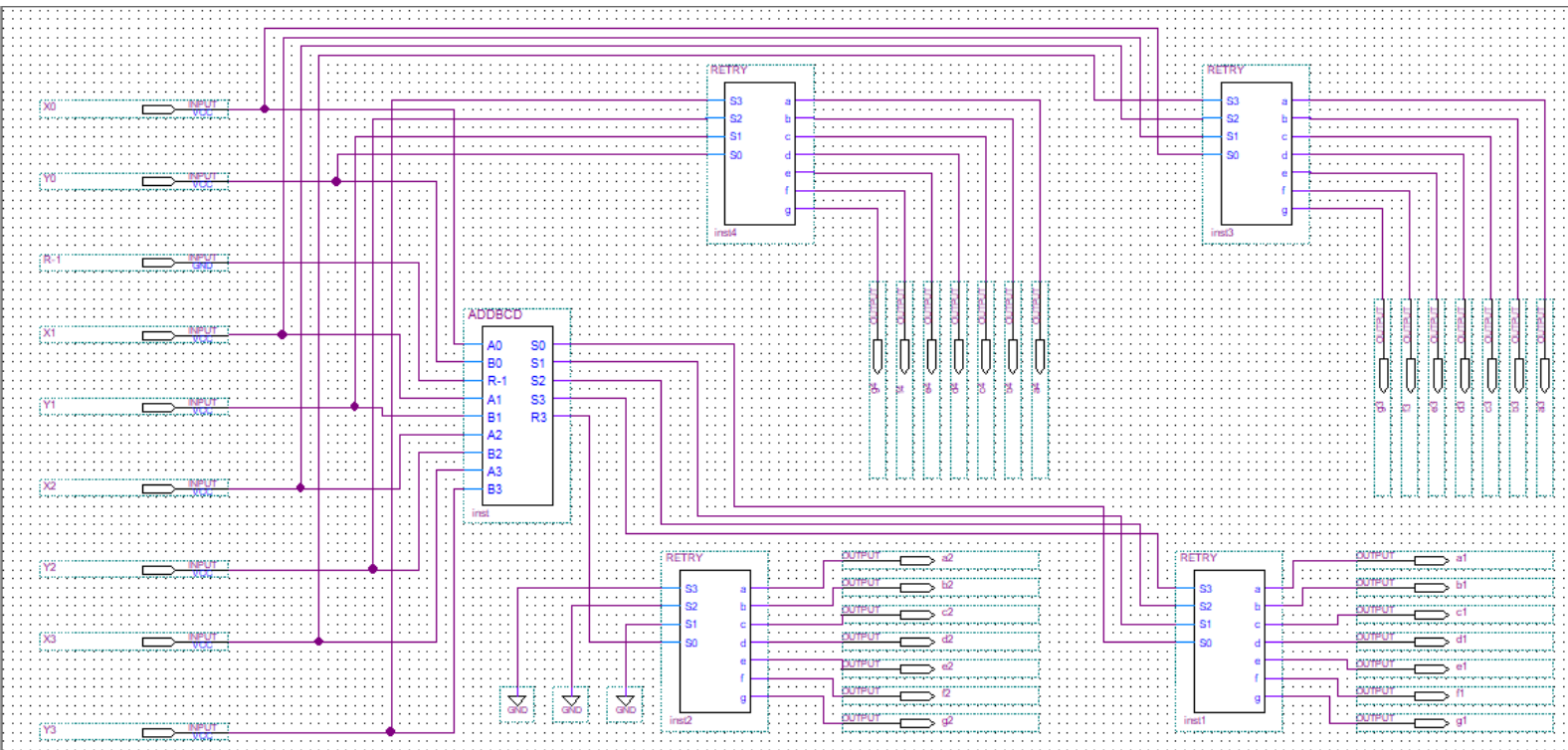
	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group	Current Strength	Slew Rate	Difference
1	a	Output	PIN_E11	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)	
2	b	Output	PIN_F11	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)	
3	c	Output	PIN_H12	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)	
4	d	Output	PIN_H13	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)	
5	e	Output	PIN_G12	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)	
6	f	Output	PIN_F12	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)	
7	g	Output	PIN_F13	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)	
8	S0	Input	PIN_J6	1	B1_N0	2.5 V (default)			8mA (default)		
9	S1	Input	PIN_H5	1	B1_N0	2.5 V (default)			8mA (default)		
10	S2	Input	PIN_H6	1	B1_N0	2.5 V (default)			8mA (default)		
11	S3	Input	PIN_G4	1	B1_N0	2.5 V (default)			8mA (default)		
12	<<new node>>										



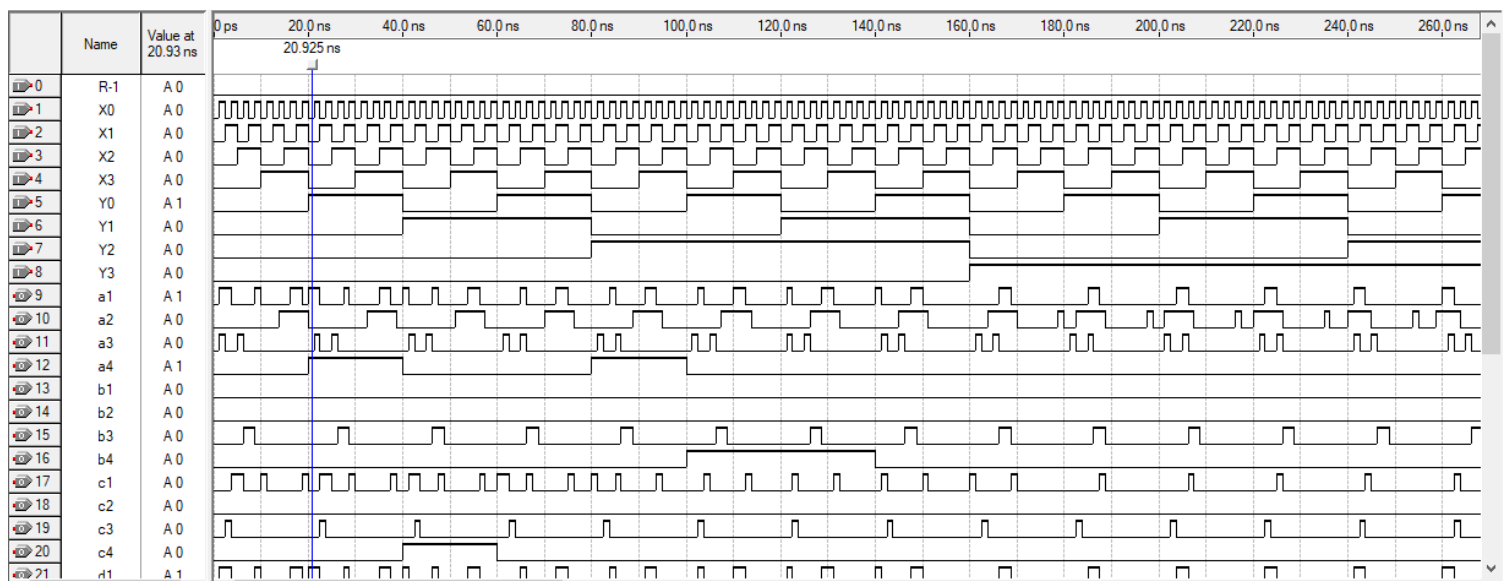
3- Montage complet :

- Manipulation :

a) Le schéma de ce système : (Additionneur BCD avec afficheur 7 segments)

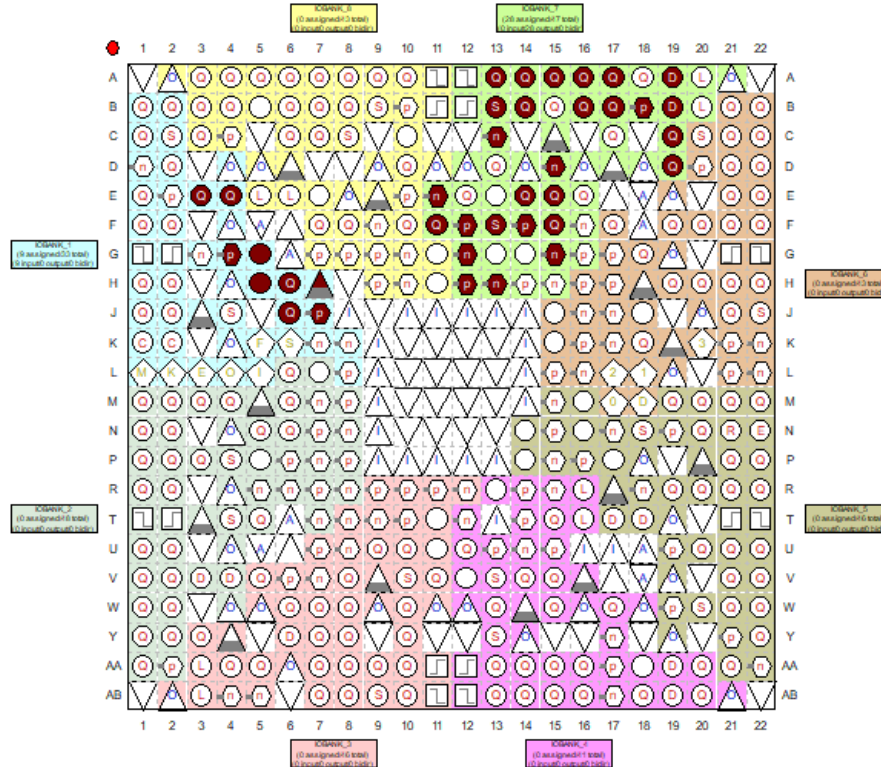


b) Le test de ce schéma par le VECTOR WAVE FORM :



c) Le composant programmable (PIN PLANNER) :

Top View - Wire Bond Cyclone III - EP3C16F484C6



	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group	Current Strength	Slew Rate
1	a1	Output	PIN_E11	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
2	a2	Output	PIN_A13	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
3	a3	Output	PIN_D15	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
4	a4	Output	PIN_B18	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
5	b1	Output	PIN_F11	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
6	b2	Output	PIN_B13	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
7	b3	Output	PIN_A16	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
8	b4	Output	PIN_F15	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
9	c1	Output	PIN_H12	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
10	c2	Output	PIN_C13	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
11	c3	Output	PIN_B16	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
12	c4	Output	PIN_A19	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
13	d1	Output	PIN_H13	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
14	d2	Output	PIN_A14	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
15	d3	Output	PIN_E15	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
16	d4	Output	PIN_B19	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
17	e1	Output	PIN_G12	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
18	e2	Output	PIN_B14	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
19	e3	Output	PIN_A17	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
20	e4	Output	PIN_C19	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
21	f1	Output	PIN_F12	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
22	f2	Output	PIN_E14	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
23	f3	Output	PIN_B17	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
24	f4	Output	PIN_D19	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
25	g1	Output	PIN_F13	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
26	g2	Output	PIN_A15	7	B7_N1	2.5 V (default)			8mA (default)	2 (default)
27	g3	Output	PIN_F14	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
28	g4	Output	PIN_G15	7	B7_N0	2.5 V (default)			8mA (default)	2 (default)
29	R-1	Input	PIN_J6	1	B1_N0	2.5 V (default)			8mA (default)	
30	X0	Input	PIN_H5	1	B1_N0	2.5 V (default)			8mA (default)	
31	X1	Input	PIN_H6	1	B1_N0	2.5 V (default)			8mA (default)	
32	X2	Input	PIN_G4	1	B1_N0	2.5 V (default)			8mA (default)	
33	X3	Input	PIN_G5	1	B1_N0	2.5 V (default)			8mA (default)	
34	Y0	Input	PIN_J7	1	B1_N1	2.5 V (default)			8mA (default)	
35	Y1	Input	PIN_H7	1	B1_N0	2.5 V (default)			8mA (default)	
36	Y2	Input	PIN_E3	1	B1_N0	2.5 V (default)			8mA (default)	
37	Y3	Input	PIN_E4	1	B1_N0	2.5 V (default)			8mA (default)	

