

MIPS Ciclu Unic

-- Versiunea pe 32 de biți --

Nume și prenume: Ilieșiu Robert-Mircea
Grupa: 30224

1. Componente folosite și funcționalitatea acestora

Pentru realizarea proiectului MIPS cu ciclu unic, am implementat o versiune pe 32 care conține următoarele componente:

- MPG.vhd – reprezintă un Generator de Monopuls Sincron
- SSD.vhd – reprezintă Afișoare pe 7 segmente (Seven Segment Display)
- IFetch.vhd – reprezintă Unitatea de extragere a instrucțiunilor
- ID.vhd – reprezintă Unitatea de Decodificare a instrucțiunilor
- UC.vhd – reprezintă Unitatea de Control a procesorului
- EX.vhd – reprezintă Unitatea de Execuție a instrucțiunilor
- MEM.vhd – reprezintă Unitatea de Memorie
- test_env.vhd – reprezintă Arhitectura completă a procesorului

Generator de Monopuls Sincron(MPG)

Este compus dintr-un numărător și 3 bistabile D Filp-Flop. Rolul circuitului MPG (Generator de Monopuls Sincron) este de a genera un singur impuls la o apăsare de buton.

Afișor pe 7 segmente(SSD)

Acesta este compus din anodi și catodi. Pentru afișarea unei cifre se folosesc 7 led-uri active (catodi) iar fiecare cifră este activată de un semnal (anod). Din motive legate de economie a semnalelor alocate, catodii sunt comuni tuturor afișoarelor active, iar pentru a afișa cifre diferite pe afișoare, acestea vor fi activate alternativ, în mod ciclic, pentru perioade scurte de timp (0.16ms).

Unitatea de extragere a instrucțiunilor(IFetch)

Unitatea de extragere a instrucțiunilor (IFetch) primește pe intrările de date adresele de salt și pune la dispoziție, pe ieșiri, adresa imediat următoare (PC+4), respectiv conținutul instrucțiunii curente.

Unitatea de Decodificare a instrucțiunilor(ID)

Unitatea de decodificare a instrucțiunilor (ID) primește pe intrările de date instrucțiunea curentă și valoarea WD, care se scrie în RF, ambele pe 32 de biți. ID pune pe ieșiri, operanzii RD1, RD2 și imediatul extins Ext_Imm(valorile fiind pe 32 de biți). Suplimentar, pe ieșire mai apar câmpurile *function* (6 biți) și *sa* (5 biți) din instrucțiune. Semnalul de control RegDst selectează registrul (adresa) în care se scrie valoarea WD atunci când semnalul de control RegWrite este activ.

Unitatea de Control(UC)

Unitatea de control (UC) , generează semnalele care determină funcționalitatea unităților din calea de date.

Unitatea de Execuție(EX)

Unitatea de execuție (EX) realizează operațiile aritmetice și logice necesare instrucțiunii. Aceasta primește pe intrările de date registrele RD1 și RD2 de la blocul de registre, imediatul extins Ext_imm și adresa de instrucțiune imediat următoare PC+4, codificate pe 32 de biți. Suplimentar, apar câmpurile *func* și *sa* din instrucțiunea curentă, pe 6 biți, respectiv 5 biți. EX pune la dispoziție rezultatul ALU cu semnalul de validare Zero și adresa de salt condiționat Branch Address, calculată astfel:

$$\text{Branch Address} \leq (\text{PC}+4) + (\text{Ext_imm} \ll 2)$$

Unitatea de Memorie(MEM)

Unitatea de memorie (MEM) are rol de stocare a datelor, pe 32 de biți. Scrierea în memorie este sincronă pe frontul de ceas ascendent și citirea este asincronă, ca la blocul de registre RF.

Arhitectura completă a procesorului(test_env)

Acestă entitate reprezintă arhitectura întregului procesorului și are rolul de a asambla întregul procesor folosind componentele mai sus enumerate.

Toate componentele mai sus enumerate sunt funcționale, niciuna nu prezintă probleme de funcționare. Acestea au fost testate integral pe plăcuță pe parcursul laboratoarelor și au fost remediate problemele apărute pe parcurs. De asemenea unele componente au fost testate și în simulatorul din VIVADO (IFetch.vhd, EX.vhd, test_env.vhd) pentru a fii siguri de funcționalitatea proiectului.

Pe parcursul realizării proiectului s-au întâmpinat diferite probleme de proiectare, valori puse greșit sau greșeli la proiectarea programului MIPS32. Acestea au fost remediate în întregime cu ajutorul cadrului didactic de la laborator sau prin testarea fiecărei componente în parte și remediarea problemelor pas cu pas.

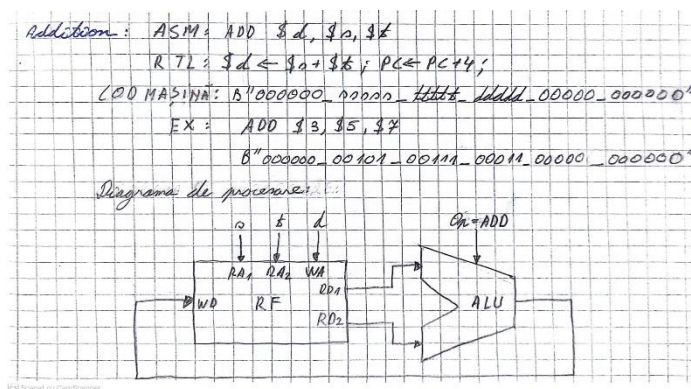
2. Instrucțiuni pentru MIPS 32

Setul de instrucțiuni ales pentru implementarea procesorului MIPS 32 cu ciclu unic este după cum urmează:

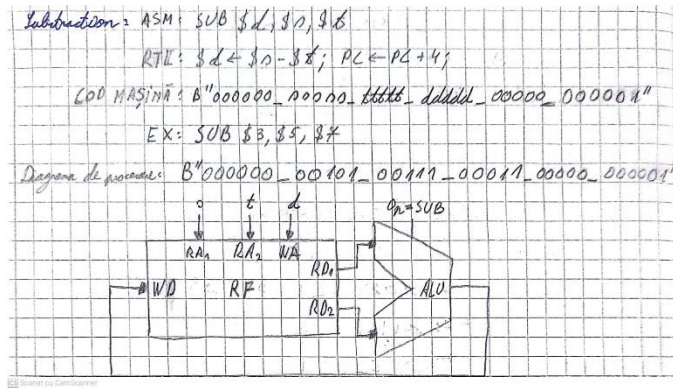
TIP R	Addition	add
	Subtraction	sub
	Shift Left Logical	sll
	Shift Right Logical	srl
	Logical AND	and
	Logical OR	or
	Logical Exclusive-OR	xor
	Set on Less Than	slt
TIP I	Add Immediate	addi
	Load Word	lw
	Store Word	sw
	Branch on Equal	beq
	OR Immediate	ori
	Set on Less Than Immediate	slti
TIP J	Jump	j

Cele 4 instrucțiuni ale suplimentar sunt: Logical Exclusive-OR (xor), Set on Less Than (slt), OR Immediate (ori) și Set on Less Than Immediate (slti).

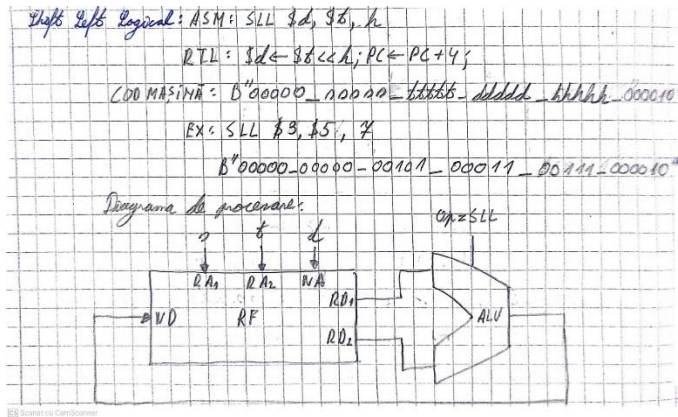
Addition



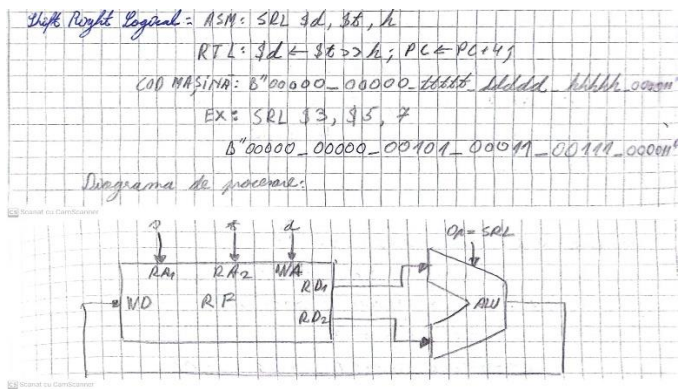
Subtraction



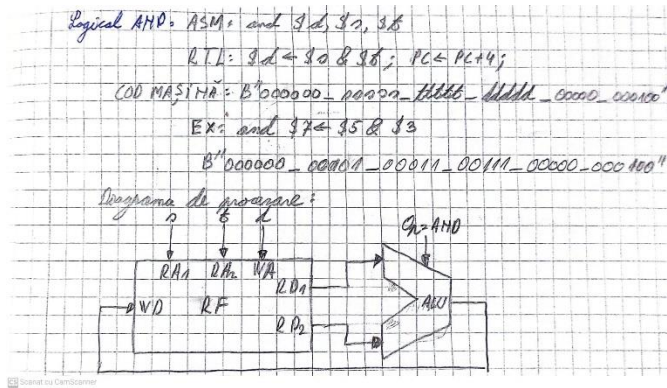
Shift Left Logical



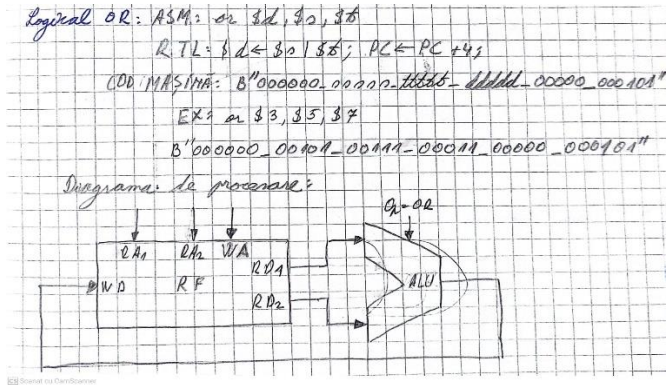
Shift Right Logical



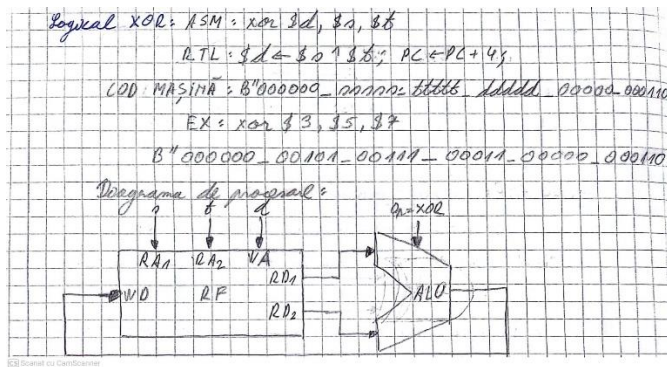
Logical And



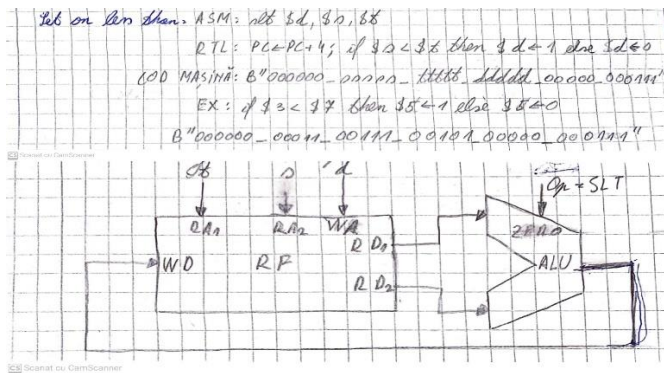
Logical OR



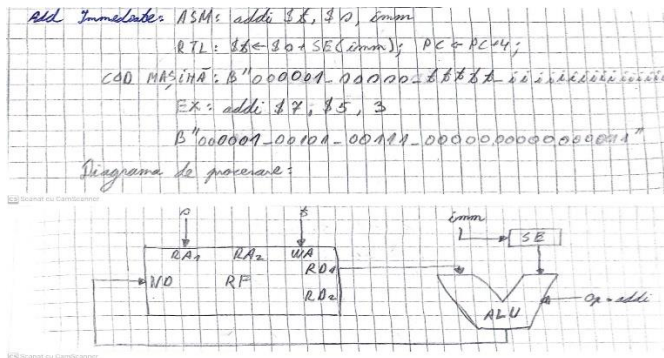
Logical Exclusive-OR



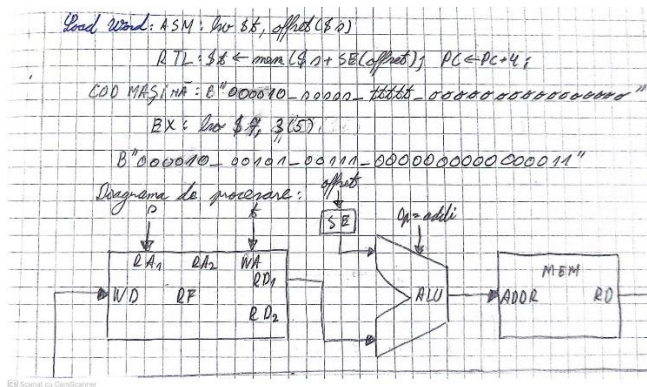
Set on Less Than



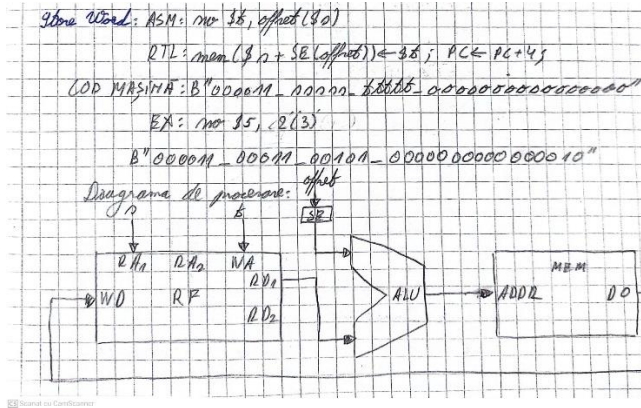
Add Immediate



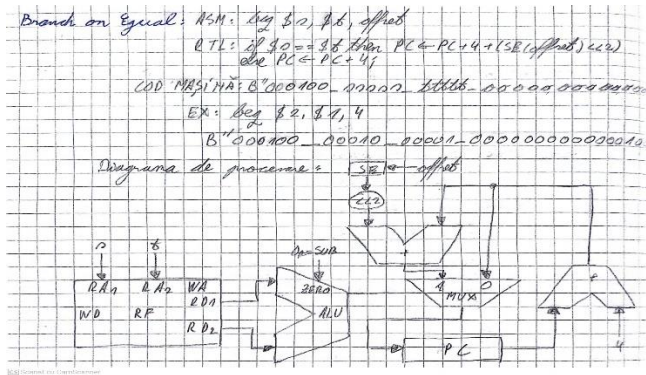
Load Word



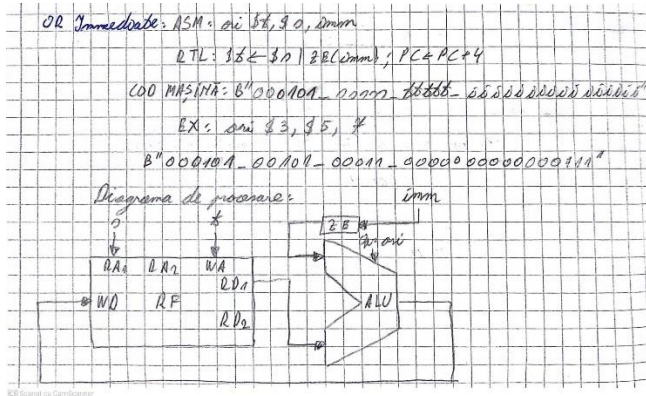
Store Word



Branch on Equal



OR Immediate



Set on bus that Immediate: ACM: 8b, 8b, 8b, 8b
RTL: PC ← PC + 4; if 8b, 8b (imm) then PC ← PC + 8b
COD MASINA: B"000110 0001 0000 0000 0000 0000 0000 0000"
Ex: 8b, 8b, 8b, 8b
B"000110 0001 0010 0000 0000 0000 0011 1111"
Diagrama de procesare:

Diagrama de procesare:

The diagram shows a processor block with inputs RA1, RA2, RA, RA1, RA2, and RA2. It has a control input P and a data input X. The processor outputs W0, R, and RD2. The processor is connected to an ALU block, which has a control input 8b and a data input Q=SUB. The ALU outputs 8b.

Mai jos avem semnalele de control pentru fiecare dintre instrucțiunile alese:

[illegible]

4. Trasarea execuției programului de test pentru MIPS32

Am ales din Anexa 7 – problema 12 și enunțul este după cum urmează:

12. Să se determine valoarea pară maximă dintr-un șir de N numere stocate în memorie începând cu adresa A ($A \geq 12$). A și N se citesc de la adresele 0, respectiv 4. Rezultatul se va scrie în memorie la adresa 8.

În tabelul de mai jos va reprezenta ordinea de execuție în timp la apăsarea butonului ENABLE.

Trasarea execuției programului de test pentru MIPS32

[illegible]

5. Schema RTL

