

Bonusová úloha – max. 5 bodov

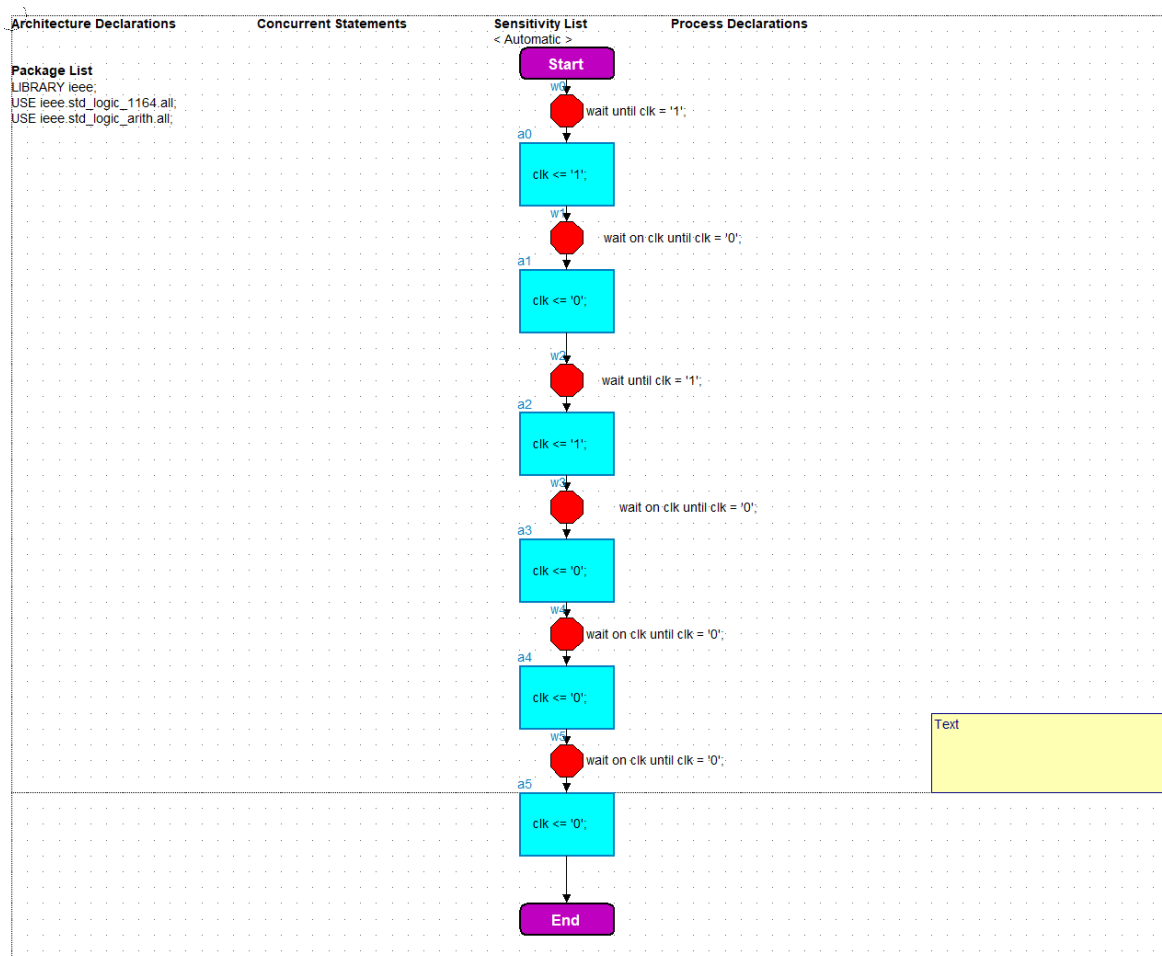
Termín odovzdania: do 19.12.2021 23:59

Návrh obvodu v prostredí HDL-Designer

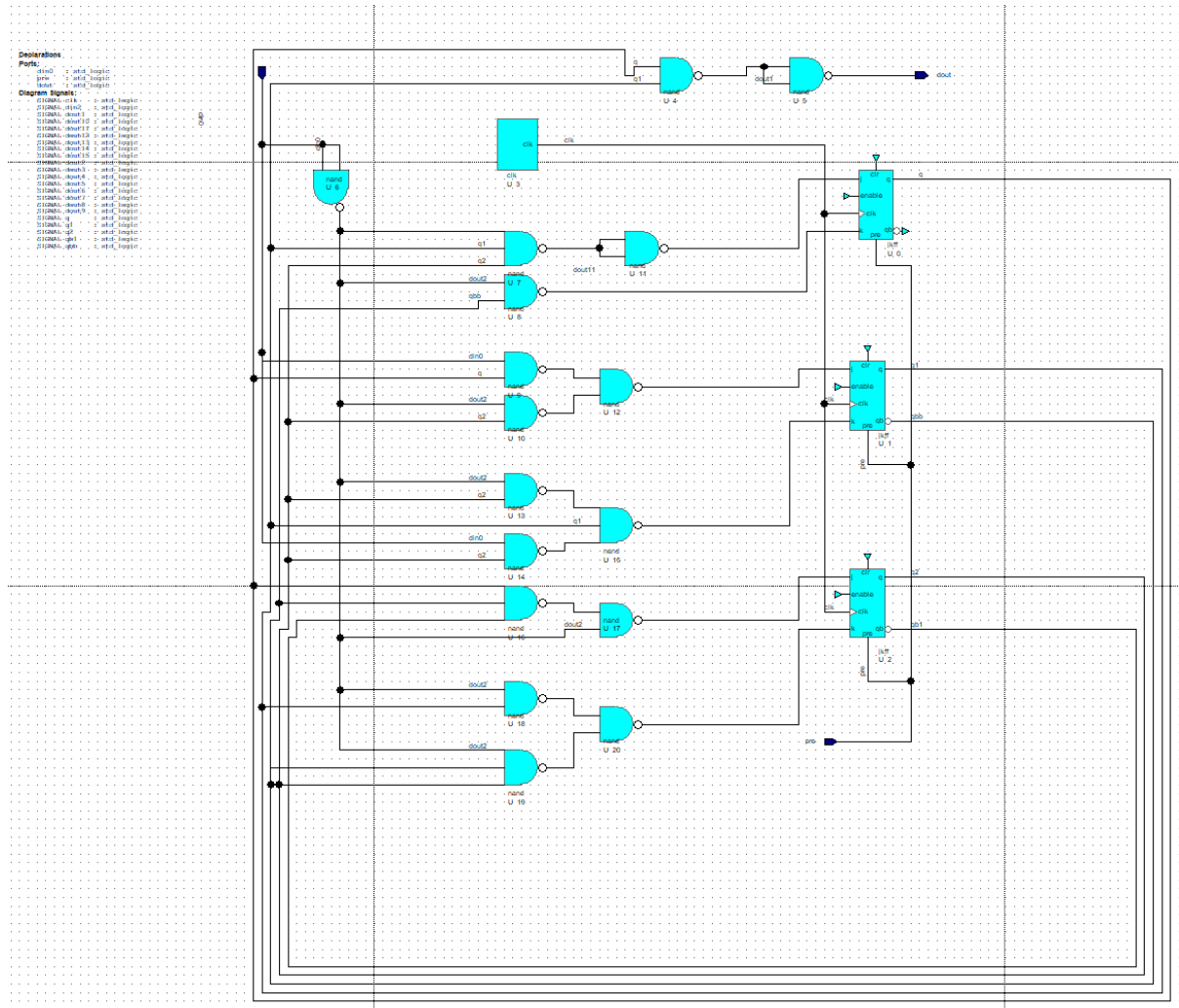
Navrhnutý synchronný sekvenčný obvod pre rozpoznávanie postupnosti binárnych čísiel vytvorte v prostredí HDL-Designer s využitím grafického vstupu

- 1) vo forme stavového diagramu (State Diagram – fsm),
- 2) vo forme logickej schémy (Block Diagram - struct) s obvodmi NAND a JK-PO,
- 3) vstupné hodnoty X, CLK, príp. Reset, ktoré slúžia na ovládanie obvodu, naprogramujte vo forme vývojového diagramu (Flow Chart - flow) . Správnosť návrhu overte simuláciou v nástroji ModelSim.

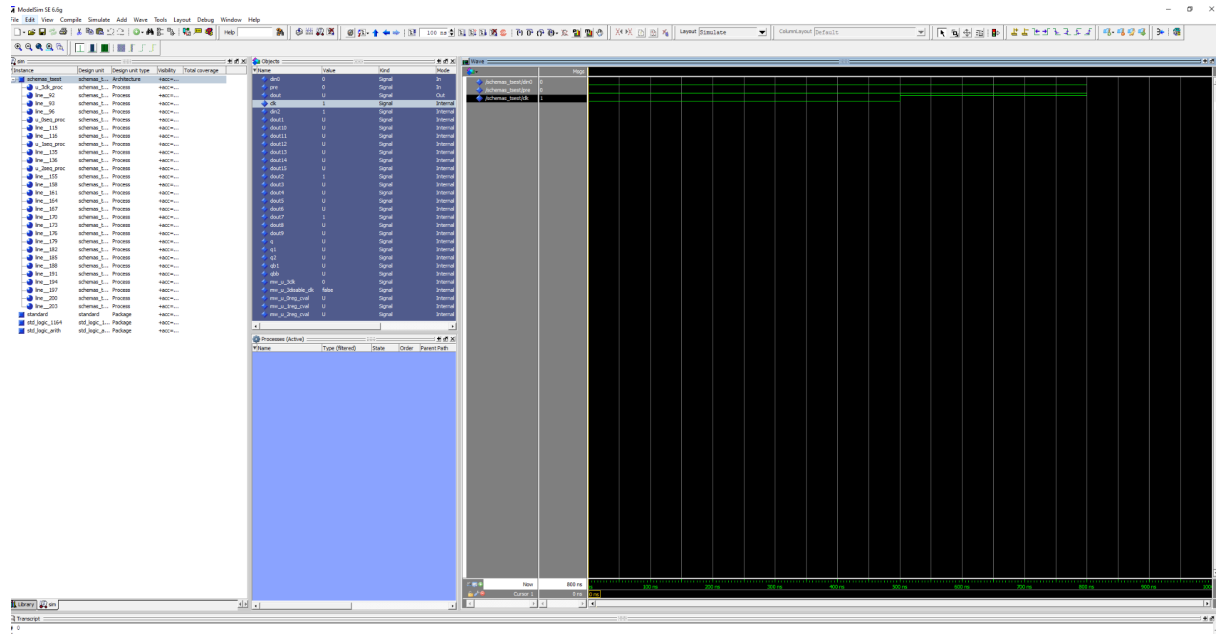
Flow



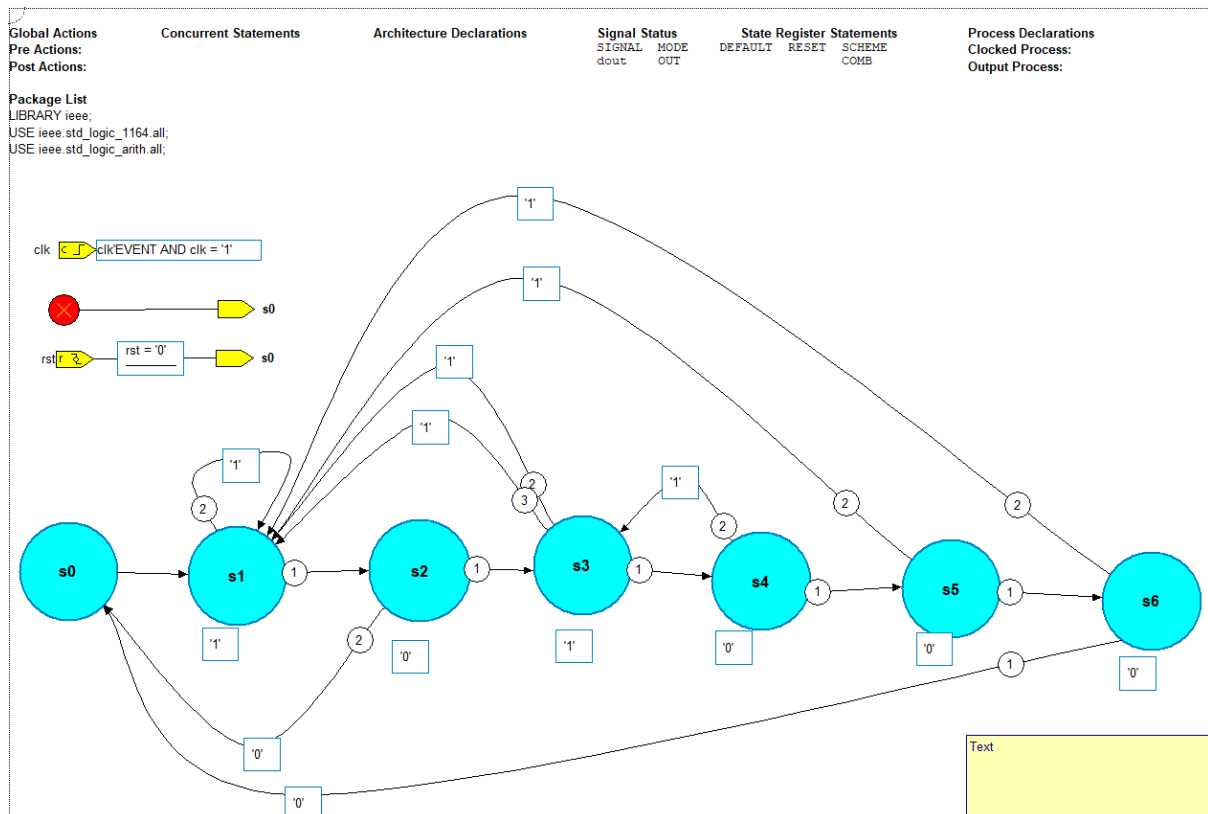
Logická schéma



Výsledok simulácie



Stavový diagram



Zhodnotenie

Zhodnotenie Navrhli sme synchronný sekvenčný obvod so vstupom x a výstupom y tak, že na výstupe Y bude 1 vždy vtedy, ak sa (zo začiatočného stavu) vo vstupnej postupnosti vyskytne postupnosť s tým, že postupnosti sa môžu prekryvať. Použili sme automat typu Moore. V pamäťovej časti sme použili minimálny počet JK-PO obvodov. Riešenie sme overili prostriedkami ESPRESSO a simuláciou v programe LOGISIM. Výsledný obvod má 15 logických členov NAND, a 47 vstupov (34 v kombinačnej časti a 13 v pamäťovej