

FPGA Integration von Conways “Spiel des Lebens”

By Martin Junghans

& Max Hohlfeld

©12/2021

Agenda

- 1. Conways “Spiel des Lebens”**
- 2. FPGA Implementierung**
- 3. Demo**

1. Conways “Spiel des Lebens”

- John Horton Conway
(1970, brit. Mathematiker)
- als “Life” in “Scientific American”
veröffentlicht¹
- Simulation realer Lebensprozesse
- Analogien zum Entstehen, Verschwinden und
Mutieren von lebenden Organismen
- Turing-vollständig

¹ <http://web.stanford.edu/class/sts145/Library/life.pdf>

1. Conways “Spiel des Lebens”

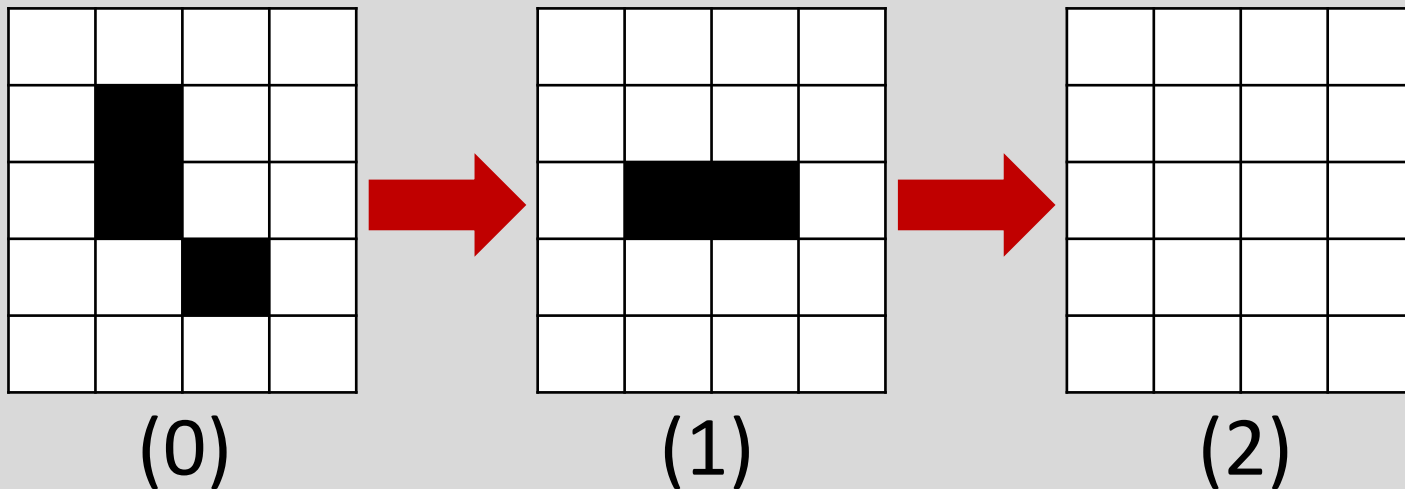
- Grundidee:
 - Simulation beginnt mit einfacher Konfiguration von Zellen in zweidimensionalem Raster
 - auf diese Startkonfiguration werden Conways “Genetische Regeln” angewendet
 - nach Anwendung der Regeln auf die Generation t ergibt sich eine neue Generation $t+1$

1. Conways “Spiel des Lebens”

- Regeln:
 - Überleben:
 - Jede Zelle mit 2 oder 3 Nachbarzellen überlebt bis zur nächsten Generation
 - Tod:
 - Jede Zelle mit 4 oder mehr Nachbarzellen stirbt an Überpopulation
 - Jede Zelle mit 1 oder weniger Nachbarzellen stirbt an Isolation
 - Geburt:
 - Jede leere Zelle mit genau 3 Nachbarzellen wird zur nächsten Generation geboren

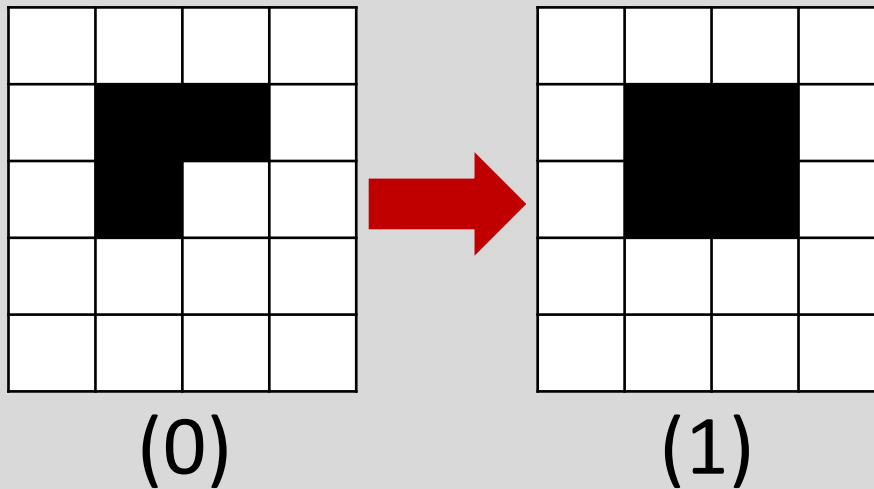
1. Conways “Spiel des Lebens”

- Beispiel 1:



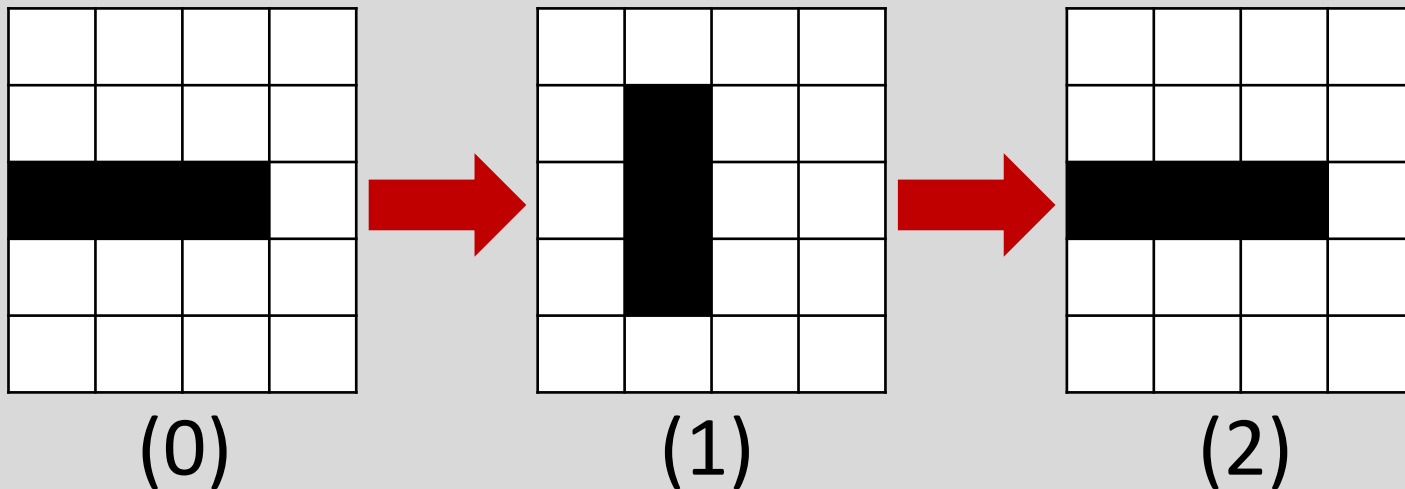
1. Conways “Spiel des Lebens”

- Beispiel 2:
 - Der “Block”



1. Conways “Spiel des Lebens”

- Beispiel 3:
 - Der “Blinker”

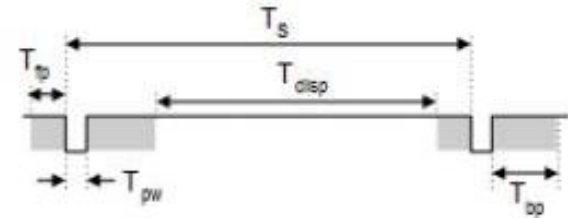


2. Implementierung

- Modularer Aufbau
- Kernthemen:
 - VGA Controller
 - Koordination Horizontal Sync. Timings & Vertical Sync. Timings basierend auf eingebauter Clock
 - Button & Switch Steuerung
 - Logische Umsetzung der Simulationsumgebung und der Regeln

2. Implementierung

- VGA Controller
 - Umgesetzt für 640x480px Display
 - Timings aus Nexys A7 FPGA Board Reference Manual entnommen¹

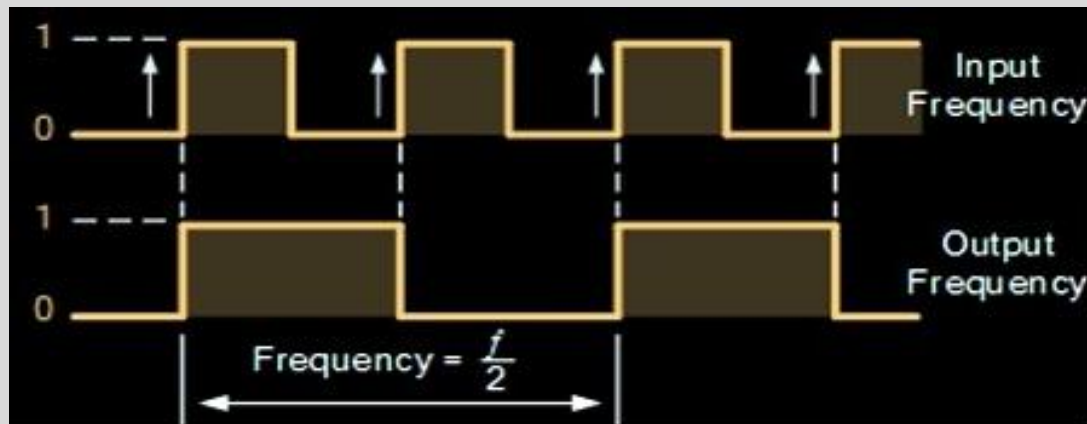


Symbol	Parameter	Vertical Sync			Horiz. Sync	
		Time	Clocks	Lines	Time	Clks
T_S	Sync pulse	16.7ms	416,800	521	32 us	800
T_{disp}	Display time	15.36ms	384,000	480	25.6 us	640
T_{pw}	Pulse width	64 us	1,600	2	3.84 us	96
T_{fp}	Front porch	320 us	8,000	10	640 ns	16
T_{bp}	Back porch	928 us	23,200	29	1.92 us	48

¹ https://digilent.com/reference/_media/reference/programmable-logic/nexys-a7/nexys-a7_rm.pdf (S.21)

2. Implementierung

- Frequenzabstimmung Clock / VGA
 - Problem: 100 MHz Input Frequenz auf 25 MHz runterregeln
 - Mittels Clock Divider¹



¹ <https://allaboutfpga.com/vhdl-code-for-clock-divider/>

2. Implementierung

- Simulationsumgebung
 - Anfertigung von vordefinierten Zellkonstellationen (Presets)
(s. conwaylife.com/wiki)
 - Möglichkeit zur manuellen Eingabe von Konstellationen

3. Demo



Vielen Dank!

Haben Sie noch Fragen?

Martin Junghans

Max Hohlfeld