

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ В.Ф. УТКИНА»

КАФЕДРА «АВТОМАТИЗИРОВАННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ»

ЗАДАНИЕ

на курсовой проект по дисциплине
«ОСНОВЫ ЭЛЕКТРОНИКИ»

на тему:

«Проектирование функциональных узлов комбинационного типа»

Исполнитель—ст.гр. _0048_ Авданыкин И.А.
(фамилия, имя, отчество)

Руководитель проекта — к.т.н., доцент, доцент кафедры АСУ Челебаев С.В.

Исходные данные:

Теоретический раздел. _____ Полупроводниковые диоды _____

Задача 1. Построение логических схем

Номер функции _____ F_{23896}^4 _____

Задача 2. Построение мультиплексора

Количество информационных входов _____ 3 _____

Вид совершенной формы _____ СовДНФ _____

Вид минимальной формы _____ МДНФ _____

Тип конечного базиса _____ Пирса _____

Задача 3. Построение дешифратора

Количество выходов _____ 9 _____

Вид минимальной формы _____ МДНФ _____

Тип конечного базиса _____ И-НЕ _____

Задача 4. Построение параллельного двоичного сумматора

Тип операции _____ Вычитатель _____

Наличие входного переноса _____ Да _____

Вид минимальной формы _____ МДНФ _____

Тип конечного базиса _____ Пирса _____

Требования к содержанию пояснительной записки

Введение

1 Теоретический раздел (по варианту задания)

2 Построение логических схем

3 Построение мультиплексора

4 Построение дешифратора

5 Построение параллельного двоичного сумматора

Заключение

Список используемых источников

Срок предоставления работы к защите _____ 2022 г.

Руководитель проекта _____ / Челебаев С.В. /

Задание принял к исполнению _____ / _____ /

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РЯЗАНСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ В.Ф. УТКИНА»**

КАФЕДРА «АВТОМАТИЗИРОВАННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ»

КУРСОВОЙ ПРОЕКТ

по дисциплине

«Основы электроники»

на тему:

«Проектирование функциональных узлов комбинационного типа»

Выполнил: студент гр.0048

_____ **Авданыкин И.А**

Проверил: доцент каф. АСУ

_____ **Челебаев С.В.**

Рязань 2022

Содержание

Введение	4
1. Теоретический раздел	5
2. Построение логических схем	8
3. Построение мультиплексора.....	11
4. Построение дешифратора	15
5. Построение параллельного двоичного вычитателя.....	18
Заключение	32
Список литературы	33

Введение.

Интересы России требуют преодоления сложившегося в последнее время однобокого развития экономики с акцентом на сырьевые отрасли производства. Неотъемлемой чертой развитых государств является способность к разработке и производству высокотехнологичных изделий, среди которых ведущее место занимает электронная аппаратура. Успехи электроники в значительной мере определяют прогресс промышленности и науки. Современная промышленная продукция, будь то автомобиль, самолет, корабль, станок для металлообработки, изделие бытовой техники и т. д. насыщена электроникой.

С ростом уровня интеграции цифровых устройств в проектировании на их основе все больше усиливается аспект, который можно назвать интерфейсным проектированием. Задачей разработки становится составление блоков из все более сложных стандартных блоков путем правильного их соединения. Успешное проектирование требует хорошего знания номенклатуры и параметров электронных компонентов и привлечения систем автоматизированного проектирования (САПР). Типовые базовые функциональные компоненты, из которых составляются сложные устройства, в ходе развития микроэлектроники остаются почти неизменными, но формы их представления становятся более разнообразными.

Целью данной работы является изучение работы и способов построения логических схем мультиплексора, дешифратора и параллельного двоичного вычитателя с входным переносом.

1. Теоретический раздел.

ПОЛУПРОВОДНИКОВЫЕ ДИОДЫ.

Полупроводниковый диод – прибор, имеющий два вывода, присоединённых к p - n -переходу. В отличие от резисторов, конденсаторов и катушек индуктивности диод – нелинейный компонент, поскольку его вольт-амперная характеристика определяется, нелинейной зависимостью тока от напряжения, приложенного к p - n переходу. Промышленностью выпускается большое количество диодов различных типов. Все их можно разбить на группы по следующим признакам:

- по используемому полупроводниковому материалу: кремниевые, германиевые, арсенид-галлиевые и др.;
- по технологии изготовления;
- по принципу действия: диоды Шоттки, Ганна, туннельные и др.;
- по назначению: выпрямительные, импульсные и высокочастотные, стабилитроны, варикапы и др.

Рассмотрим основные типы диодов по их назначению.

Наиболее часто используются выпрямительные диоды. Они предназначены для выпрямления переменного тока, т.е. превращения переменного тока в постоянный. При этом через выпрямительные диоды протекают достаточно большие токи, поэтому p - n - переходы в таких диодах имеют сравнительно большую площадь.

Вольтамперные характеристики выпрямительных диодов отличаются от аналогичных характеристик идеальных p - n -переходов (рис.1). В области прямого смещения p - n -перехода это отличие состоит в том, что при больших токах начинает сказываться собственное сопротивление слоёв p и n полупроводников. Обычно сопротивления слоев p и n существенно различаются, поэтому при больших токах наклон характеристики $I_D = f(U_D)$ определяется сопротивлением того слоя проводника, который обладает большим сопротивлением. Этот слой полупроводника обычно называется базой диода.



Рис.1 Вольт-амперные характеристики идеального p - n -перехода и реального диода, выполненных на основе кремния

При смещении p - n -перехода в обратном направлении возникают токи утечки p - n -перехода, обусловленные явлениями на поверхности p - n -перехода, а также токи термогенерации, связанные с рождением пар электрон-дырка внутри p - n -перехода.

Выпрямительные диоды характеризуются следующими основными параметрами:

$U_{пр}$ – напряжение, которое создаётся на диоде при смещении его в прямом направлении и

протекании через него рабочих токов. Обычно это напряжение для большинства кремниевых диодов равно примерно $0,6 \div 0,8$ В, а для германиевых примерно $0,3 \div 0,4$ В;

$I_{\text{ПР МАКС}}$ – максимально допустимый ток, при котором диод ещё не теряет свои выпрямительные свойства из-за теплового пробоя p - n -перехода (в зависимости от конструкции и технологии изготовления диода этот ток может составлять от десятков мА в случае использования диодов в маломощных цепях до десятков А в случае использования в силовых электрических цепях);

$I_{\text{ОБР}}$ – максимальный ток диода, смещённого в обратном направлении при напряжениях, не превышающих $U_{\text{ОБР МАКС}}$;

$U_{\text{ОБР МАКС}}$ – максимально допустимое обратное напряжение на диоде, при котором p - n -переход ещё не пробивается из-за чрезмерно высокой напряжённости поля, возникающей в p - n -переходе (в зависимости от конструкции и технологии изготовления диодов это напряжение составляет от 10 В до 10 кВ);

На основе выпрямительных диодов реализуются выпрямительные устройства. Простейшее выпрямительное устройство, выполненное на одном диоде, приведено на рис. 2. Изображение диода на схемах напоминает стрелку, которая показывает направление тока, протекающего через открытый p - n -переход.

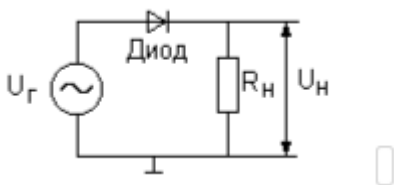


Рис 2. Простейшее выпрямительное устройство на одном диоде

На рис. 3 приведена временная диаграмма работы простейшего выпрямительного устройства.

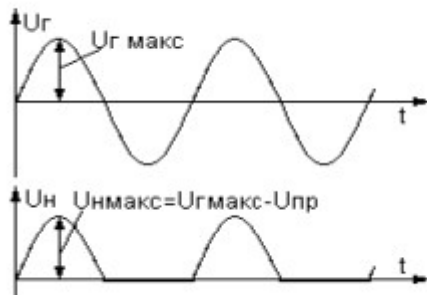


Рис.3. Напряжение на входе и выходе простейшего выпрямительного устройства

Импульсные и высокочастотные диоды отличаются от выпрямительных конструкцией и технологией изготовления. Поскольку они работают при малых мощностях (не более 40 мВт), площади используемых p - n -переходов во много раз меньше, чем у выпрямительных диодов, что позволяет существенно уменьшить паразитные емкости и повысить быстродействие.

Диоды Шоттки выполняются на основе контакта металла с полупроводником. В этом случае потенциальный барьер снижается и уменьшается $U_{\text{пр}}$ (для диодов Шоттки на основе кремния $U_{\text{пр}} \approx 0,3$ В)

На основе p - n -перехода изготавливаются стабилитроны. В стабилитронах используется управляемый пробой p - n -перехода при достаточно больших приложенных к нему обратных напряжениях. Вольт-амперная характеристика стабилитрона при обратных напряжениях приведена на рис. 4

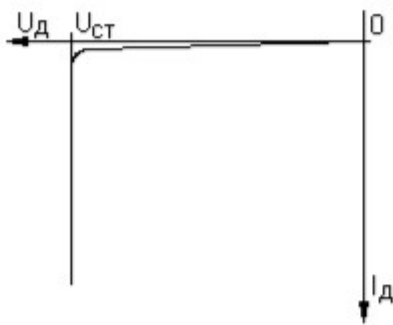


Рис.4. Вольт-амперная характеристика стабилитрона при обратном напряжении

До определённого обратного напряжения ток стабилитрона мал, как и токи в обычных выпрямительных диодах. При достижении обратного напряжения определённого уровня $U_{СТ}$ в $p-n$ - переходе происходит управляемый пробой. Обычно он имеет лавинный характер, что приводит к резкому увеличению тока.

Стабилитрон можно использовать для стабилизации напряжения. Для этого стабилитрон необходимо включить последовательно с токоограничивающим резистором $R_{огр}$ (рис.5)

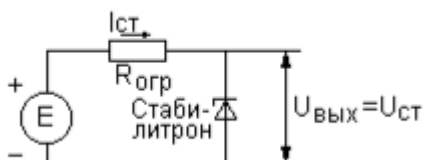


Рис. 5. Схема стабилизатора напряжения на стабилитроне

Еще одним типом диодов, основанных на использовании $p-n$ - переходов, являются варикапы. Они обладают свойствами емкости, величина которой определяется приложенным к ней напряжением.

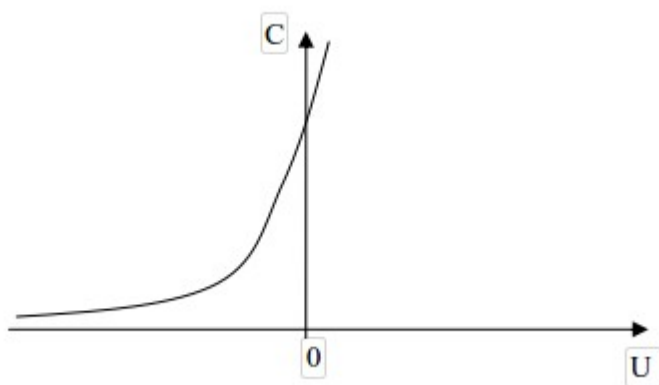


Рис. 6 Зависимость емкости варикапа от приложенного к нему напряжения

Обычно варикапы используются лишь при отрицательном приложенном к нему напряжении, т.е. когда $p-n$ -переход закрыт. Это связано с тем, что при положительном напряжении на $p-n$ -переходе его сопротивление становится малым. Это означает, что емкость варикапа шунтируется малым сопротивлением утечки. Такой конденсатор не может долго хранить заряд. При отрицательном напряжении на варикапе ток утечки становится равным току неосновных носителей, а он обычно очень маленький.

Варикапы широко используются в радиоэлектронике. Например, с помощью варикапа можно настраивать колебательный LC - контур на нужную частоту резонанса.

2. Построение логических схем.

Задание.

$$F_{33195}^4$$

1-й этап. Переход от задания номером к табличному способу задания ПФ.

Номер функции представляем в виде степеней двойки.

Получаем $33195 = 2^{15} + 2^8 + 2^7 + 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 2^0$

Каждой степени числа "2" соответствует определенный номер набора (табл. 1). Поэтому ПФ на 0,7,8,10,12,14 и 15-м наборах принимает единичные значения, на остальных – нулевые.

Таблица 1. Табличное задание ПФ

N	X1	X2	X3	X4	Вес набора	F_{33195}^4
0	0	0	0	0	2^{15}	1
1	0	0	0	1	2^{14}	0
2	0	0	1	0	2^{13}	0
3	0	0	1	1	2^{12}	0
4	0	1	0	0	2^{11}	0
5	0	1	0	1	2^{10}	0
6	0	1	1	0	2^9	0
7	0	1	1	1	2^8	1
8	1	0	0	0	2^7	1
9	1	0	0	1	2^6	0
10	1	0	1	0	2^5	1
11	1	0	1	1	2^4	0
12	1	1	0	0	2^3	1
13	1	1	0	1	2^2	0
14	1	1	1	0	2^1	1
15	1	1	1	1	2^0	1

2-й этап. СовДНФ и СовКНФ для ПФ, заданной в табл. 1, примут вид:

$$\begin{aligned} \text{СовДНФ} = & \overline{X_1} \overline{X_2} \overline{X_3} \overline{X_4} \vee \overline{X_1} X_2 X_3 X_4 \vee x_1 \overline{X_2} \overline{X_3} \overline{X_4} \vee X_1 \overline{X_2} X_3 \overline{X_4} \vee x_1 x_2 \overline{X_3} \overline{X_4} \\ & \vee x_1 x_2 x_3 \overline{X_4} \vee x_1 x_2 x_3 x_4 \end{aligned}$$

$$\text{СовКНФ} = (X1 \vee X2 \vee X3 \vee X4)(X1 \vee X2 \vee \overline{X3} \vee X4)(X1 \vee X2 \vee \overline{X3} \vee \overline{X4})(X1 \vee \overline{X2} \vee X3 \vee X4)$$

$$(X1 \vee \overline{X2} \vee X3 \vee \overline{X4})(X1 \vee \overline{X2} \vee \overline{X3} \vee X4)(\overline{X1} \vee X2 \vee X3 \vee \overline{X4})(\overline{X1} \vee X2 \vee \overline{X3} \vee \overline{X4})(\overline{X1} \vee \overline{X2} \vee X3 \vee \overline{X4})$$

3-й этап. Нахождение МДНФ и МКНФ с помощью карт Карно. Карты Карно для МДНФ и МКНФ показаны на рисунке 1.

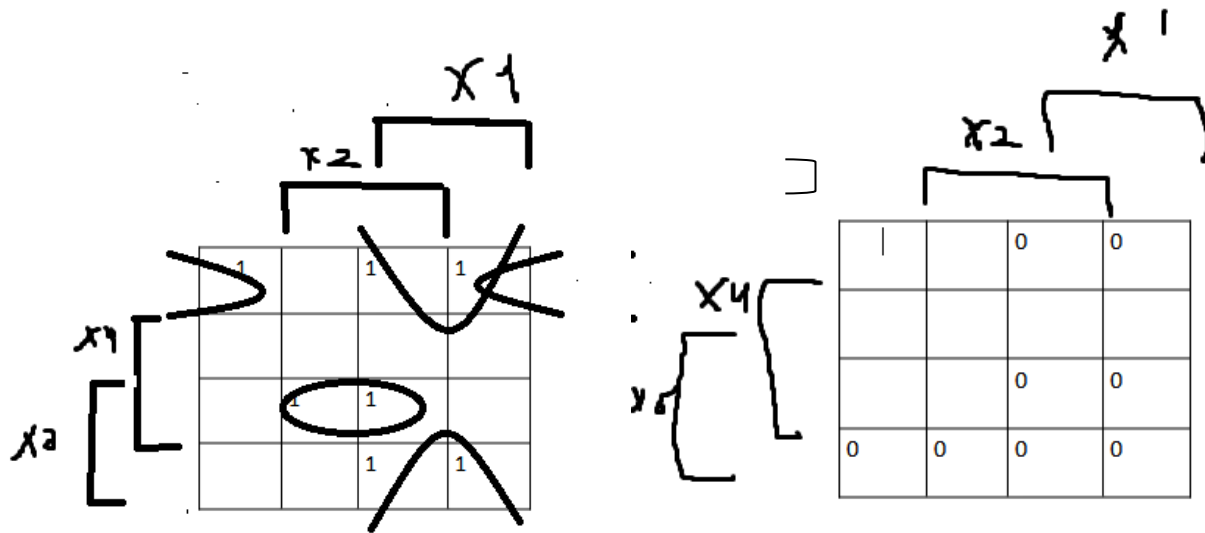


Рис.1 Карты Карно для МДНФ и МКНФ

Из карт Карно найдены:

$$\text{МДНФ} = \overline{X2} \overline{X3} \overline{X4} \vee X1 \overline{X4} \vee X2 X3 X4$$

$$\text{МКНФ} = (X2 \vee \overline{X4})(X1 \vee \overline{X3} \vee X4)(X1 \vee \overline{X2} \vee X4)(X3 \vee \overline{X4})$$

4-й этап. Построение ЛС для ПФ, представленных в виде МДНФ (рис.2.1) и МКНФ (рис. 2.2)

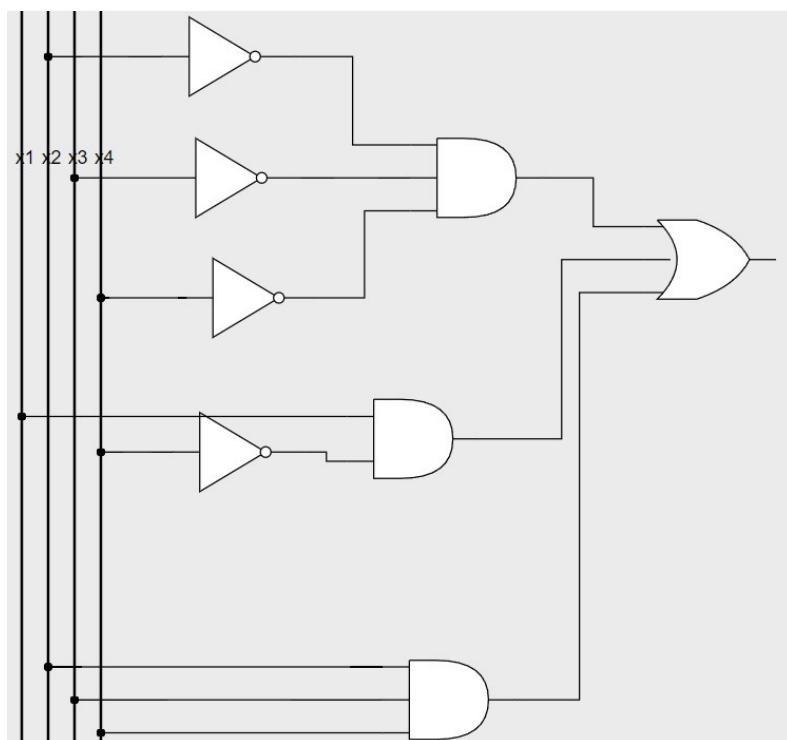


Рис. 2.1 МДНФ

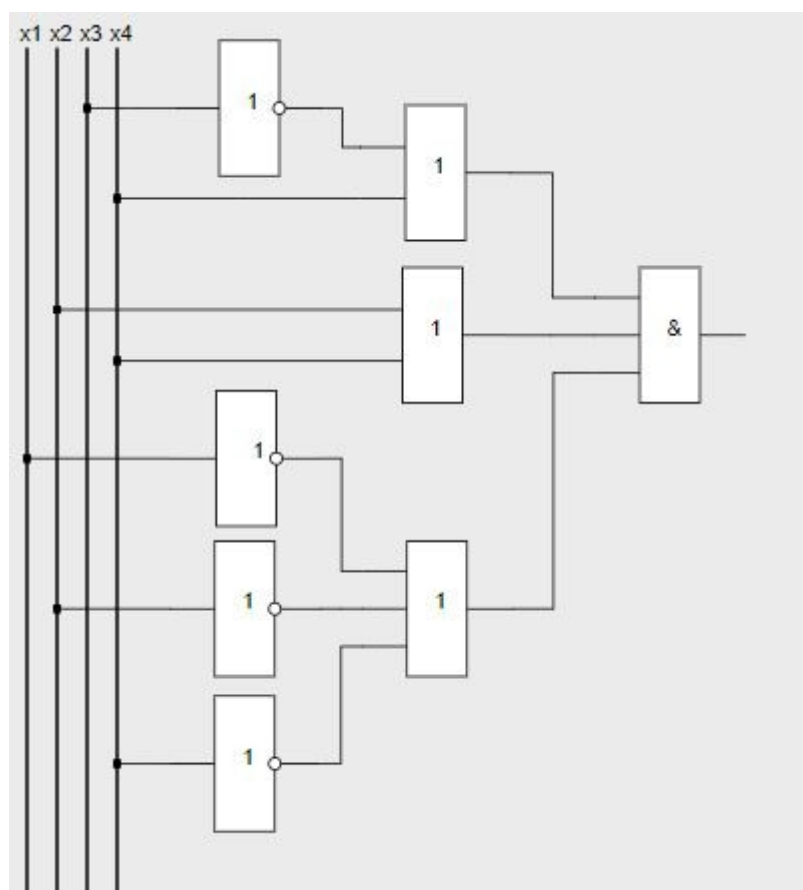


Рис. 2.2 МКНФ

5-й этап. ЛС ПФ в виде МДНФ и МКНФ в MicroCap и полученные временные диаграммы.

(Рис. 3)

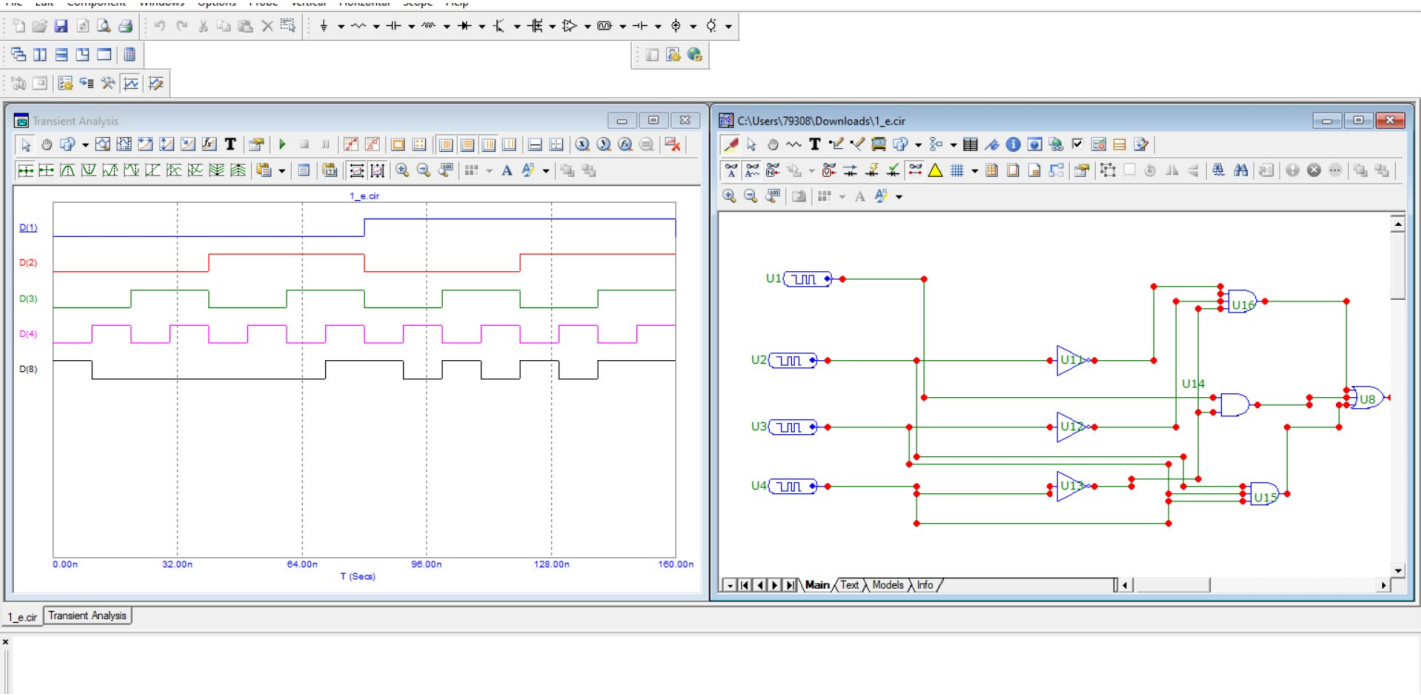
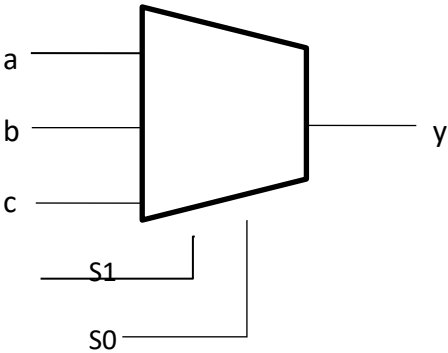


Рисунок 3. Логическая схема ПФ и временные диаграммы.

3. Построение мультиплексора.

№ варианта	Вид совершенной формы	Вид минимальной формы	Тип конечного базиса
1	СовДНФ	МДНФ	Пирса

Схема мультиплексора 3 в 1



1 этап. Таблица истинности мультиплексора 3 в 1

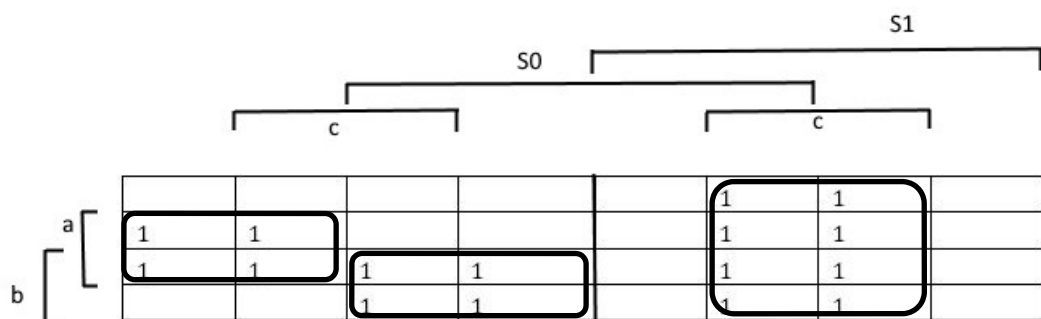
N набора	S1	S0	c	b	a	y
0	0	0	0	0	0	0

1	0	0	0	0	1	1
2	0	0	0	1	0	0
3	0	0	0	1	1	1
4	0	0	1	0	0	0
5	0	0	1	0	1	1
6	0	0	1	1	0	0
7	0	0	1	1	1	1
8	0	1	0	0	0	0
9	0	1	0	0	1	0
10	0	1	0	1	0	1
11	0	1	0	1	1	1
12	0	1	1	0	0	0
13	0	1	1	0	1	0
14	0	1	1	1	0	1
15	0	1	1	1	1	1
16	1	0	0	0	0	0
17	1	0	0	0	1	0
18	1	0	0	1	0	0
19	1	0	0	1	1	0
20	1	0	1	0	0	1
21	1	0	1	0	1	1
22	1	0	1	1	0	1
23	1	0	1	1	1	1
24	1	1	0	0	0	0
25	1	1	0	0	1	0
26	1	1	0	1	0	0
27	1	1	0	1	1	0
28	1	1	1	0	0	1
29	1	1	1	0	1	1
30	1	1	1	1	0	1
31	1	1	1	1	1	1

2 этап. Нахождение СовДНФ мультиплексора по его таблице истинности

СовДНФ = $\overline{S1}S0cba \vee \overline{S1}S0c\overline{b}a \vee \overline{S1}S0c\overline{b}\overline{a} \vee \overline{S1}S0cba \vee \overline{S1}S0c\overline{b}\overline{a} \vee \overline{S1}S0cba \vee \overline{S1}S0cb\overline{a} \vee \overline{S1}S0cba \vee S1\overline{S0}c\overline{b}\overline{a} \vee S1\overline{S0}c\overline{b}a \vee S1\overline{S0}cb\overline{a} \vee S1\overline{S0}cba \vee S1S0c\overline{b}\overline{a} \vee S1S0c\overline{b}a \vee S1S0cb\overline{a} \vee S1S0cba$

3 этап. Нахождение МДНФ ПФ мультиплексора 3 в 1 с помощью карт Карно:



МДНФ = $\overline{S1}S0a \vee \overline{S1}S0b \vee S1c$

4 этап. Переход от МДНФ ПФ мультиплексора 3 в 1 к базису Пирса.

Применим закон де Моргана $x y = \overline{\bar{x} \vee \bar{y}}$ к выражению МДНФ, получим

$$Y = S1 \vee S0 \vee \bar{a} \vee S1 \vee \bar{S0} \vee \bar{b} \vee \bar{S1} \vee \bar{c}$$

С учетом закона двойного отрицания получим искомую форму в базисе функций стрелка Пирса:

$$Y = \overline{(S1 \downarrow S0 \downarrow \bar{a}) \downarrow (S1 \downarrow \bar{S0} \downarrow \bar{b}) \downarrow \bar{c}}$$

5 этап. Построение ЛС мультиплексора 3 в 1 универсальном базисе

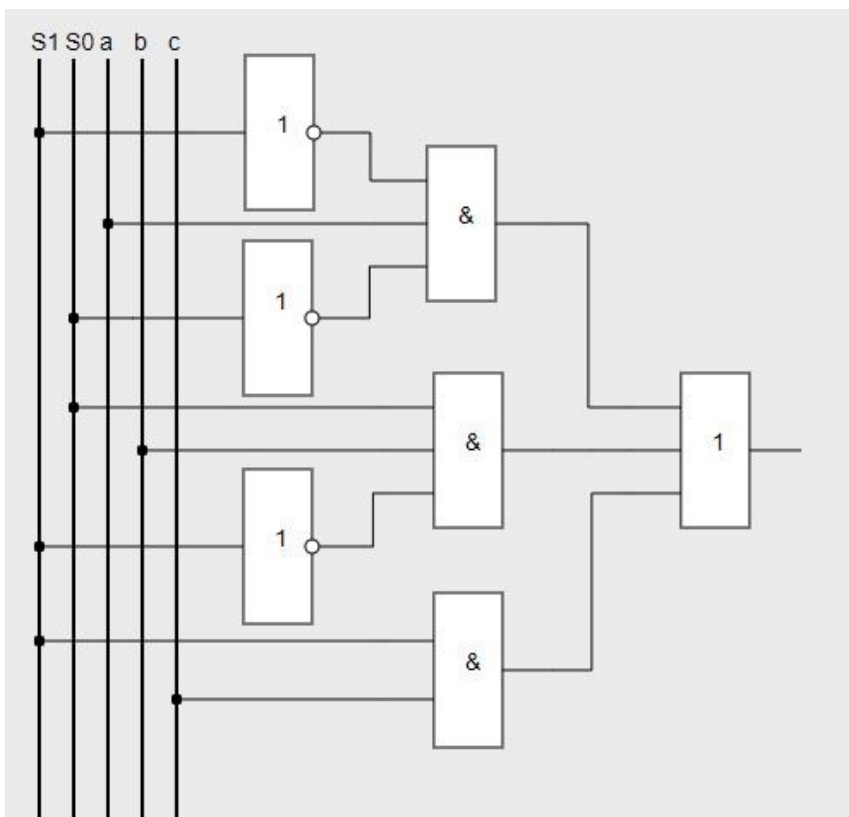


Рисунок 1. Логическая схема мультиплексора 3 в 1 в универсальном базисе.

6 этап. Построение ЛС в базисе Пирса ИЛИ-НЕ

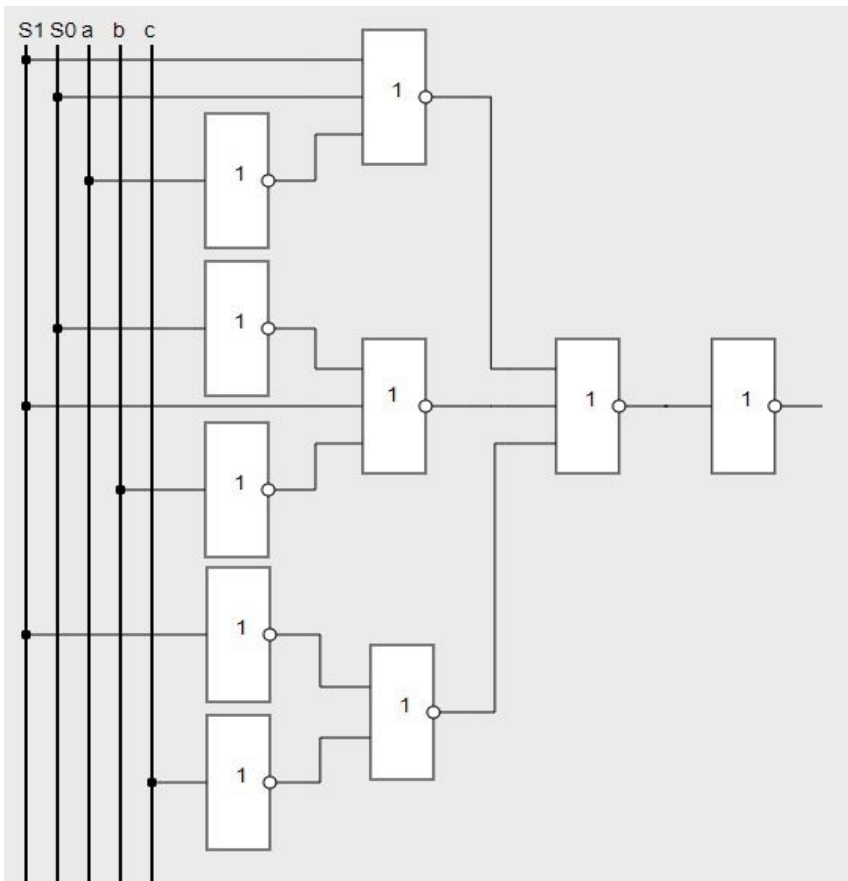


Рисунок 2. Логическая схема мультиплексора 3 в 1 в базисе Пирса.

7 этап. Построение логической схемы мультиплексора в универсальном базисе и базисе Пирса в MicroCap и ее моделирование.

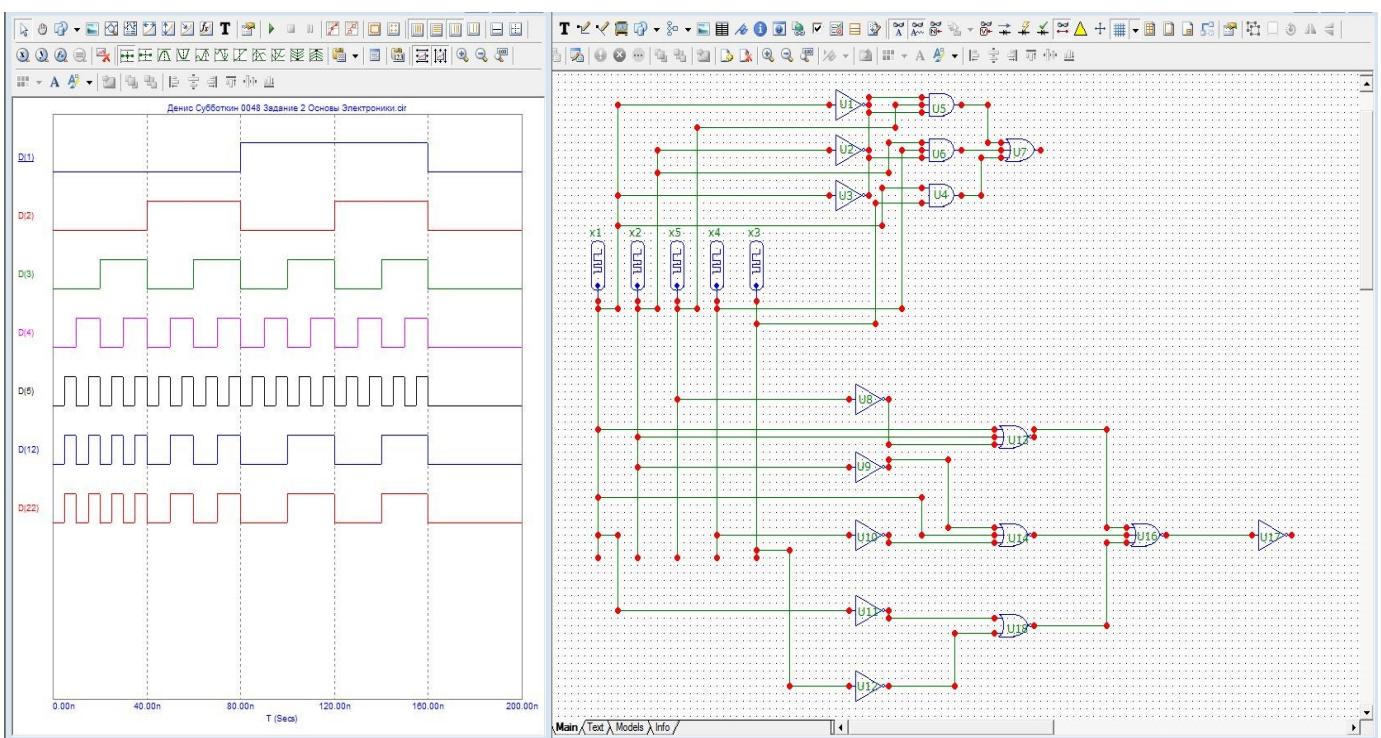


Рисунок 3. Логическая схема мультиплексора в универсальном базисе и базисе Пирса в MicroCap и ее временная диаграмма.

4. Построение дешифратора.

Задание.

№	Логическая схема	Вид	Базис
17	Дешифратор "из 4 в 9"	МДНФ	И-НЕ

1 этап.

Составляем таблицу истинности для неполного дешифратора "из 4 в 9"

Таблица 1 — Таблица истинности для неполного дешифратора из 4 в 9

Входы				Y	Y	Y	Y	Y	Y	Y	Y	Y
X0	X1	X2	X3	0	1	2	3	4	5	6	7	8
0	0	0	0									
0	0	0	1									
0	0	1	0	1								
0	0	1	1		1							
0	1	0	0			1						
0	1	0	1				1					
0	1	1	0					1				
0	1	1	1						1			
1	0	0	0							1		
1	0	0	1								1	
1	0	1	0									1
1	0	1	1									
1	1	0	0									
1	1	0	1									
1	1	1	0									
1	1	1	1									

2 этап.

Согласно таблице истинности записываем функции в виде СовДНФ

$$Y_0 = \overline{X_0} \overline{X_1} X_2 \overline{X_3};$$

$$Y_1 = \overline{X_0} \overline{X_1} X_2 X_3;$$

$$Y_2 = \overline{X_0} X_1 \overline{X_2} \overline{X_3};$$

$$Y_3 = \overline{X_0} X_1 \overline{X_2} X_3;$$

$$Y_4 = \overline{X_0} X_1 X_2 \overline{X_3};$$

$$Y_5 = \overline{X_0} X_1 X_2 X_3;$$

$$Y_6 = X_0 \overline{X_1} X_2 \overline{X_3};$$

$$Y_7 = X_0 \overline{X_1} X_2 X_3;$$

$$Y_8 = X_0 \overline{X_1} X_2 \overline{X_3}.$$

3 этап.

Нахождение МДНФ с помощью карт Карно.

В данном случае минимизировать функции не требуется.

4 этап.

При реализации на элементах И-НЕ следует произвести двойную инверсию над полученной МДНФ и преобразовать по теореме де Моргана инверсию дизъюнкции в конъюнкцию инверсий:

$$Y_0 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

$$Y_1 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

$$Y_2 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

$$Y_3 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

$$Y_4 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

$$Y_5 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

$$Y_6 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

$$Y_7 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

$$Y_8 = \overline{\overline{X_0 X_1 X_2 X_3}}$$

5 этап.

Логическая схема и результаты имитационного моделирования дешифратора «из 5 в 25» представлена на рисунках 1 и 2.

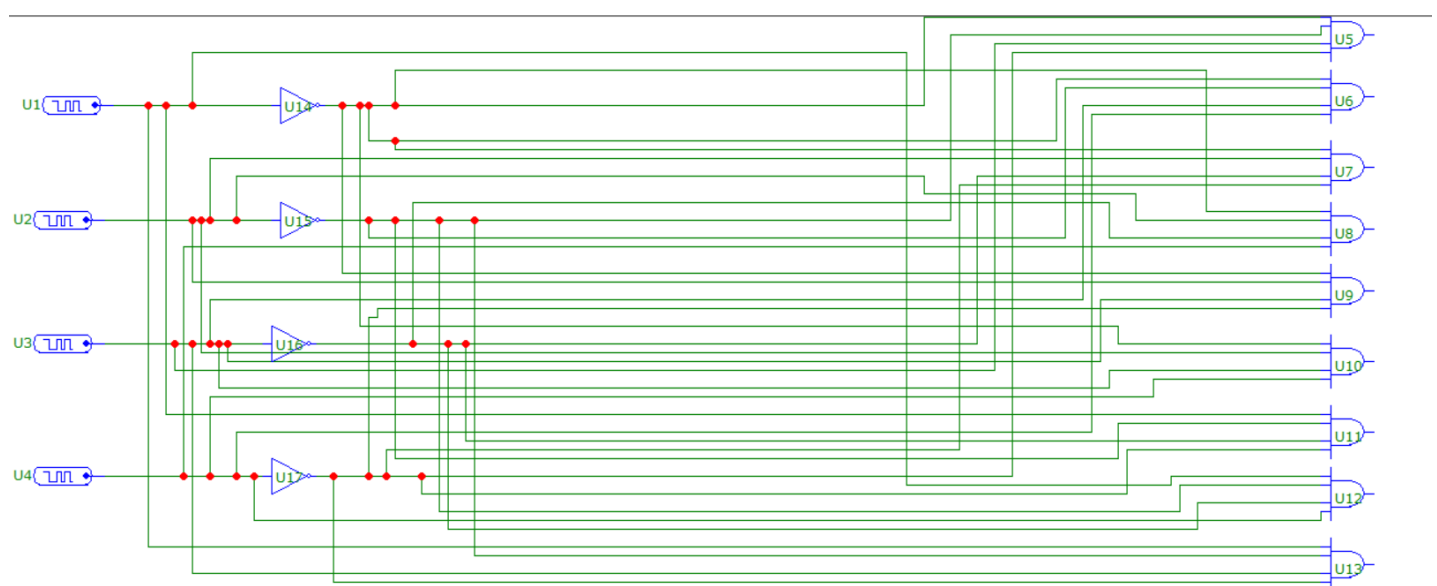


Рисунок 1. Логическая схема дешифратора «из 4 в 9»

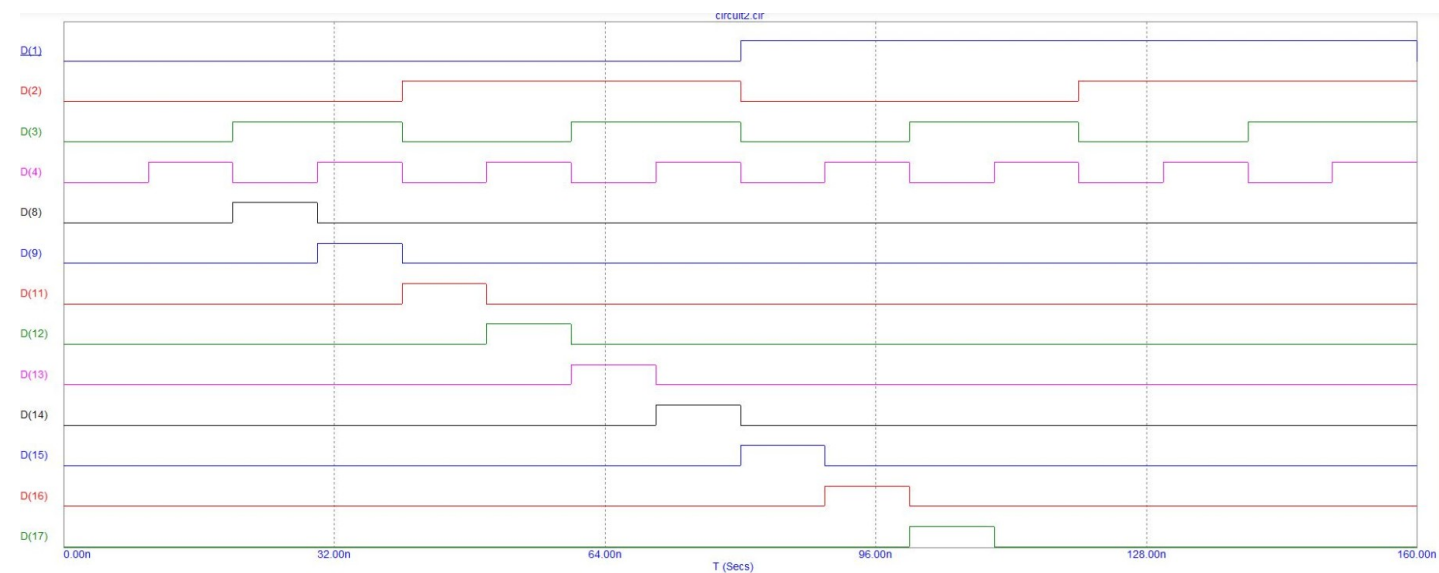


Рисунок 2. Результат имитационного моделирования дешифратора «из 4 в 9».

5. Построение Параллельного вычитателя

Задание.

№ варианта	Операция	Наличие входного переноса	Вид минимальной формы	Тип конечного базиса
1	вычитатель	Да	МДНФ	Пирса

1 этап.

Таблица 1-Таблица истинности 2-х разрядного вычитателя с входным переносом

№ набора	Входы					Выходы		
	A1	A0	B1	B0	C1	C	S1	S0
0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	1	1	1
2	0	0	0	1	0	1	1	1
3	0	0	0	1	1	1	1	0
4	0	0	1	0	0	1	1	0
5	0	0	1	0	1	1	0	1
6	0	0	1	1	0	1	0	1
7	0	0	1	1	1	1	0	0
8	0	1	0	0	0	0	0	1
9	0	1	0	0	1	0	0	0
10	0	1	0	1	0	0	0	0
11	0	1	0	1	1	1	1	1
12	0	1	1	0	0	1	1	1
13	0	1	1	0	1	1	1	0
14	0	1	1	1	0	1	1	0
15	0	1	1	1	1	1	0	1
16	1	0	0	0	0	0	1	0
17	1	0	0	0	1	0	0	1
18	1	0	0	1	0	0	0	1

Рисунок 1- Карта Карно для нахождения МДНФ разряда переноса С

МДНФ для разряда $C = \overline{A}1B1 \vee \overline{A}1B0C1 \vee \overline{A}1\overline{A}0C1 \vee \overline{A}1\overline{A}0B0 \vee A1\overline{A}0B1C1 \vee A1B1B0C1 \vee \overline{A}0B1B0$

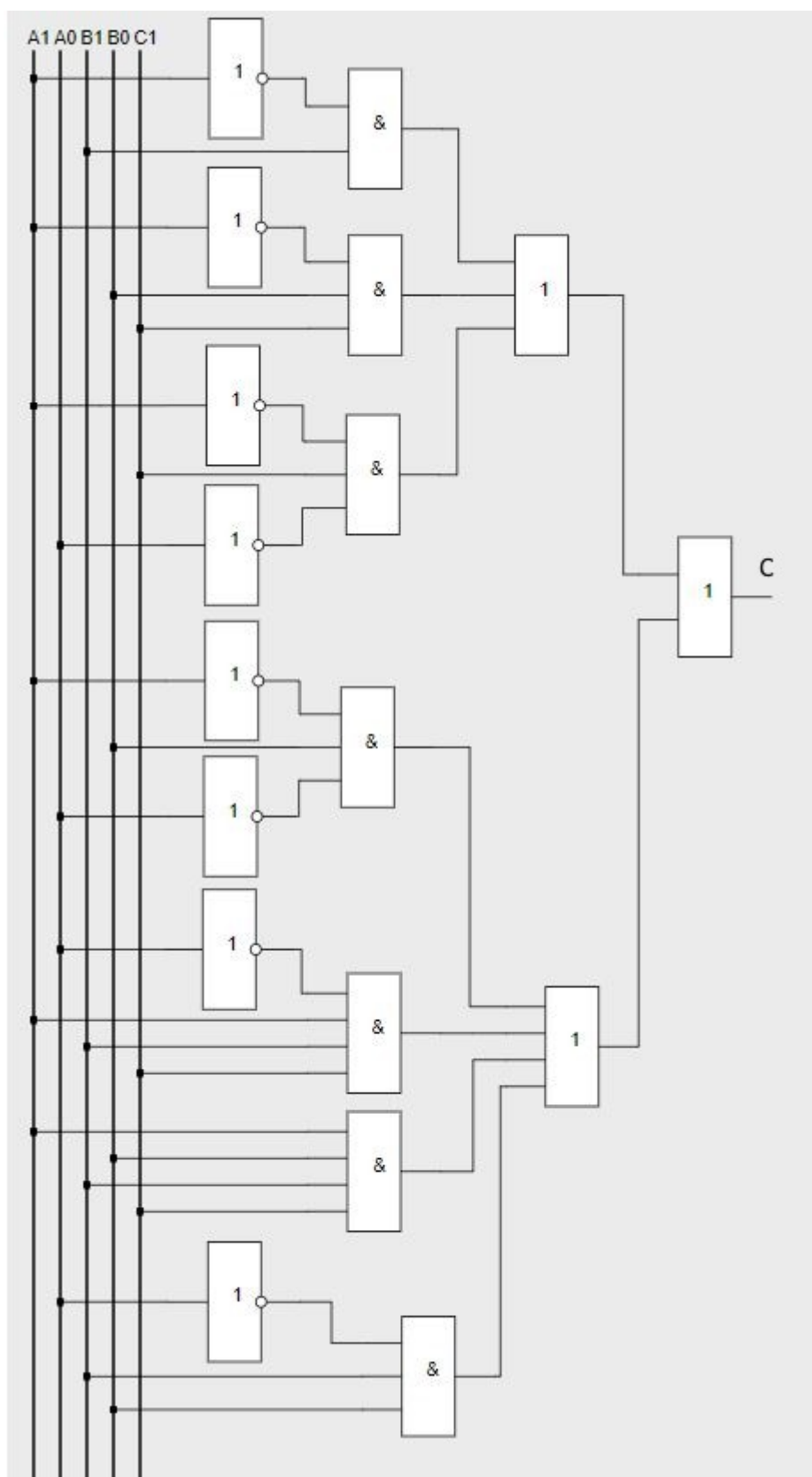


Рисунок 2- Логическая схема для разряда переноса С 2-х разрядного вычитателя с входным переносом в универсальном базисе

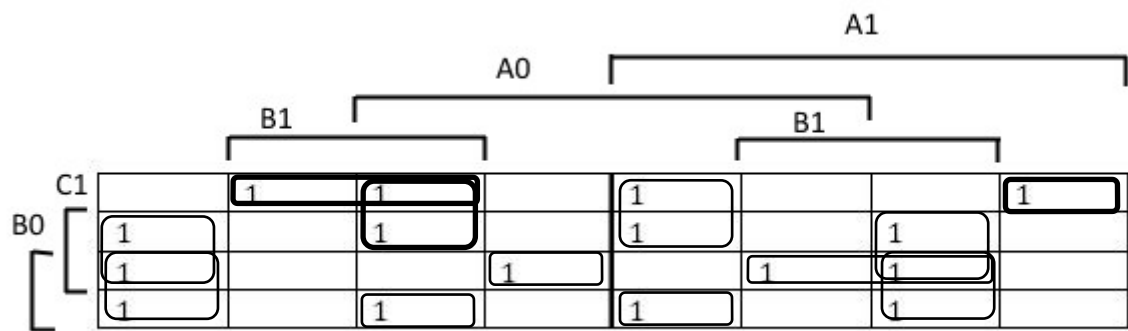


Рисунок 3 - Карта Карно для нахождения МДНФ разряда S1

$$\begin{aligned}
 \text{МДНФ для } S1 = & \overline{A}1\overline{B}1\overline{B}0\overline{C}1 \vee \overline{A}1A0\overline{B}1\overline{B}0 \vee \overline{A}1A0\overline{B}1C1 \vee \overline{A}1A0\overline{B}1B0 \vee \overline{A}1A0\overline{B}1B0C1 \vee \overline{A}1A0B1\overline{B}0\overline{C}1 \\
 & \vee \overline{A}1A0\overline{B}1B0 \vee \overline{A}1B1B0C1 \vee \overline{A}1\overline{A}0\overline{B}1C1 \vee \overline{A}1\overline{A}0\overline{B}1B0 \vee \overline{A}1\overline{A}0\overline{B}1B0C1 \vee \overline{A}1A0\overline{B}1B0\overline{C}1
 \end{aligned}$$

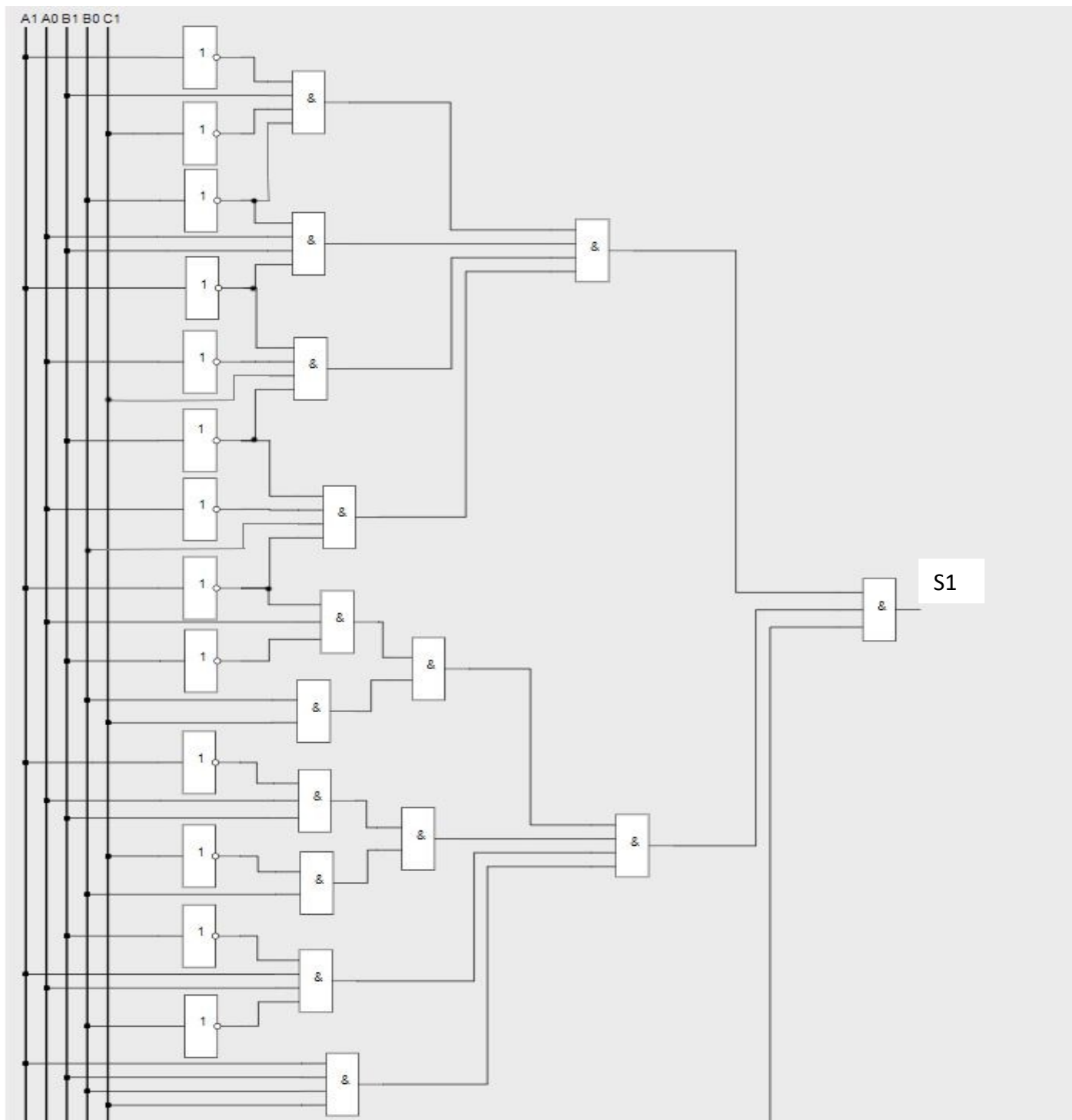


Рисунок 4, лист 1 - Логическая схема для разряда S1 2-х разрядного вычитателя с входным переносом в универсальном базисе

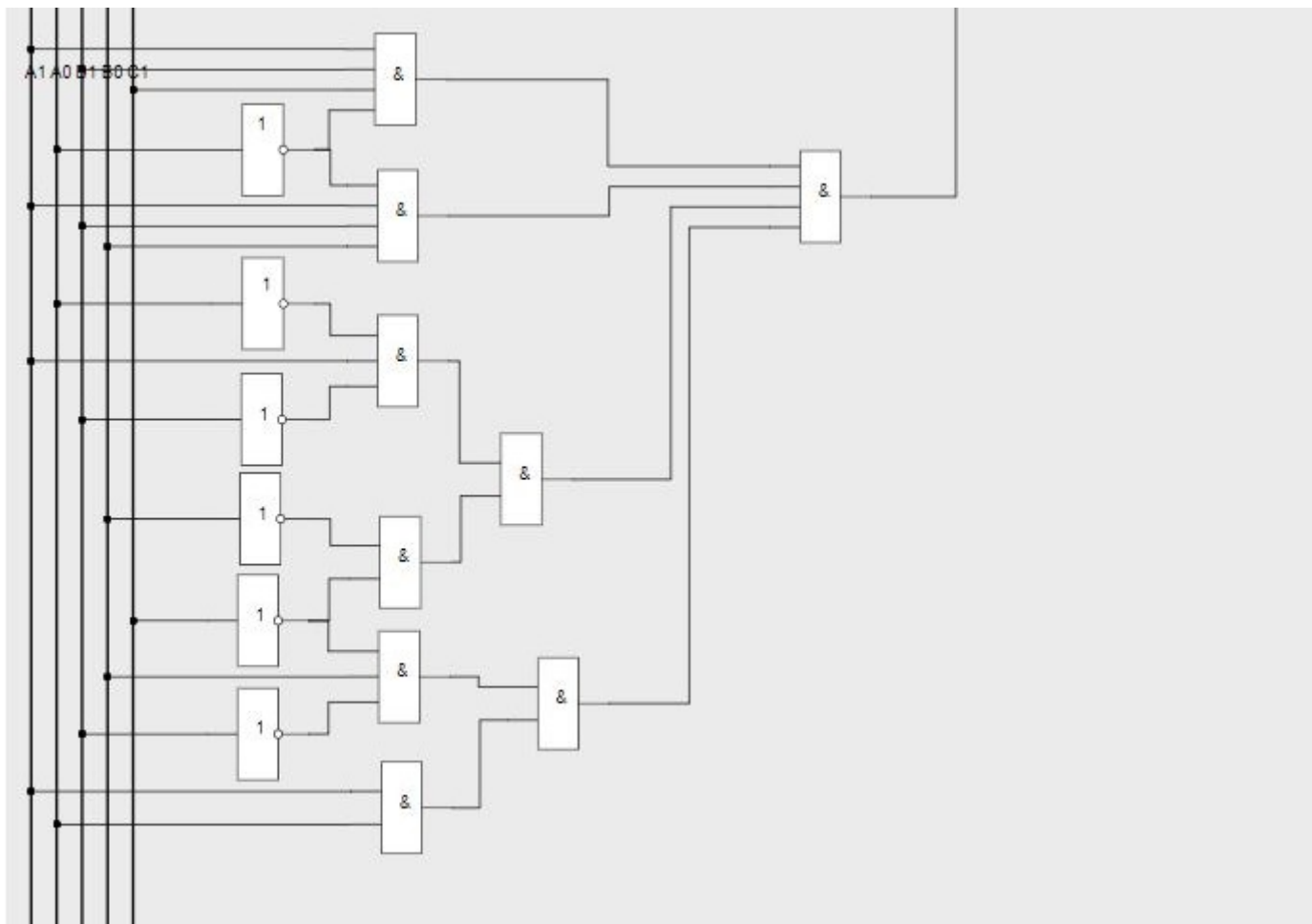


Рисунок 4, лист 2 -Логическая схема для разряда S1 2-х разрядного вычитателя с входным переносом в универсальном базисе

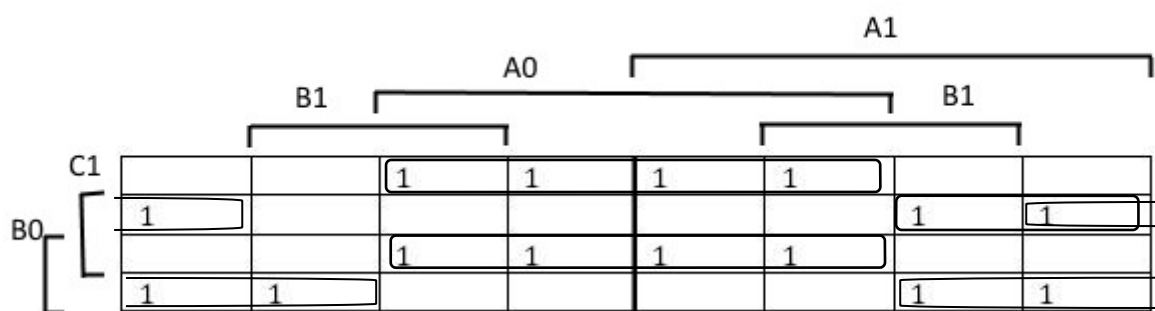


Рисунок 5 - Карта Карно для нахождения МДНФ разряда S0

МДНФ для $S0 = A0\overline{B0}C1 \vee A0B0C1 \vee A0B1\overline{B0}C1 \vee A1A0\overline{B0}C1 \vee A0\overline{B0}C1$

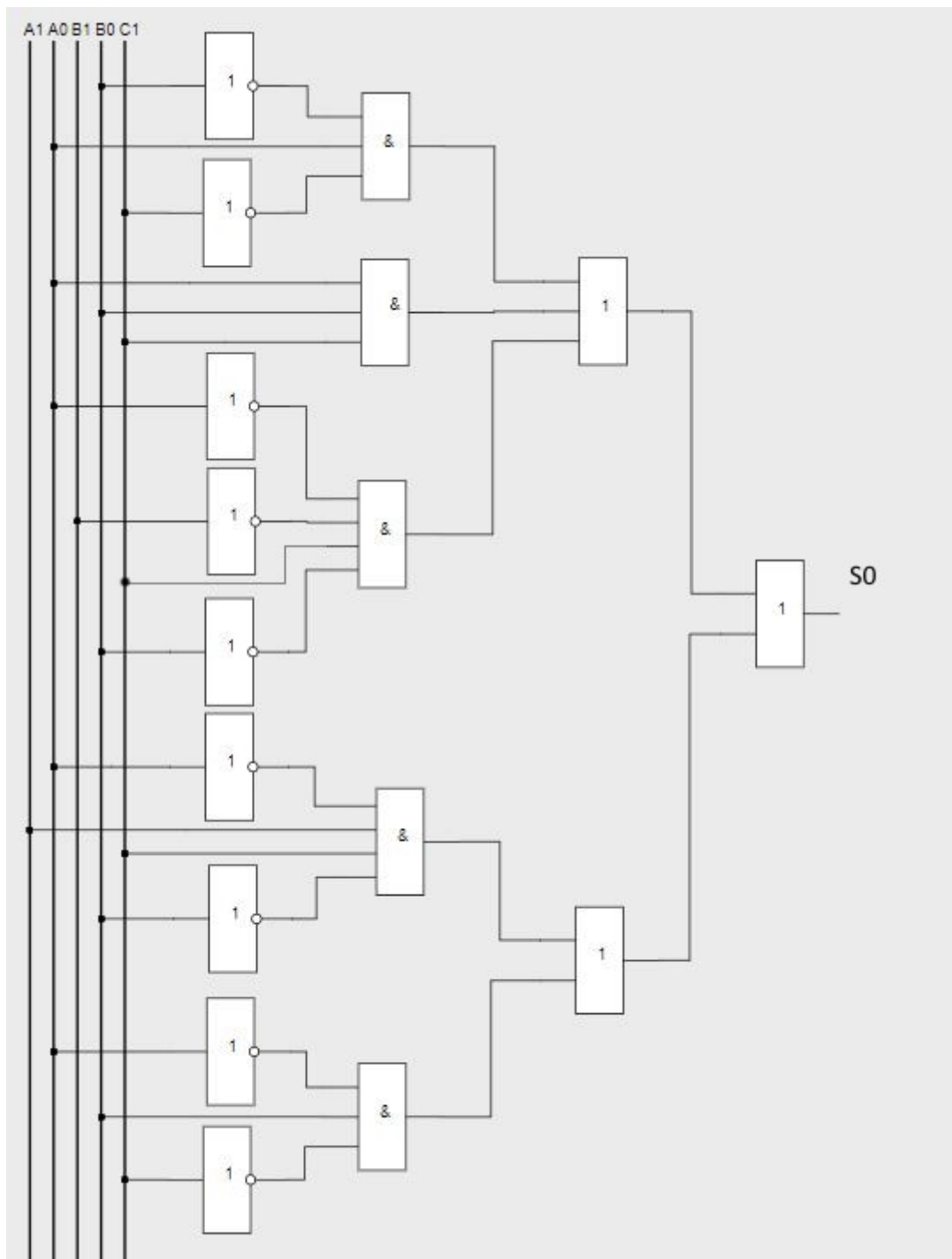


Рисунок 6 - Логическая схема выхода S0 2-х разрядного вычитателя с входным переносом в универсальном базисе

4 этап.

Переход от МДНФ переключательной функции вычитателя к базису Пирса:

Применив закон де Моргана к формулам МДНФ переключательных функций получим:

$$C = A1 \vee \overline{B1} \vee A1 \vee \overline{B0} \vee \overline{C1} \vee A1 \vee A0 \vee \overline{C1} \vee A1 \vee A0 \vee \overline{B0} \vee \overline{A1} \vee A0 \vee \overline{B1} \vee \overline{C1} \vee \overline{A1} \vee \overline{B1} \vee \overline{B0} \vee \overline{C1} \vee A0 \vee \overline{B1} \vee \overline{B0}$$

$$S1 = A1 \vee \overline{B1} \vee B0 \vee C1 \vee A1 \vee \overline{A0} \vee \overline{B1} \vee B0 \vee A1 \vee A0 \vee B1 \vee \overline{C1} \vee A1 \vee A0 \vee B1 \vee \overline{B0} \vee A1 \vee \overline{A0} \vee B1 \vee \overline{B0} \vee \overline{C1} \vee A1 \vee \overline{A0} \vee \overline{B1} \vee \overline{B0} \vee C1 \vee \overline{A1} \vee \overline{A0} \vee B1 \vee B0 \vee \overline{A1} \vee \overline{B1} \vee \overline{B0} \vee \overline{C1} \vee \overline{A1} \vee A0 \vee \overline{B1} \vee \overline{C1} \vee \overline{A1} \vee A0 \vee \overline{B1} \vee \overline{B0} \vee \overline{A1} \vee A0 \vee B1 \vee B0 \vee C1 \vee \overline{A1} \vee \overline{A0} \vee \overline{B1} \vee \overline{B0} \vee C1$$

$$S_0 = \overline{A_0 \vee B_0 \vee C_1 \vee \overline{A_0 \vee B_0 \vee C_1}} \vee A_0 \vee B_1 \vee B_0 \vee \overline{C_1} \vee \overline{A_1 \vee A_0 \vee B_0 \vee \overline{C_1}} \vee A_0 \vee \overline{B_0 \vee C_1}$$

Применив к полученным выражениям правило перехода к базису Пирса, получим:

$$C = \downarrow \overline{B_1} \downarrow \downarrow \overline{C_1} \downarrow \downarrow \downarrow A_0 \downarrow \overline{B_1} \downarrow \overline{C_1} \downarrow \downarrow \downarrow \overline{B_1} \downarrow \overline{B_0})$$

$$S_1 = \downarrow C_1 \downarrow (A_1 \downarrow \overline{A_0} \downarrow \overline{B_1} \downarrow B_0) \downarrow (A_1 \downarrow A_0 \downarrow B_1 \downarrow \overline{C_1} \downarrow (A_1 \downarrow A_0 \downarrow B_1 \downarrow \overline{B_0} \downarrow (A_1 \downarrow \overline{A_0} \downarrow B_1 \downarrow \overline{B_0} \downarrow \overline{C_1} \downarrow (A_1 \downarrow \overline{A_0} \downarrow \overline{B_1} \downarrow \overline{B_0} \downarrow C_1) \downarrow \downarrow \overline{A_0} \downarrow B_1 \downarrow B_0) \downarrow \downarrow \overline{B_1} \downarrow \overline{B_0} \downarrow \overline{C_1} \downarrow \downarrow A_0 \downarrow \overline{B_1} \downarrow \overline{C_1} \downarrow \downarrow A_0 \downarrow \overline{B_1} \downarrow \overline{B_0}) \downarrow \downarrow A_0 \downarrow B_1 \downarrow B_0 \downarrow C_1) \downarrow \downarrow \overline{A_0} \downarrow B_1 \downarrow \overline{B_0} \downarrow C_1)$$

$$S_0 = \overline{\square} \downarrow B_0 \downarrow C_1) \downarrow \overline{\square} \downarrow \overline{B_0} \downarrow \overline{C_1}) \downarrow (A_0 \downarrow B_1 \downarrow B_0 \downarrow \overline{C_1} \downarrow \downarrow A_0 \downarrow B_0 \downarrow \overline{C_1} \downarrow (A_0 \downarrow \overline{B_0} \downarrow C_1)$$

5 этап.

Построение в базисе Пирса логической схемы 2-х разрядного вычитателя с входным переносом

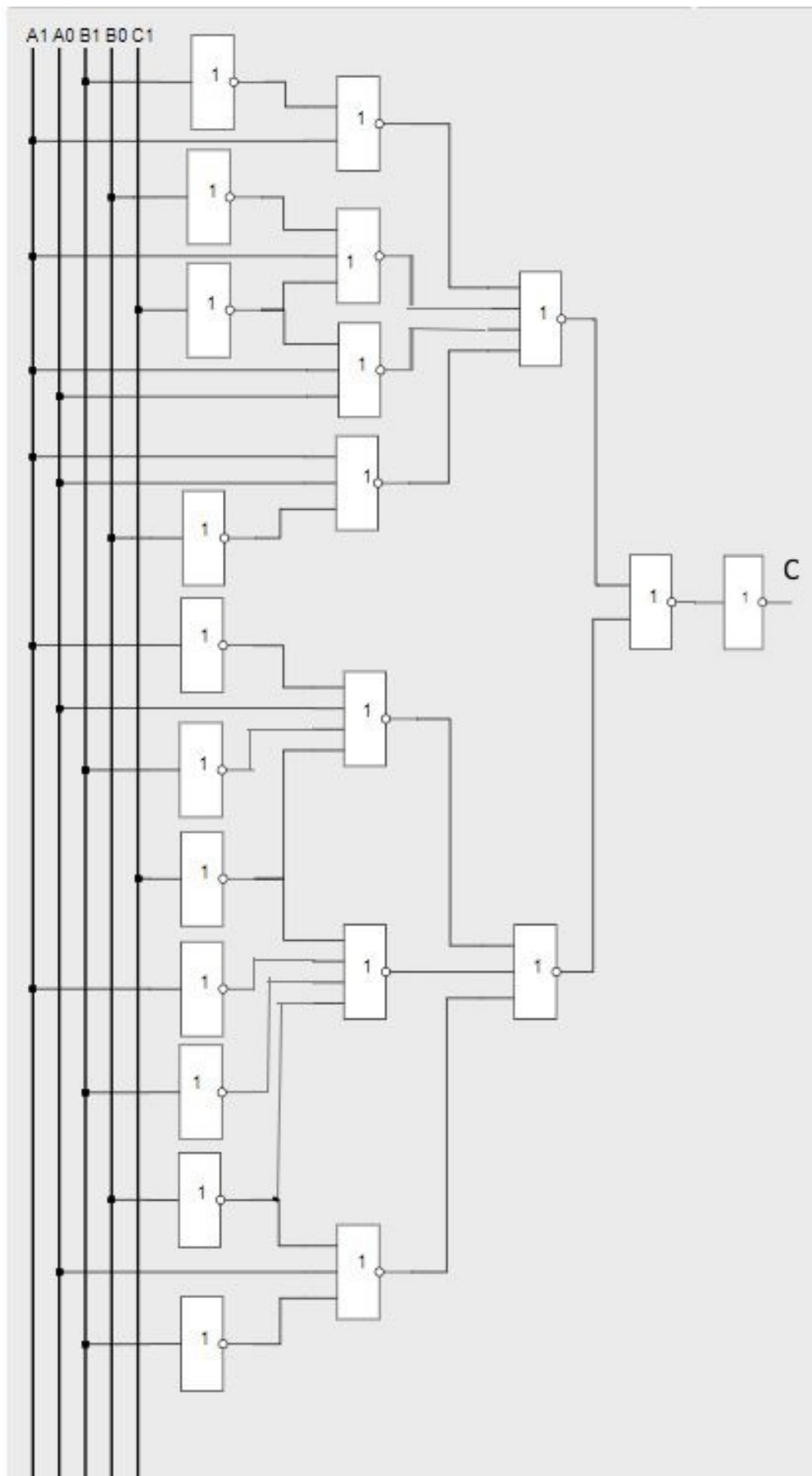


Рисунок 7 - Логическая схема выхода С 2-х разрядного вычитателя со входным переносом в базисе Пирса

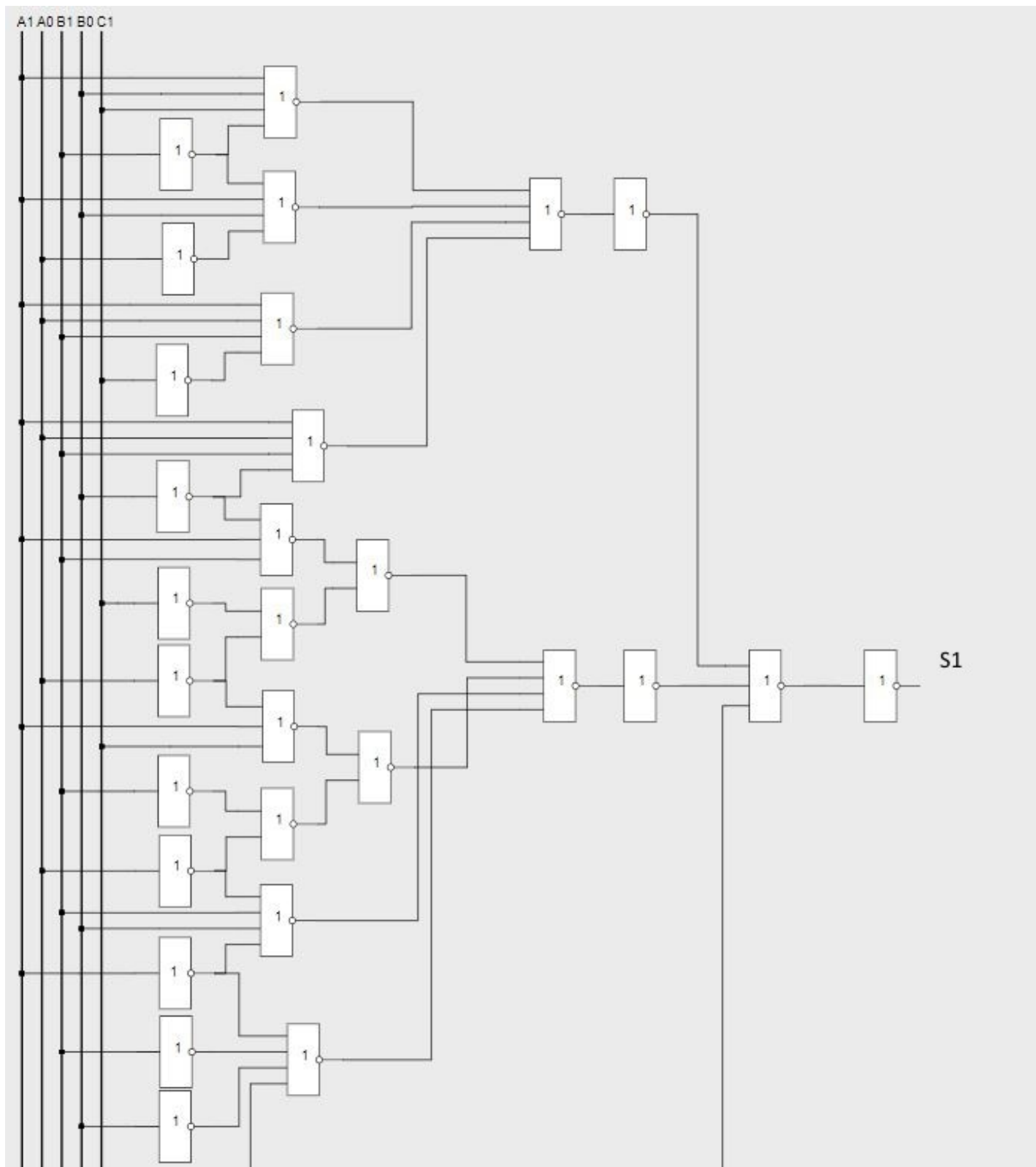


Рисунок 8, лист 1 - Логическая схема выхода S1 2-х разрядного вычитателя со входным переносом в базисе Пирса

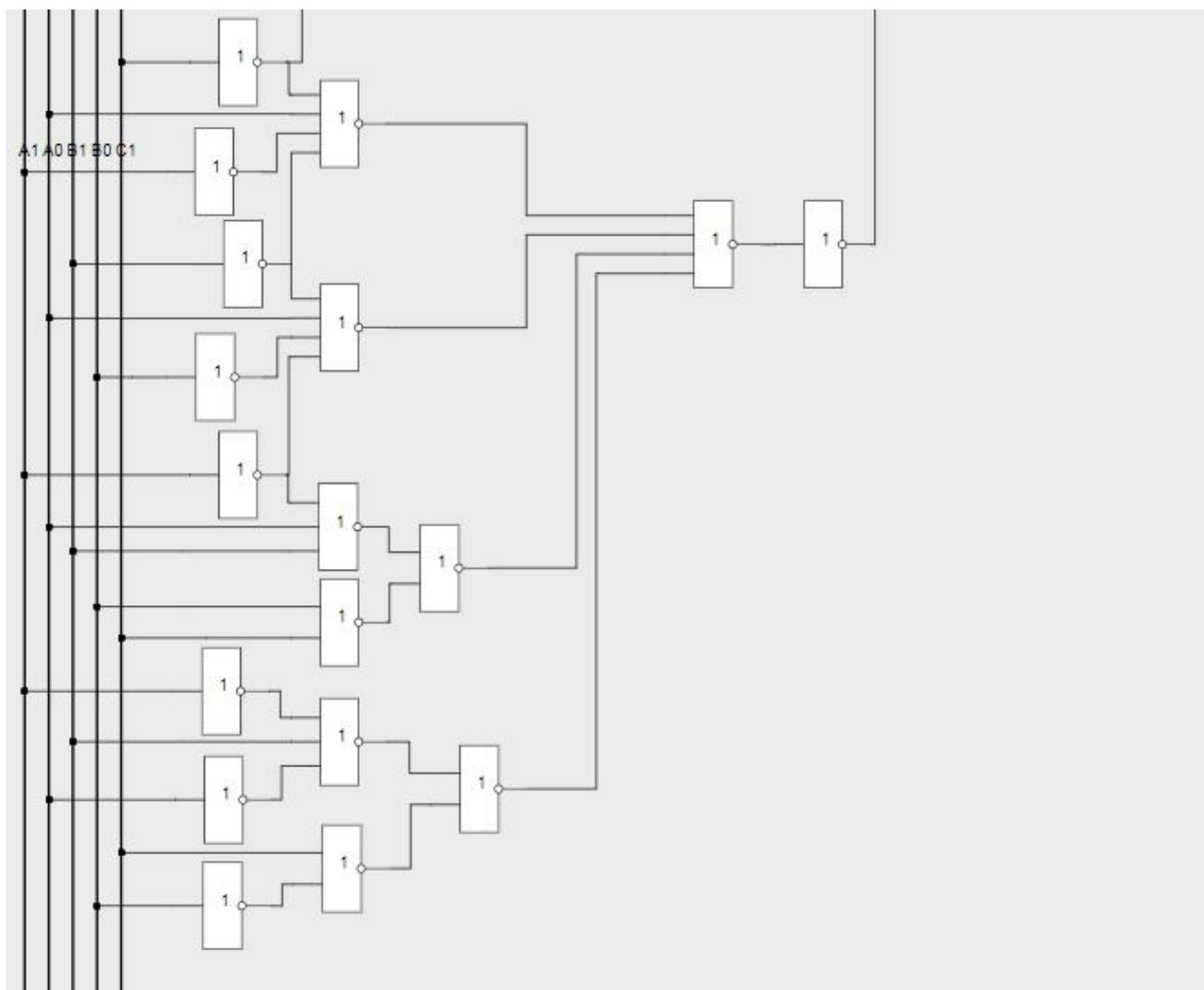


Рисунок 8, лист 2 - Логическая схема выхода S1 2-х разрядного вычитателя со входным переносом в базисе Пирса

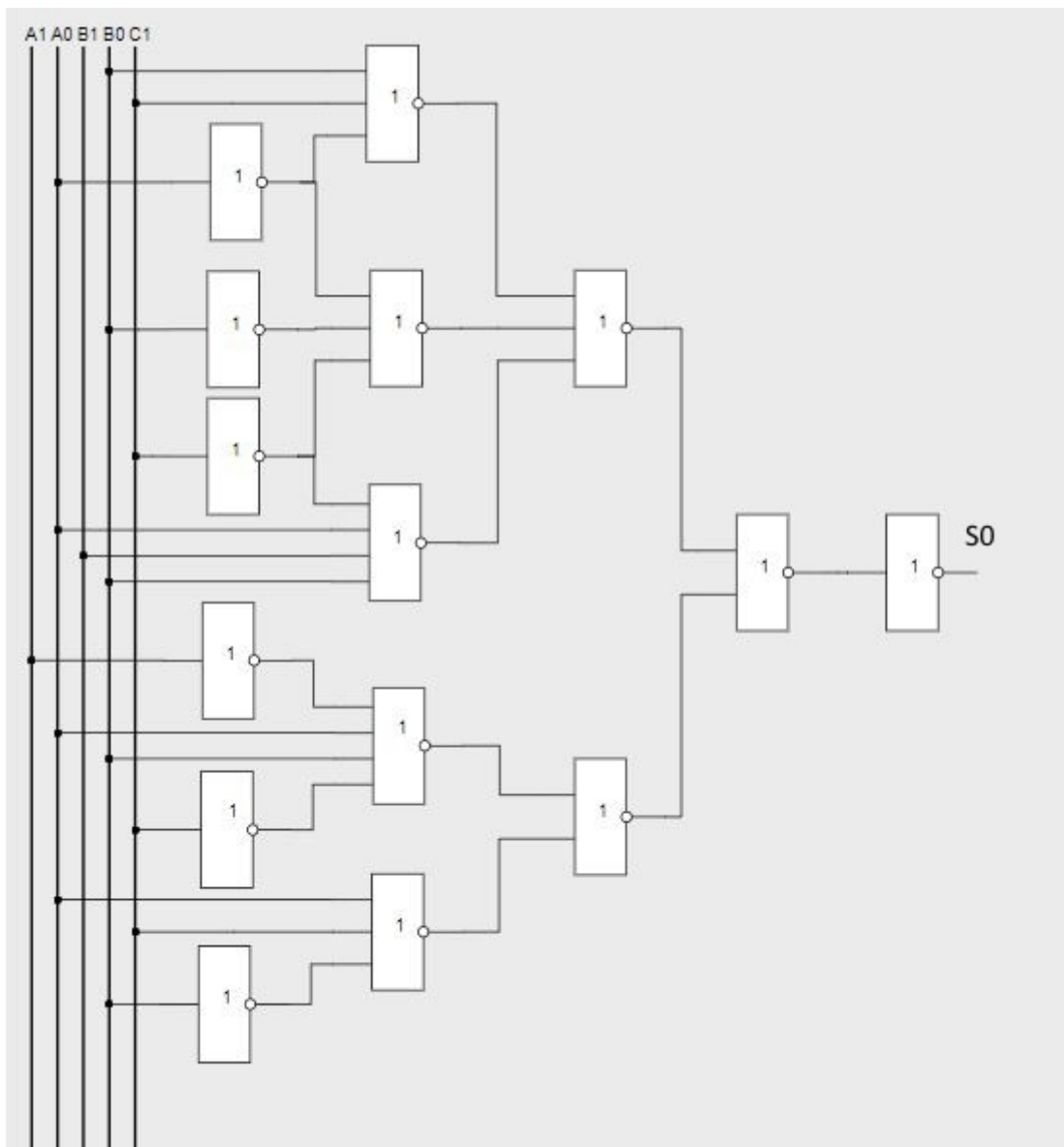


Рисунок 9 - Логическая схема выхода S0 2-х разрядного вычитателя со входным переносом в базисе Пирса

6 этап.

Построение временных диаграмм логической схемы 2-х разрядного вычитателя со входным переносом

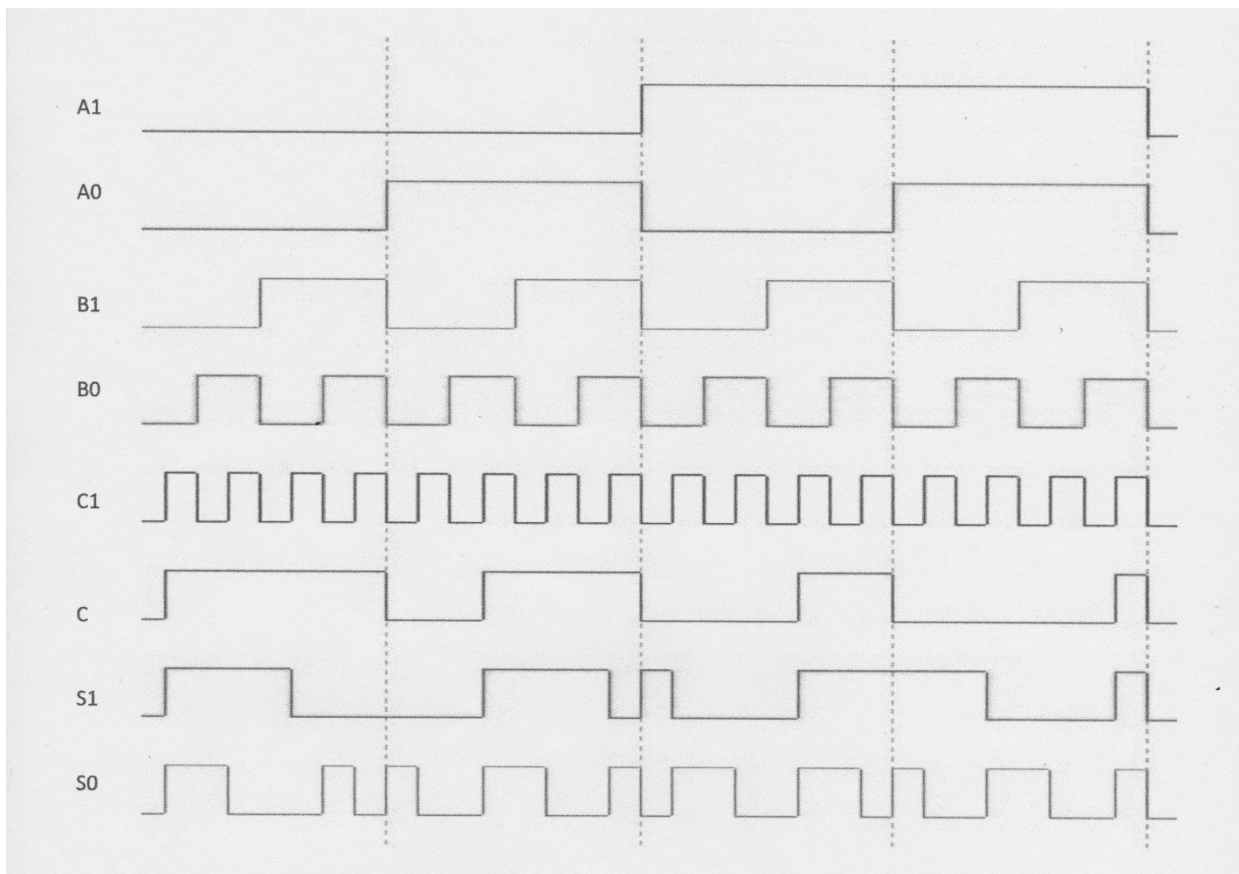


Рисунок 10 - Временная диаграмма логической схемы 2-х разрядного вычитателя со входным переносом

7 этап.

Построение логической схемы 2-х разрядного вычитателя со входным переносом в базисе Пирса в MicroCap и ее моделирование

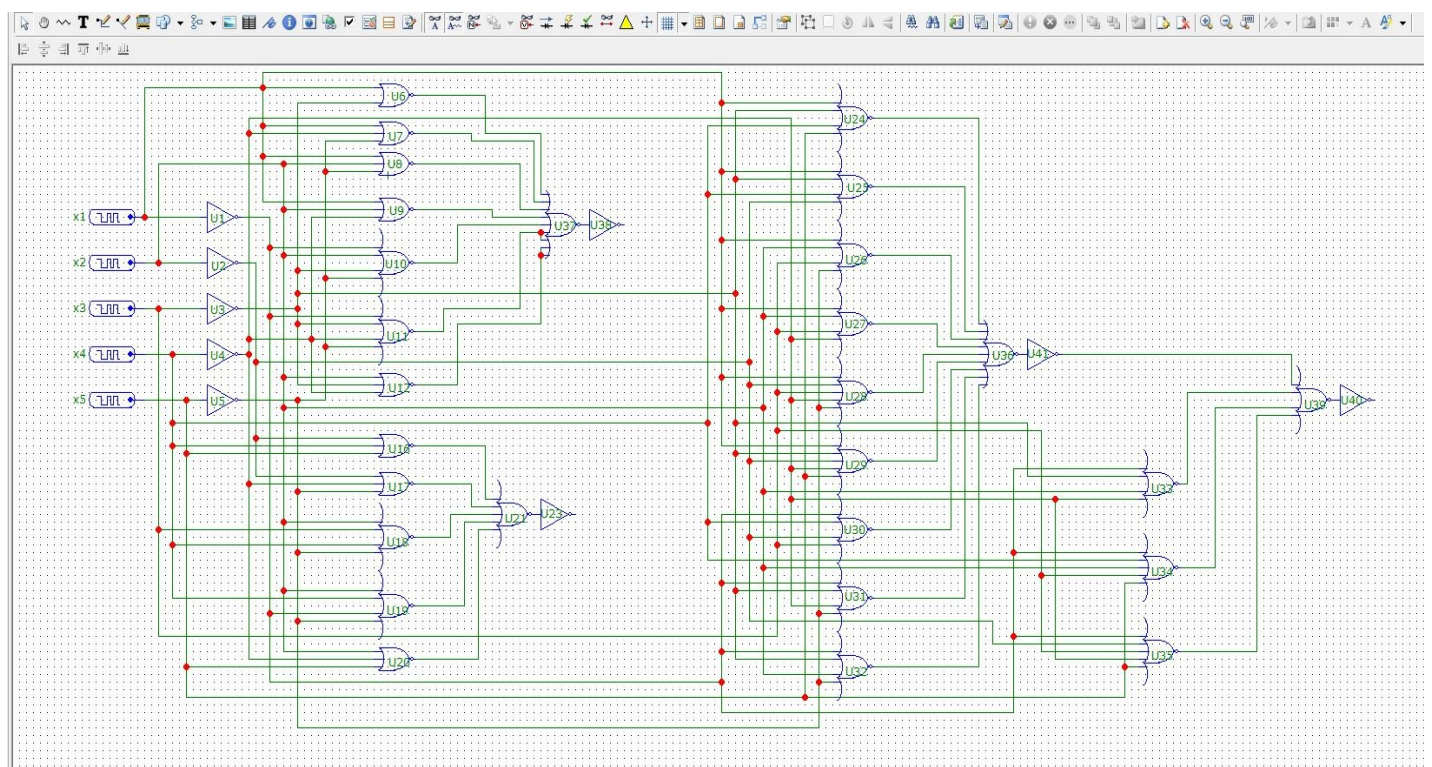


Рисунок 11 – Логическая схема 2-х разрядного вычитателя с входным переносом в базисе Пирса в MicroCap

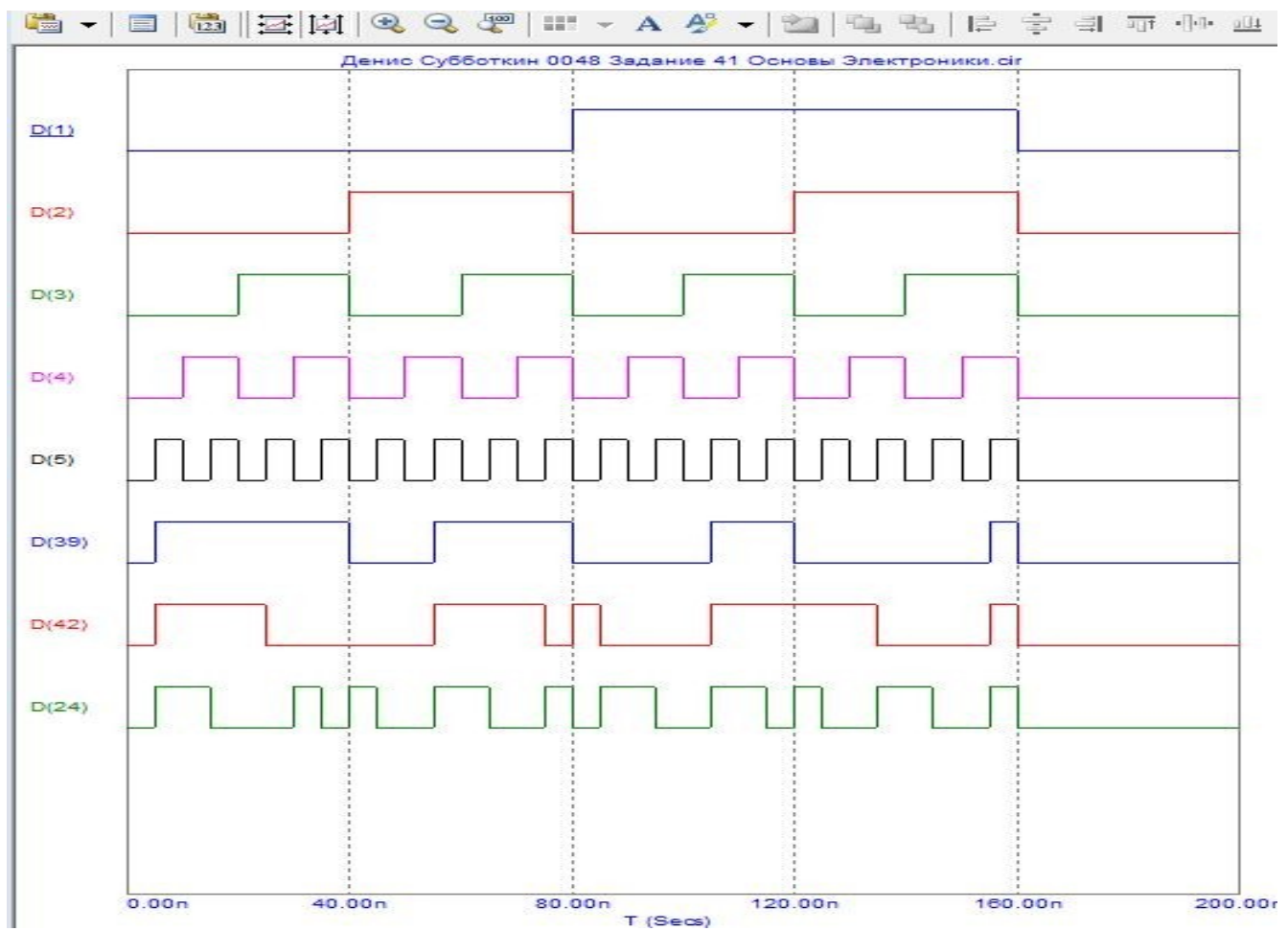


Рисунок 12 – Моделирование логической 2-х разрядного вычитателя с входным переносом в базисе Пирса в М

Заключение.

В результате данной работы были изучены:

- способы представления переключательных функций и построение их логических схем;
- изучение мультиплексора, способов его проектирования, построения логических схем в базисах Пирса и Шеффера;
- изучение принципов построения дешифраторов и способов их проектирования;
- изучение вычитателя, способа его проектирования, построения логических схем параллельного вычитателя в булевом базисе, а также в базисах Пирса и Шеффера.

Изучены также методы нахождения совершенной дизъюнктивно-нормальную формы (СовДНФ) и совершенной конъюнктивно-нормальную формы (СовКНФ) ПФ по ее таблице истинности, получения с помощью карт Карно минимальной дизъюнктивно-нормальной формы (МДНФ) и минимальной конъюнктивно-нормальной форму (МКНФ), а также построение логических схем в виде МДНФ и МКНФ в MicroCap и их моделирование.

Список используемых источников.

1. Амелина М.А., Амелин С.А. Программа схемотехнического моделирования Micro-Cap (версия 9,10) – 3-е изд. – СПб.: Лань, 2021 -632с.
2. Угрюмов Е. П. Цифровая схемотехника: учеб. пособие для вузов. — 3-е изд., перераб. и доп. — СПб.: БХВ-Петербург, 2010 — 816 с.: ил.
3. Сажнев А.М. Цифровые устройства и микропроцессоры. – 2-е изд., перераб. и доп. – М.: Издательство Юрайт, 2019 – 139 с.