САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

Отчет

по заданию lab\_MS\_SV4

Дисциплина

«Автоматизация проектирования дискретных устройств»

выполнил:

Фоничев И.Р.

группа: 5130901/10101

преподаватель: Федотов А. А.

Санкт-Петербург

2024

Оглавление

[Задание 3](#_Toc131231764)

[Моделирование 3](#_Toc131231765)

[Тестирование 4](#_Toc131231766)

[Симуляция 5](#_Toc131231767)

[Выводы 6](#_Toc131231768)

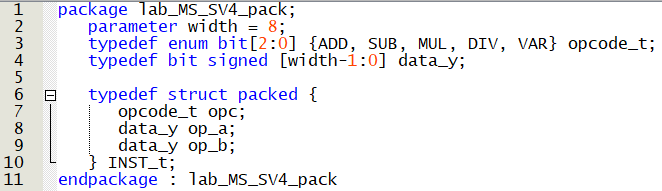
# Задание

В задании требуется написать простое арифметико-логическое устройство с параметризованной разрядностью. Устройство должно реализоваться как комбинационная схема и выполнять следующие операции:

* Сложение (ADD)
* Вычитание (SUB)
* Умножение (MUL)
* Деление (DIV)
* op\_a \* 13 – op\_b (VAR)

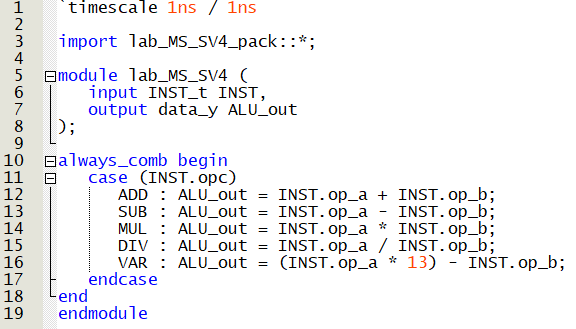
# Моделирование

Для реализации устройства был написан пакет с используемыми структурами lab\_MS\_SV\_pack (Рисунок 1).



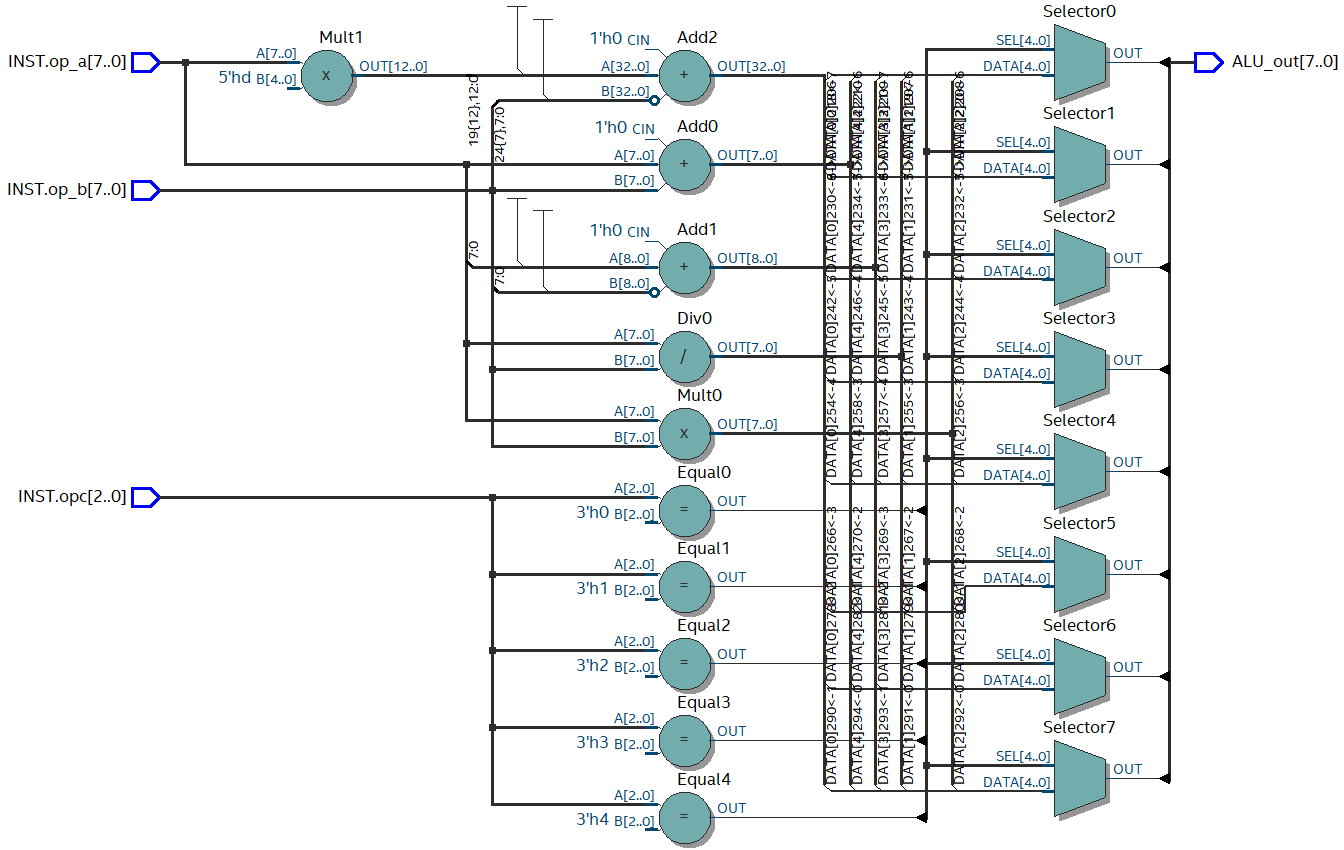
*Рисунок 1 - Код пакета lab\_MS\_SV4\_pack*

Так же был написан модуль первого уровня lab\_MS\_SV4 (Рисунок 2).



*Рисунок 2 - Код модуля lab\_MS\_SV4*

Полученная RTL схема приведена на рисунке 3.

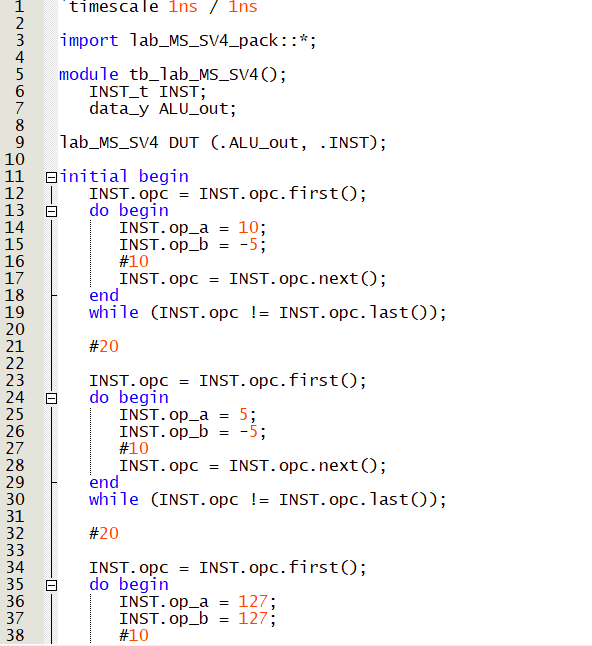


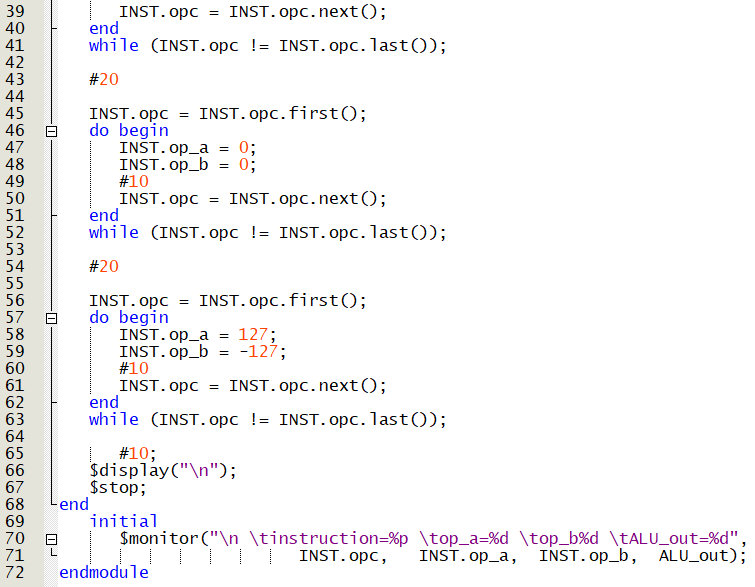
*Рисунок 3 - RTL схема модуля lab\_MS\_SV4*

Из полученной RTL схема можно сделать вывод, что устройство должно выполнять все заданные функции.

# Тестирование

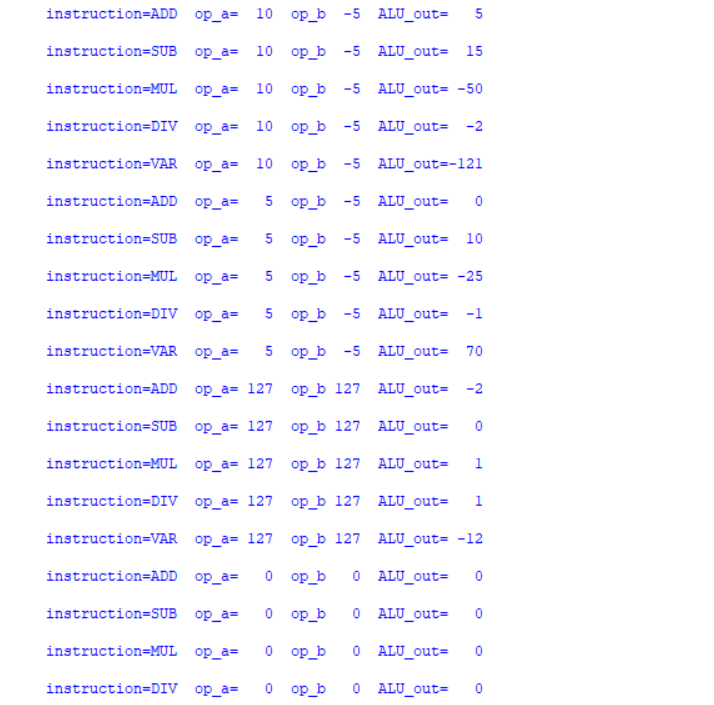
Для проверки работоспособности устройства был написан тест tb\_lab\_MS\_SV4 (Рисунок 4).





*Рисунок 4 - Код теста tb\_lab\_MS\_SV4*

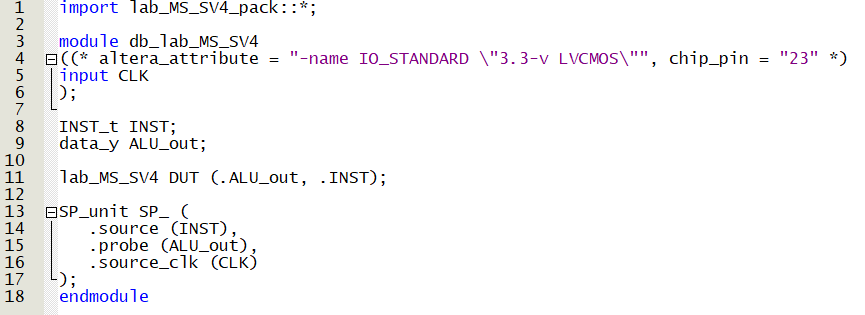
Результаты тестирования приведены на рисунке 5.



*Рисунок 5 - Результаты тестирования tb\_lab\_MS\_SV4*

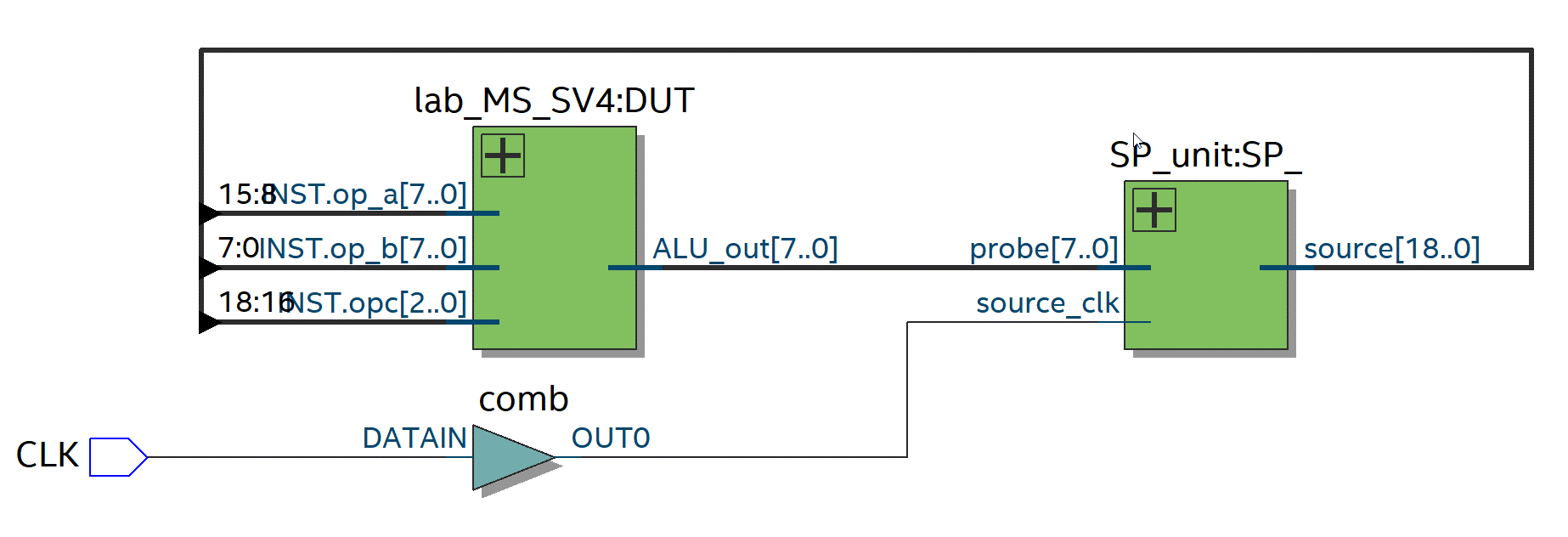
# Симуляция

Для проверки работоспособности устройства на плате был написан модуль верхнего уровня db\_lab\_MS\_SV4 использующий ISSPE (Рисунок 6).

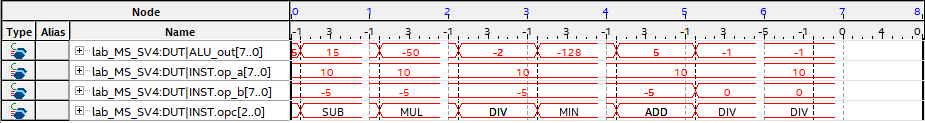


*Рисунок 6 - Код модуля db\_lab\_MS\_SV4*

RTL схема полученного устройства приведена на рисунке 7.



*Рисунок 7 - RTL схема полученного устройства*

Результаты симуляции устройства приведены на рисунке 8.

*Рисунок 8 - Полученная временная диаграмма*

# Выводы

В ходе работы было написано простое арифметико-логическое устройство на System Verilog и использованием пользовательских пакетов, которые позволяют удобно объявлять структуры данных для различных целей.