САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

Отчет

по заданию lab\_MS\_SV5

Дисциплина

«Автоматизация проектирования дискретных устройств»

выполнил:

Фоничев И. Р.

группа: 5130901/10101

преподаватель: Федотов А. А.

Санкт-Петербург

2024

# Задание

В данной лабораторной работе требуется описать следующую структуру:

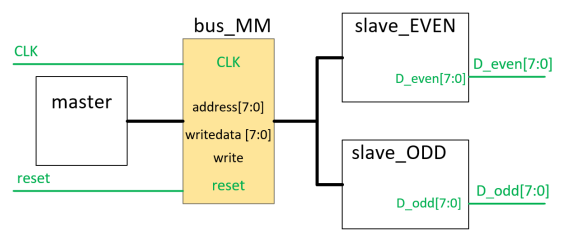


Рисунок Структура описываемого устройства

Данное устройство разделяет четные и нечетные числа на два канала.

# Моделирование

Код модуля master приведен в файле master.sv, который представлен на рисунке 2

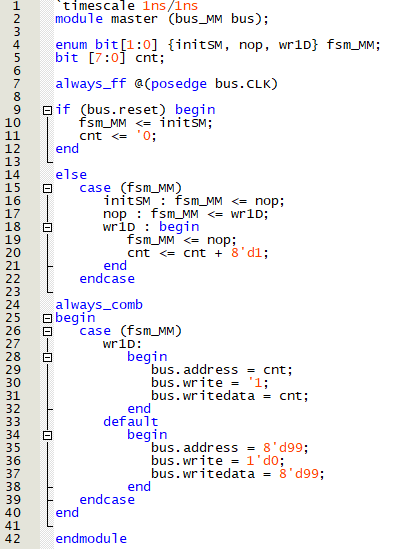


Рисунок Код файла master.sv

Так же были написаны файлы slave\_EVEN и slave\_ODD, представленные на рисунках 3 и 4 соответственно.

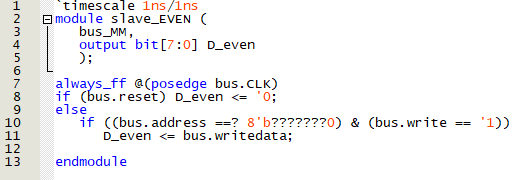


Рисунок Код файла slave\_EVEN.sv

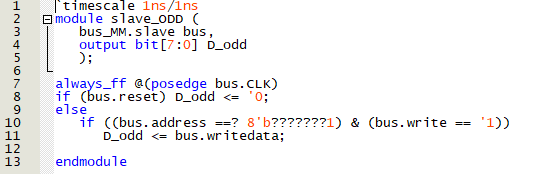


Рисунок Код файла slave\_ODD.sv

Данные устройства используют интерфейс, описанный в файле lab\_MS\_SV\_interface.sv, представленном на рисунке 5.

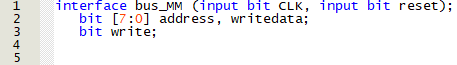


Рисунок Код файла lab\_MS\_SV5\_interface.cv

В результате моделирования устройства получилась следующая структура на RTL диаграмме:

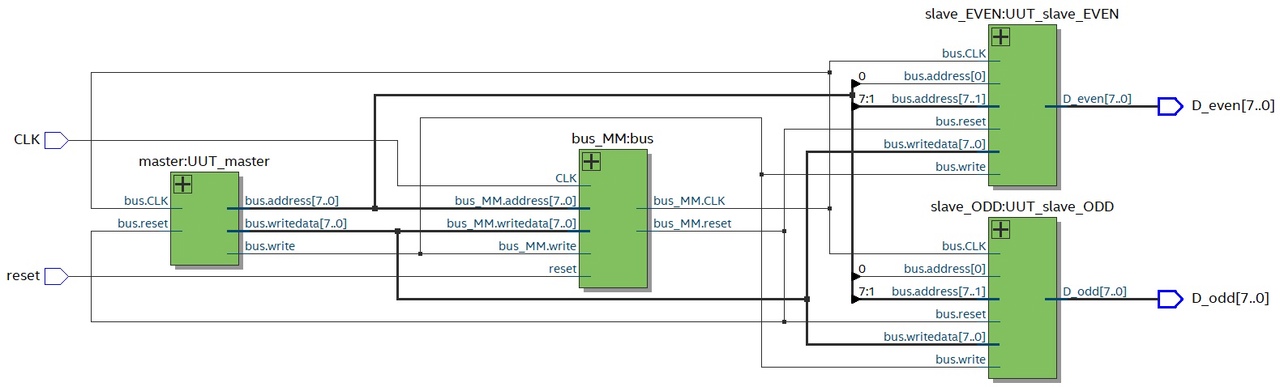


Рисунок RTL диаграмма устройства

При использовании modport в интерфейсе bus\_MM, представленном на рис. 7, и соответствующем изменении файлов master, slave\_ODD, slave\_EVEN получаем следующую RTL диаграмму (рисунок 8).

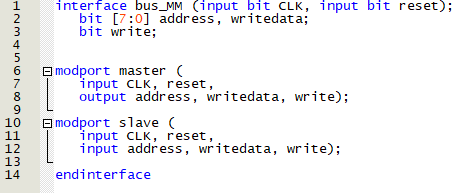


Рисунок Код файла lab\_MS\_SV5\_interface.sv

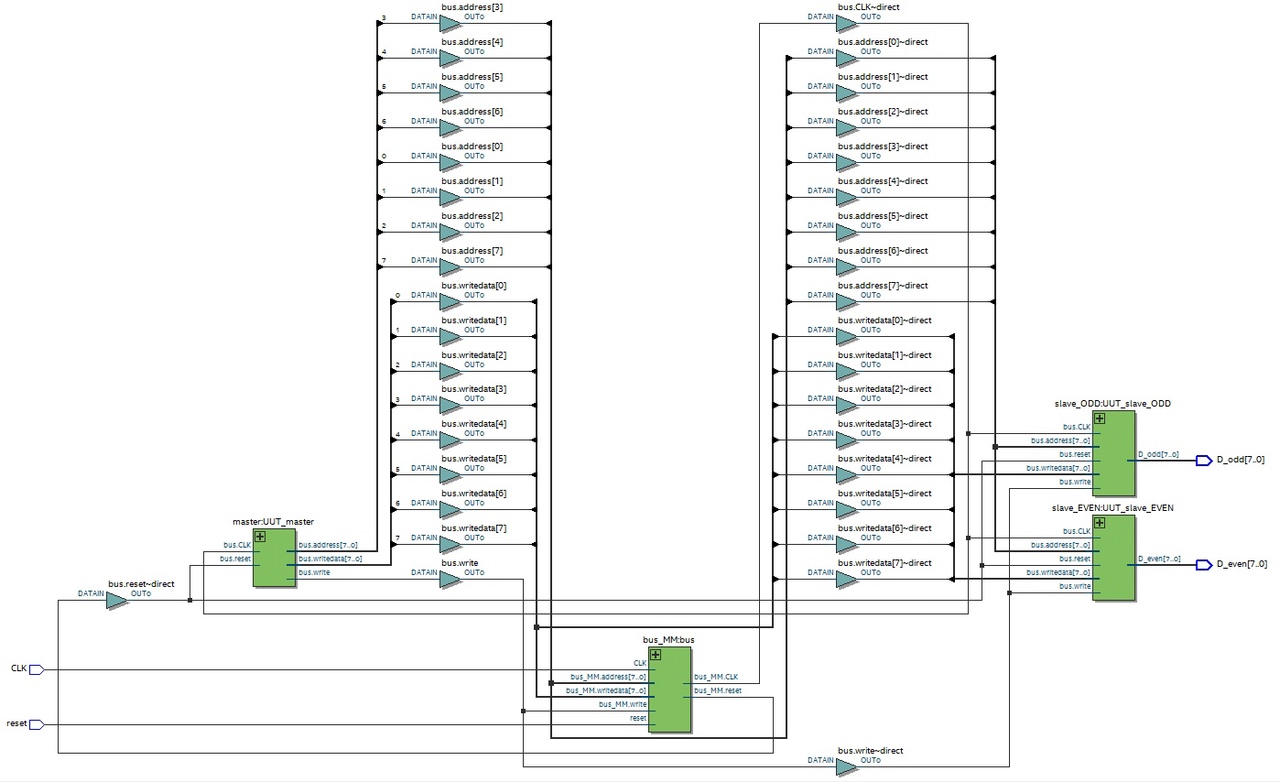


Рисунок RTL схема устройства

# Тестирование

Для тестирования работоспособности программы был написан тест первого уровня. Код теста представлен на рисунке 9. Полученная временная диаграмма представлена на рисунке 10.

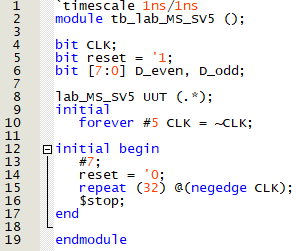


Рисунок Код теста tb\_lab\_MS\_SV5.sv

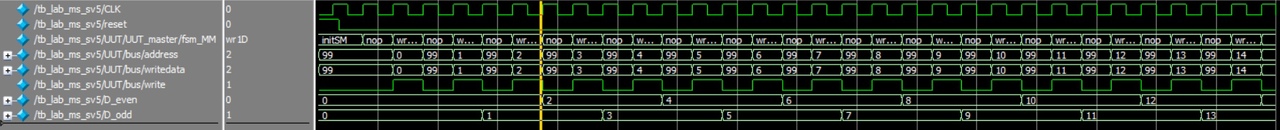


Рисунок Полученная временная диаграмма тестирования

Исходя из полученных результатов тестирования, устройство работает исправно.

# Симуляция

Для симуляции работы устройства на плате был написан модуль верхнего уровня db\_lab\_MS\_SV5, представленный на рисунке 10.

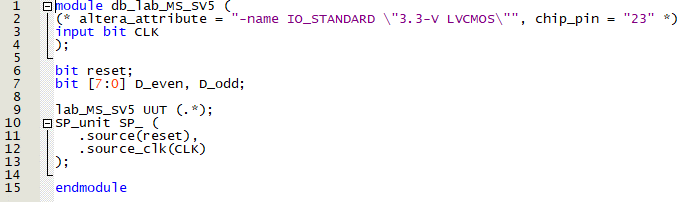


Рисунок Код модуля db\_lab\_MS\_SV5

Полученные временные диаграммы представлены на рис. 12 и рис. 13.

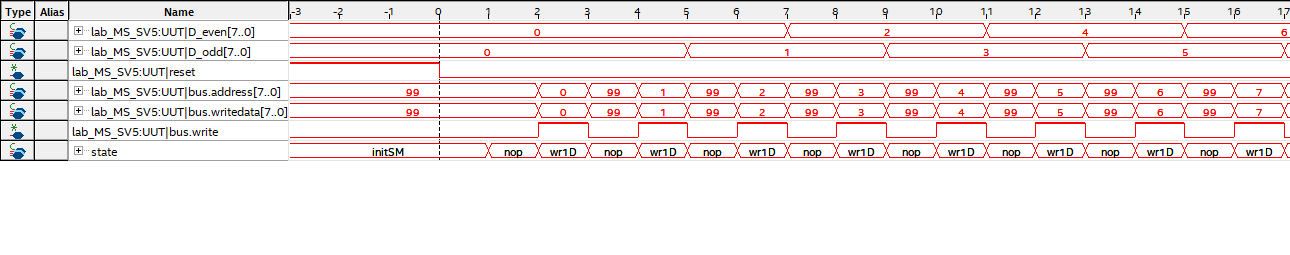


Рисунок Временная диаграмма сброса сигнала reset

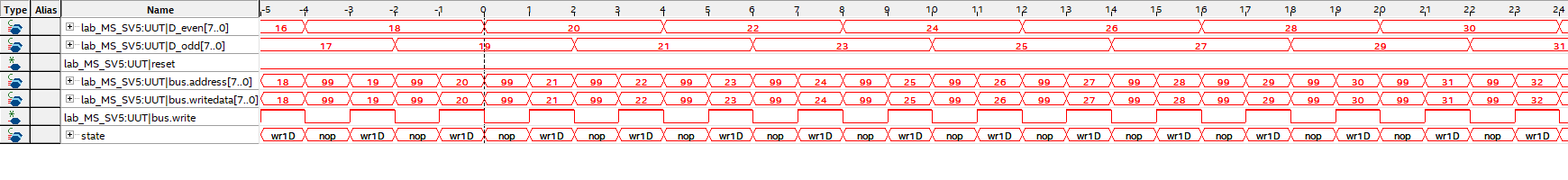


Рисунок Временная диаграмма нахождения заданного вариантом числа 20

Из полученных временных диаграмм можно сделать вывод, что устройство работает корректно.

# Выводы

В ходе работы ознакомились с инструментарием интерфейсов в расширении System Verilog. Интерфейсы позволяют удобно стандартизировать ввод-вывод различных устройств, что позволяет избежать ошибок при подключении одних устройств к другим.