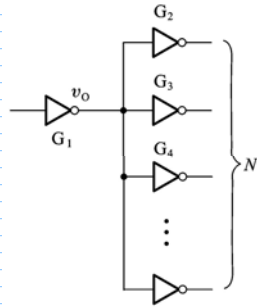


扇出系数 (Fan-out) (带负载能力 (静态))

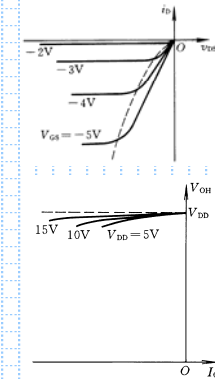
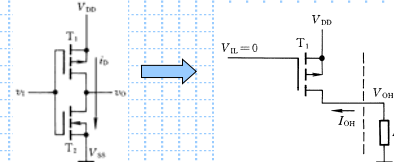


wang_hong@tsinghua.edu.cn

清华大学

1

2、输出特性



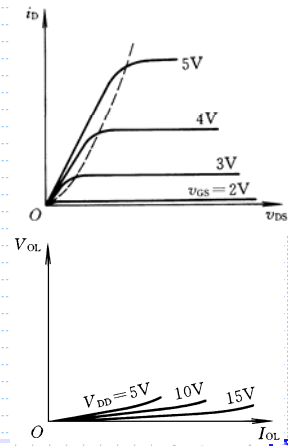
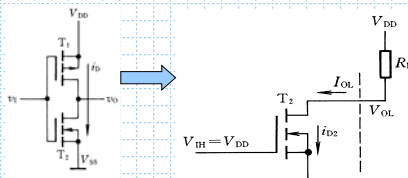
- 高电平输出特性 $V_{OH} = f(I_{OH})$
同样的 I_{OH} 下, $|V_{GS}| \uparrow \Rightarrow V_{OH} \downarrow$ 越少

wang_hong@tsinghua.edu.cn

清华大学

2

2、输出特性



- 低电平输出特性 $V_{OL} = f(I_{OL})$
同样的 I_{OL} 下, $V_{GS} \uparrow \Rightarrow V_{OL} \downarrow$

wang_hong@tsinghua.edu.cn

清华大学

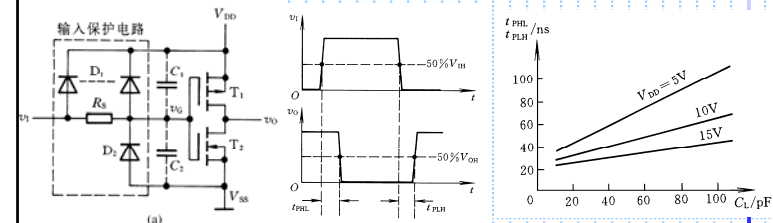
3

五、CMOS反相器的动态特性

传输延迟时间



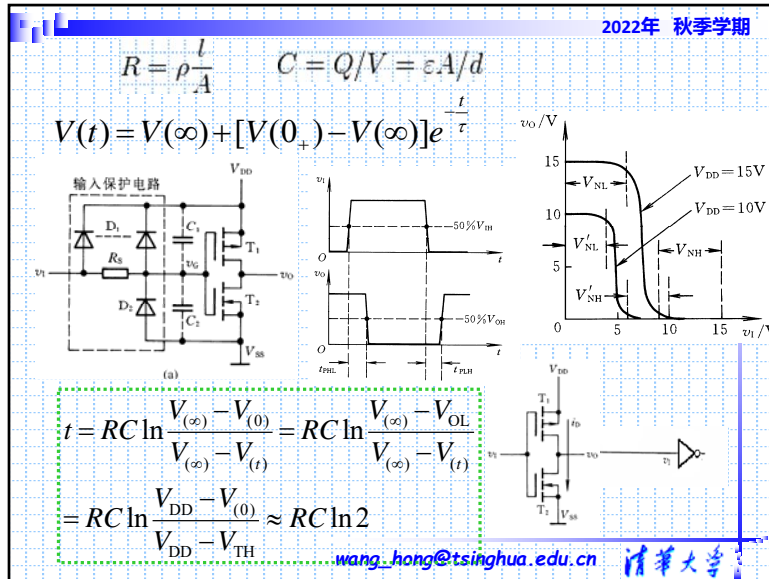
1. 原因: C_i 和 C_L 充放电, $\therefore R_{ON}$ 较大 $\therefore C_L$ 充放电影响也较大
2. t_{PHL}, t_{PLH} 受 C_L, V_{DD} 影响



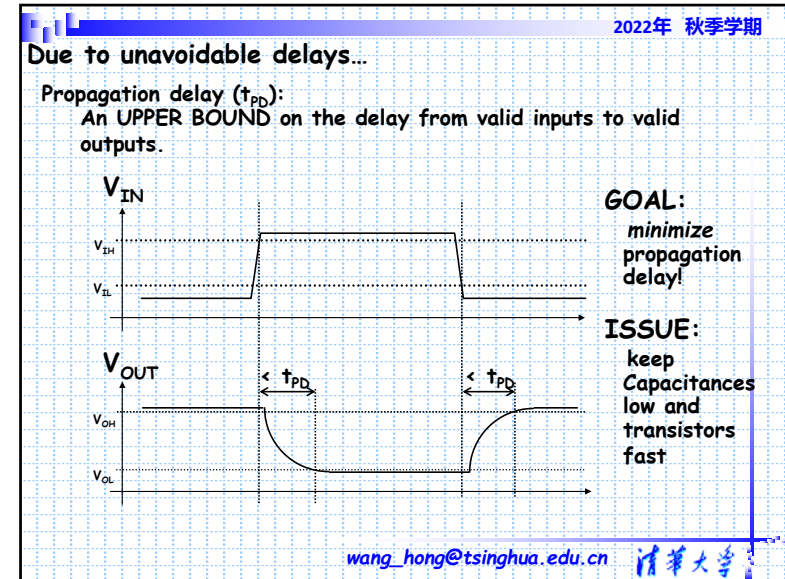
wang_hong@tsinghua.edu.cn

清华大学

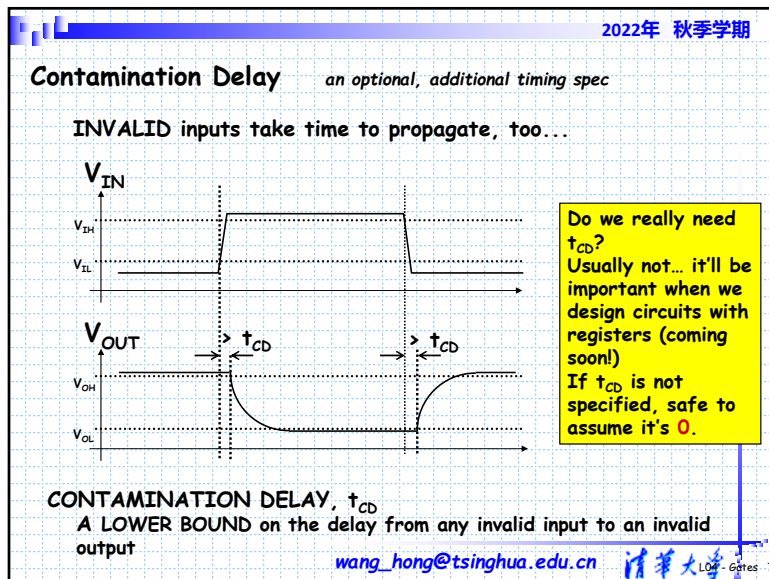
4



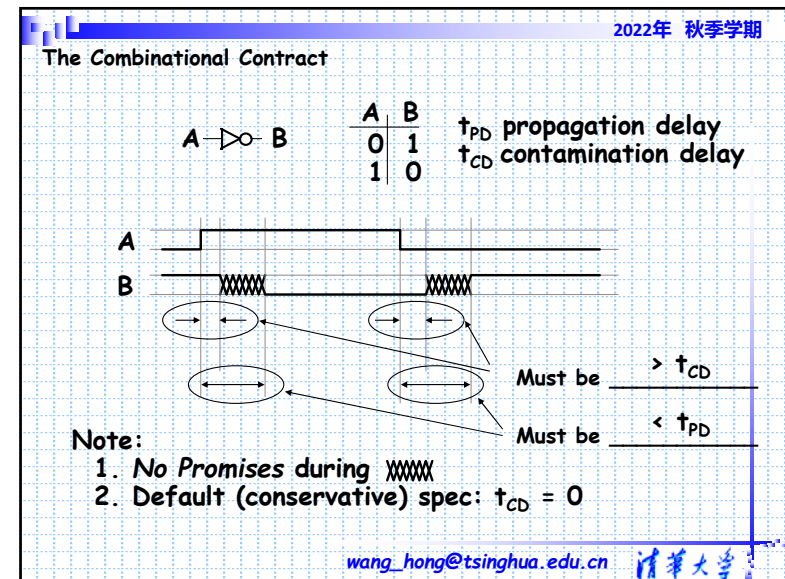
5



6



7



8

2022年 秋季学期

Acyclic Combinational Circuits

If NAND gates have a $t_{PD} = 4nS$ and $t_{CD} = 1nS$

t_{CD} is the **minimum** cumulative contamination delay over all paths from inputs to outputs

t_{PD} is the **maximum** cumulative propagation delay over all paths from inputs to outputs

$t_{PD} = \frac{12}{2} nS$

$t_{CD} = \frac{12}{2} nS$

wang_hong@tsinghua.edu.cn 清华大学

9

2022年 秋季学期

交流噪声容限

当输入信号为窄脉冲，且接近于 t_{PD} 时，输出变化跟不上，变化很小，因此交流噪声容限远大于直流噪声容限。

三、输入噪声容限

在 V_I 偏离 V_{IH} 和 V_{IL} 的一定范围内， V_O 基本不变；在输出变化允许范围内，允许输入的变化范围称为输入噪声容限

(a) 正脉冲噪声容限

(b) 负脉冲噪声容限

wang_hong@tsinghua.edu.cn 清华大学

10

2022年 秋季学期

扇出系数 (Fan-out) (带负载能力 (动态))

扇出系数 (Fan-out) (带负载能力 (静态))

wang_hong@tsinghua.edu.cn 清华大学

11

2022年 秋季学期

总功耗

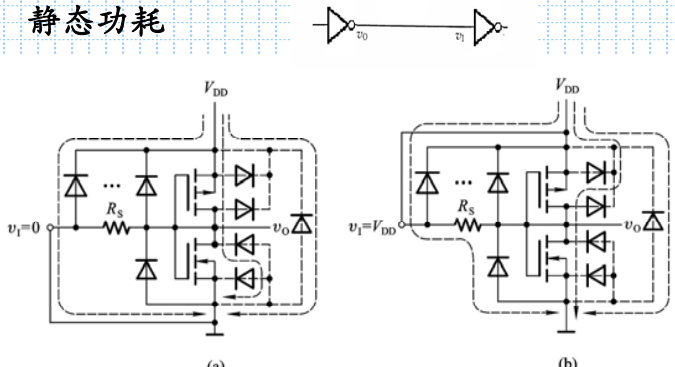
总功耗 = 动态功耗 P_D + 静态功耗 P_S

wang_hong@tsinghua.edu.cn 清华大学

12

2022年 秋季学期

静态功耗



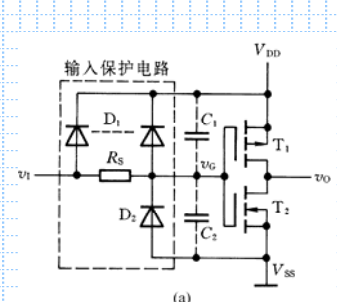
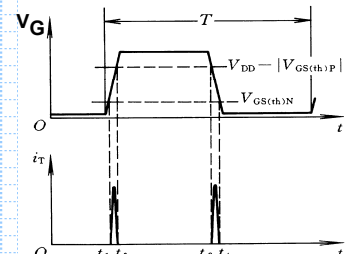
静态功耗极小，与动态 功耗相比，可以忽略

wang_hong@tsinghua.edu.cn 清华大学

13

2022年 秋季学期

1. 动态功耗—导通功耗

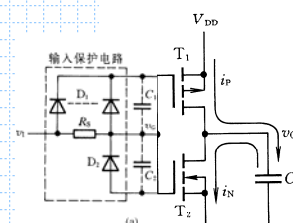
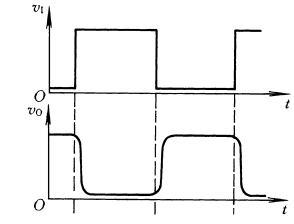



wang_hong@tsinghua.edu.cn 清华大学

14

2022年 秋季学期

2. 动态功耗—负载功耗

wang_hong@tsinghua.edu.cn 清华大学

15

2022年 秋季学期

2. 负载电容充放电功耗 P_C

* 当 $V_I \uparrow$, C_L 经 T_2 放电, 有 $i_N = C_L \frac{dv_o}{dt} = -C_L \frac{d(V_{DD} - v_o)}{dt}$

* 当 $V_I \downarrow$, V_{DD} 经 T_1 向 C_L 充电, 有 $i_P = C_L \frac{dv_o}{dt}$

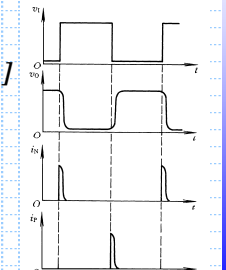
可得平均功耗

$$P_C = \frac{1}{T} \left[\int_0^{T/2} i_N v_o dt + \int_{T/2}^T i_P (V_{DD} - v_o) dt \right]$$

$$= C_L f V_{DD}^2$$

3. 总的动态功耗

$$P_D = P_T (\text{导通}) + P_C (\text{负载})$$



wang_hong@tsinghua.edu.cn 清华大学

16

总功耗

总功耗 = 动态功耗 P_D + 静态功耗 P_S

$$P_D = P_T (\text{导通}) + P_C (\text{负载})$$

$$P_T = C_{PD} f V_{DD}^2 \quad P_C = C_L f V_{DD}^2$$



wang_hong@tsinghua.edu.cn

清华大学

17

Dennard Scaling

TABLE I

SCALING RESULTS FOR CIRCUIT PERFORMANCE

Device or Circuit Parameter	Scaling Factor
Device dimension t_{ox}, L, W	$1/\kappa$
Doping concentration N_a	κ
Voltage V	$1/\kappa$
Current I	$1/\kappa$
Capacitance $\epsilon A/t$	$1/\kappa$
Delay time/circuit VC/I	$1/\kappa$
Power dissipation/circuit VI	$1/\kappa^2$
Power density VI/A	1

晶体管尺寸缩小了30% (0.7倍), 掺杂浓度提高1.4倍 (1/0.7),
面积 A 减少50%;
电路延迟减少了30% (0.7倍) ----- 工作频率提高约40% (1.4倍)
电压降低了30%, 能量降低了65%, 功率降低了50%
在每一代技术中, 晶体管密度增加一倍, 电路速度提高40%, 功耗保持不变

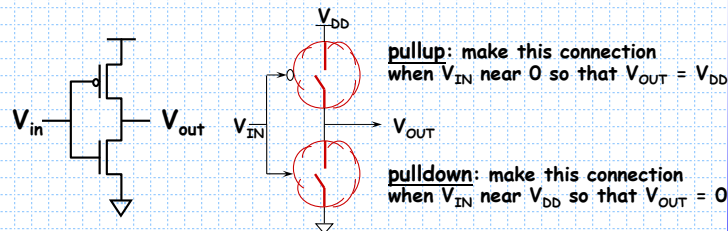
wang_hong@tsinghua.edu.cn

清华大学

18

其他类型的CMOS门电路

一、其他逻辑功能的CMOS门电路

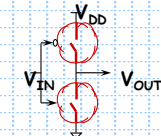


wang_hong@tsinghua.edu.cn

清华大学

19

Complementary pullups and pulldowns



Now you know what the "C"
in CMOS stands for!

We want **complementary** pullup and pulldown logic, i.e., the pulldown should be "on" when the pullup is "off" and vice versa.

pullup	pulldown	$F(A_1, \dots, A_n)$
on	off	driven "1"
off	on	driven "0"
on	on	driven "X"
off	off	no connection "Z"

wang_hong@tsinghua.edu.cn

清华大学

20

2022年 秋季学期

CMOS complements

What a nice V_{OH} you have...

Thanks. It runs in the family...

conducts when V_{GS} is high conducts when V_{GS} is low

conducts when A is high and B is high: $A \cdot B$ or B is low: $A' + B' = (A \cdot B)'$

conducts when A is high or B is high: $A + B$ and B is low: $A' \cdot B' = (A + B)'$

wang_hong@tsinghua.edu.cn 清华大学

21

2022年 秋季学期

A pop quiz!

What function does this gate compute?

A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

NAND

wang_hong@tsinghua.edu.cn 清华大学

22

2022年 秋季学期

Here's another...

What function does this gate compute?

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

NOR

wang_hong@tsinghua.edu.cn 清华大学

23

2022年 秋季学期

General CMOS gate recipe

Step 1. Figure out pulldown network that does what you want, e.g., $F = (A(B+C))'$ (What combination of inputs generates a low output)

Step 2. Walk the hierarchy replacing nfets with pfets, series subnets with parallel subnets, and parallel subnets with series subnets

Step 3. Combine pfet pullup network from Step 2 with nfet pulldown network from Step 1 to form fully-complementary CMOS gate.

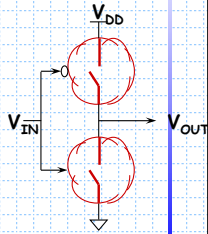
wang_hong@tsinghua.edu.cn 清华大学

24

用最少的MOS管

$$F_1 = A'B' + B'D' + C'D' + BD' \quad (\text{下拉})$$

$$F'_2 = AB + CD + BD \quad (\text{上拉})$$



wang_hong@tsinghua.edu.cn

清华大学