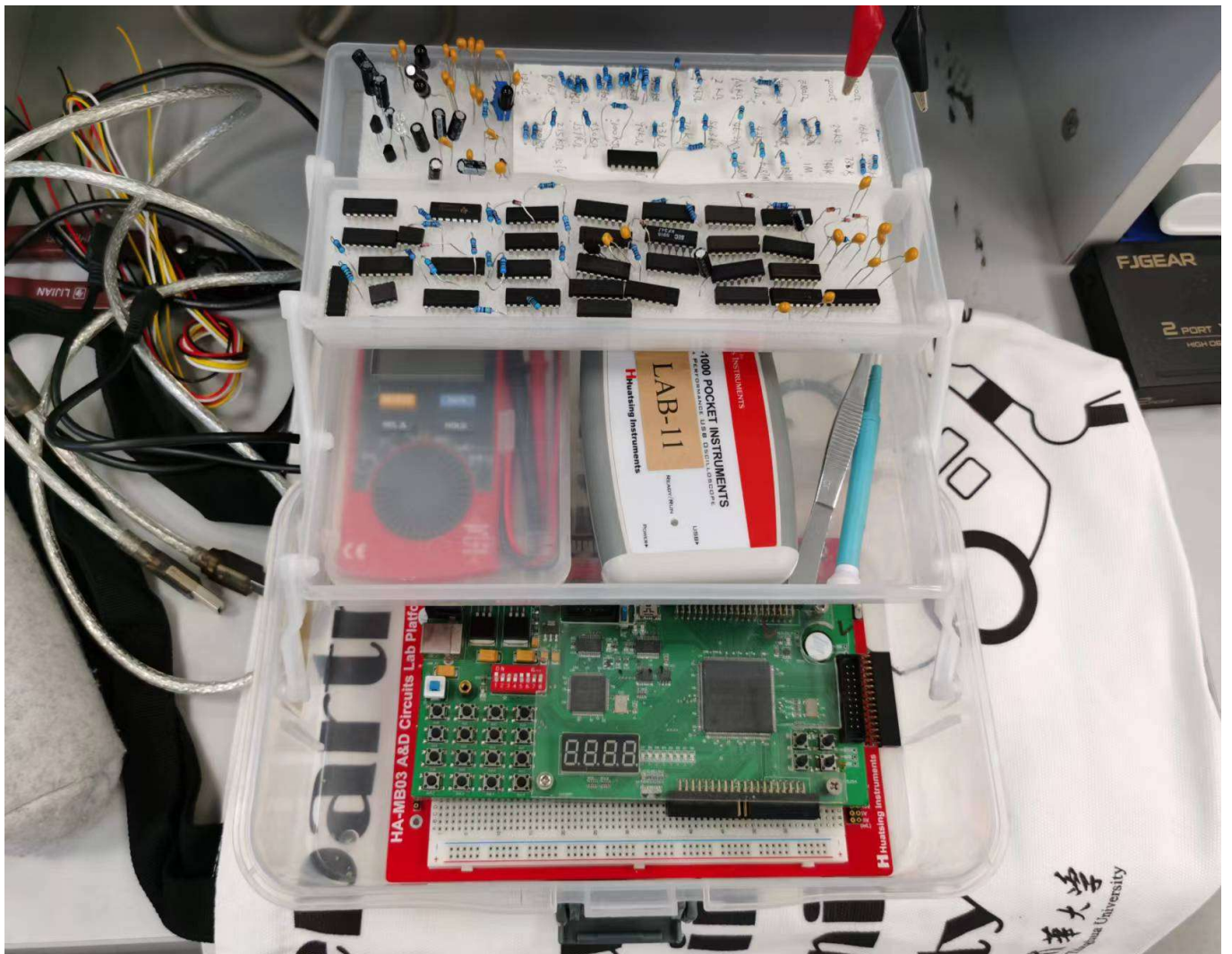


FPGA设计入门 实验报告

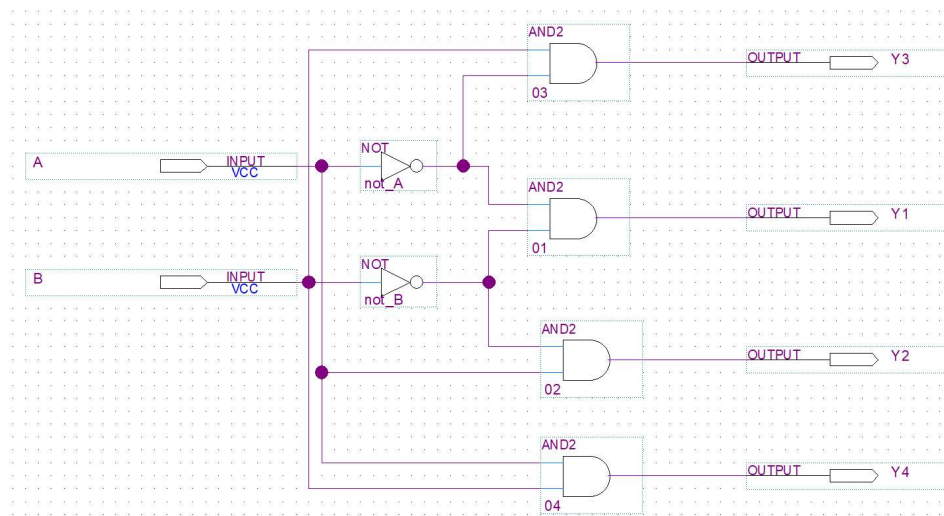


自动化系

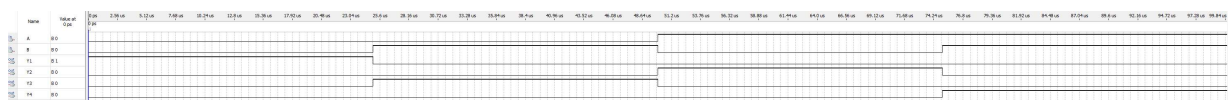
李昭阳 2021013445

图形和数据处理

多输出逻辑函数的原理图



多输出逻辑函数的仿真波形

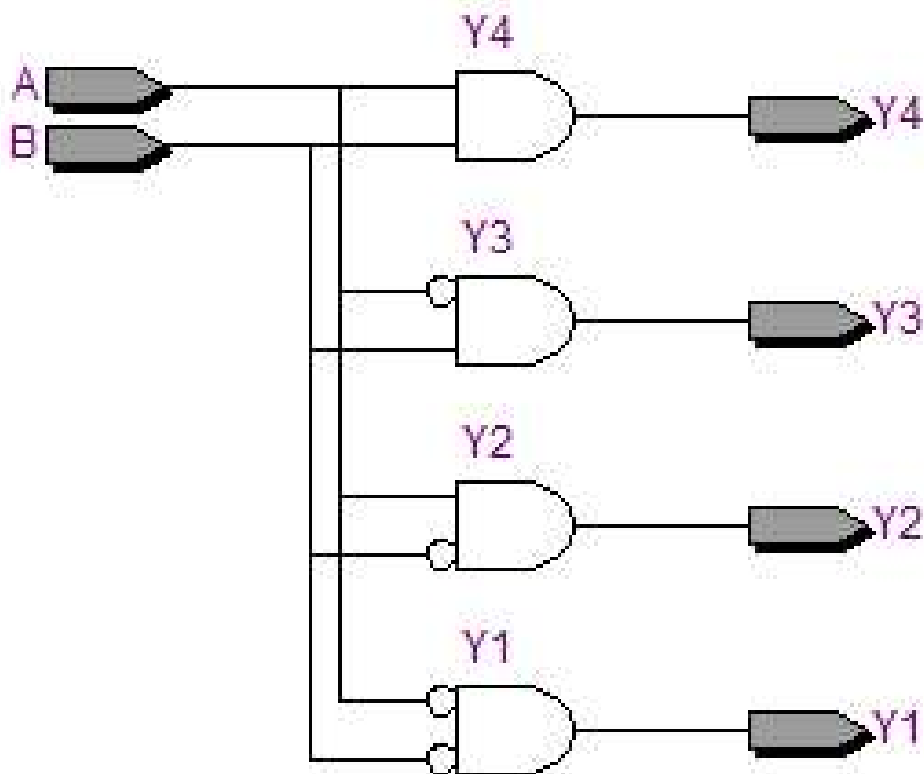


电路逻辑功能

通过四个输出端口，分别表示 AB 、 AB' 、 $A'B$ 、 AB ，将 A & B 逻辑运算在其所有输入情况下进行分类，使得电路可以根据 A 、 B 的不同输入情况做出不同的反应或处理。

多输出逻辑函数的硬件描述语言

```
1 module EDA01_01(  
2     A,  
3     B,  
4     Y1,  
5     Y2,  
6     Y3,  
7     Y4  
8 );  
9  
10  
11 input wire A;  
12 input wire B;  
13 output wire Y1;  
14 output wire Y2;  
15 output wire Y3;  
16 output wire Y4;  
17  
18  
19 wire Not_A_WIRE;  
20 wire Not_B_WIRE;  
21  
22  
23 assign Not_A_WIRE = ~A;  
24  
25 assign Not_B_WIRE = ~B;  
26  
27 assign Y1 = Not_A_WIRE & Not_B_WIRE;  
28  
29 assign Y2 = A & Not_B_WIRE;  
30  
31 assign Y3 = Not_A_WIRE & B;  
32  
33 assign Y4 = A & B;  
34  
35 endmodule  
36
```



实验分析与思考

使用 EDA 软件进行电路设计的流程

创建新的工程文件：File -> New Project Wizard -> 选取工程文件的路径 -> 调整芯片型号为EP2C5Q208C8

原理图设计模式：

- ①新建 Block Diagram 文件
- ②双击图纸搜索所需元件
- ③将各类元件摆放好位置并连线
- ④用 Start Analysis & Synthesis 模式编译原理图文件
- ⑤新建 University Program VWF 文件
- ⑥双击 name 栏位，选择新窗口中的 Node Finder 并选择其中的List
- ⑦挑选所需的输入输出参数并应用
- ⑧按需求修改时间标尺并按需求修改输入端真值
- ⑨仿真出真值图

硬件描述语言设计模式：

- ①新建 Verilog HDL File 文件
- ②根据需求编写硬件语言
- ③用 Start Analysis & Synthesis 模式编译原理图文件
- ④新建 University Program VWF 文件
- ⑤双击 name 栏位，选择新窗口中的 Node Finder 并选择其中的List
- ⑥挑选所需的输入输出参数并应用
- ⑦按需求修改时间标尺并按需求修改输入端真值
- ⑧仿真出真值图

比较使用原理图输入方式和硬件描述语言输入方式进行电路设计的各自优势

原理图更加直观。对于简单电路而言，使用原理图的设计方式可以降低逻辑错误的概率，并且比硬件描述语言更易于表达。

硬件描述语言更适用于复杂电路的情况。对于规模较大的电路而言，原理图会过于复杂且难以解读，使用硬件描述语言可以减少电路的编写错误并增加文件的可读性。