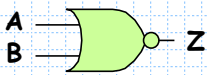


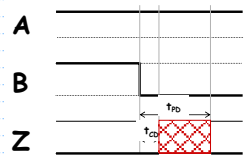
2022年 秋季学期

## Oh yeah... one last issue

**NOR:**



A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0



Recall the rules for combinational devices:

Output guaranteed to be valid when **all** inputs have been valid for at least  $t_{PD}$ , and, outputs may become invalid no earlier than  $t_{CD}$  after an input changes!

Many gate implementations--e.g.,  
CMOS--adhere to even tighter restrictions.

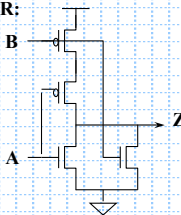
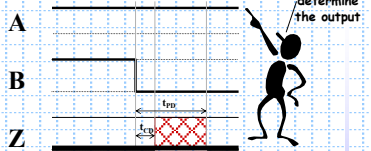
wang\_hong@tsinghua.edu.cn 清华大学

1

2022年 秋季学期

## What happens in this case?

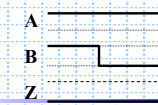
CMOS NOR:

**LENIENT Combinational Device:**  
Output guaranteed to be valid when **any** combination of inputs sufficient to determine output value has been valid for at least  $t_{PD}$ .  
Tolerates transitions -- and invalid levels -- on irrelevant inputs!

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

A	B	Z
0	0	1
X	1	0
1	X	0



wang\_hong@tsinghua.edu.cn 清华大学

2


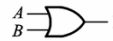
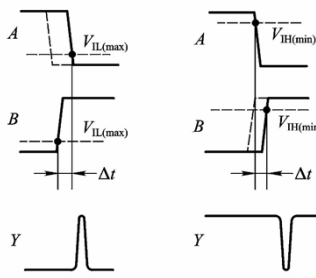
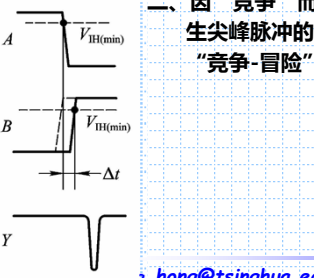
2022年 秋季学期

## 4.9 组合逻辑电路中的竞争-冒险现象

### 4.9.1 竞争-冒险现象及成因

#### 一、什么是“竞争”

两个输入“同时向相反的逻辑电平变化”，称存在“竞争”

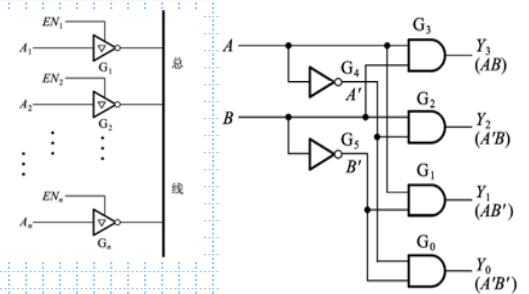
#### 二、因“竞争”而可能在输出产生尖峰脉冲的现象，称为“竞争-冒险”。

wang\_hong@tsinghua.edu.cn 清华大学

3

2022年 秋季学期

## 三、2线—4线译码器中的竞争-冒险现象



当AB从10 → 01时，  
在动态过程中可能出现 00或11  
所以Y<sub>3</sub>和Y<sub>0</sub>输出端可能产生尖峰脉冲。

wang\_hong@tsinghua.edu.cn 清华大学

4

2022年 秋季学期

## Timing Hazards

What is that ?

$Y = C'A + CB$

$t_{CD} = 1 \text{ nS}$   
 $t_{PD} = 2 \text{ nS}$

- Steady-state behavior
- Transient behavior
- Hazard (glitch)

That's what we call a "glitch" or "hazard"

wang\_hong@tsinghua.edu.cn 清华大学

5

2022年 秋季学期

## Finding Static Hazards

Using Karnaugh map

$Y = C'A + CB$

$t_{CD} = 1 \text{ nS}$   
 $t_{PD} = 2 \text{ nS}$

C\BA	00	01	11	10
0	0	1	1	0
1	0	0	1	1

That's what we call a "glitch" or "hazard"

wang\_hong@tsinghua.edu.cn 清华大学

6

2022年 秋季学期

$Y = C'A + CB$

$t_{CD} = 1 \text{ nS}$   
 $t_{PD} = 2 \text{ nS}$

C\BA	00	01	11	10
0	0	1	1	0
1	0	0	1	1

NOTE: The steady state behavior of these circuits is identical. They differ in their transient behavior.

If you include equations for all prime implicants, the resulting implementation will be *lenient* (assuming lenient gates).

$Y = C'A + CB + AB$

wang\_hong@tsinghua.edu.cn 清华大学

7

2022年 秋季学期

## 4.9.2 检查竞争-冒险的方法

- 分析法：只要输出函数在一定条件下可以整理为  
 $Y = A + A'$  或  $Y = AA'$
- 观测法：仿真或实际电路

wang\_hong@tsinghua.edu.cn 清华大学

8

2022年 秋季学期

### 4.9.3 消除竞争-冒险现象的方法

一、接入滤波电容  
尖峰脉冲很窄，用很小的电容就可将尖峰削弱到  $V_{TH}$  以下。

二、引入选通脉冲  
取选通脉冲作用时间，在电路达到稳定之后，P的高电平期的输出信号不会出现尖峰。

wang\_hong@tsinghua.edu.cn 清华大学

9

2022年 秋季学期

### 三、修改逻辑设计

例:  $Y = AB + A'C$

在  $B = C = 1$  的条件下,  $Y = A + A' \Rightarrow$  稳态下  $Y = 1$   
当A改变状态时存在竞争-冒险

wang\_hong@tsinghua.edu.cn 清华大学

10

2022年 秋季学期

### 4.6 ~ 4.8 电子技术的发展

Electronic Design Automation

- 48年 贝尔实验室制成第一只晶体管
- 58年 集成电路 (4-12-100-1000)
- 69年 大规模集成电路 (10万)
- 75年 超大规模集成电路 (15万)

SSI MSI LSI VLSI ULSI GLSI

第一片集成电路只有4个晶体管，而97年一片集成电路上有40亿个晶体管。科学家预测集成度按10倍/6年的速度还将继续到2015或2020年，将达到饱和。

wang\_hong@tsinghua.edu.cn 清华大学

11

2022年 秋季学期

### Design Abstraction Levels

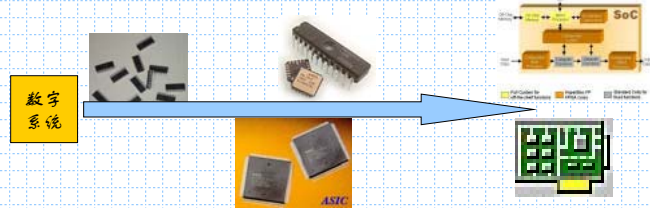
借助EDA工具  
逻辑代数  
门电路  
半导体技术

wang\_hong@tsinghua.edu.cn 清华大学

12

## 4.6可编程逻辑器件 (PLD, Programmable Logic Device)

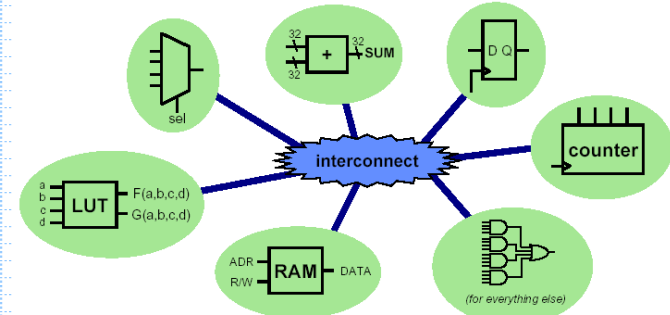
- 数字集成电路从功能上有分为 通用型、专用型两大类  
General ICs——通用型  
Application-Specific ICs——专用型



- PLD的特点：是一种按通用器件来生产，但逻辑功能是由用户通过对器件编程来设定的

## PLD: A Conceptual View

- A PLD is like **an electronic breadboard** that is **wired together by an automated synthesis tool**
- Built-in components are called **macros**



## EDA

- 电子产品从设计、仿真调试、硬件实现全过程自动化。
- 从CAD到EDA
- CAD Computer Aided Design(Draw)
- CAE Computer Aided Engineer
- EDA Electronic Design Automation

## EDA的技术特征

- 以超大规模IC为基础
- 以高性能计算机及软件为平台
- 多学科综合
- 实现电子产品从设计到生产全过程自动化
- 电路软件化—软件即是电路  
用计算机程序描述电路
- 电路的描述形式  
HDL Hardware Description Language

2022年 秋季学期

- Multisim / Ultiboard: 界面好, 大学实验室, 教学 (电子工艺实习)
- **Quartus II**: 数字电路, 主要用于数字系统 (PLD) 设计和下载
- OrCAD PSpice: 精确, 主要用于模拟电路设计、仿真, 科研开发
- .....

wang\_hong@tsinghua.edu.cn 清华大学

17

2022年 秋季学期

- 开始接触, **使用一种可编程器件**
- 开始了解, **使用一种EDA软件**
- 开始学习, 使用一种硬件描述语言

wang\_hong@tsinghua.edu.cn 清华大学

18

2022年 秋季学期

### EDA工具—— Quartus II

- 设计输入 电路的功能、结构描述  
可用图形和语言等多种方式
- 电路综合 包括逻辑综合、布局、布线
- 仿真 电路未做出前、先进行验证:  
功能仿真 – 逻辑表达式正确  
时序仿真 – 实际可用
- 硬件实现 制作、下载芯片

wang\_hong@tsinghua.edu.cn 清华大学

19

2022年 秋季学期

- 硬件描述语言, 如VHDL, Verilog
- **真值表, 方程式, 电路逻辑图 (Schematic)**
- 状态转换图 (FSM)
- 要求首先用逻辑图的方式, 熟悉软件
- 强调设计中层次化设计, 模块化

wang\_hong@tsinghua.edu.cn 清华大学

20

2022年 秋季学期

## 第四章内容:

- 组合逻辑电路的特点
- 组合逻辑电路的分析与设计方法
- 常见的组合电路模块的使用
- 组合逻辑电路中的竞争冒险
- 开始接触 PLD , EDA, HDL

- 编码器
- 译码器
- 数据选择器
- 加法器
- 数值比较器

wang\_hong@tsinghua.edu.cn 清华大学

21

2022年 秋季学期

## Progress so far...

**PHYSICS:** Continuous variables, Memory, Noise,  
 $f(RC) = 1 - e^{-t/RC}$

**COMBINATIONAL:** Discrete, memoryless, noise-free, lookup table functions

01101

What other building blocks do we need?

wang\_hong@tsinghua.edu.cn 清华大学

22

2022年 秋季学期

## Something We Can't Build (Yet)

What if you were given the following design specification:

When the button is pushed:

- 1) Turn on the light if it is off
- 2) Turn off the light if it is on

The light should change state within a second of the button press

button → light

What makes this circuit so different from those we've discussed before?

1. "State" - i.e. the circuit has memory
2. The output was changed by an input "event" (pushing a button) rather than an input "value"

wang\_hong@tsinghua.edu.cn 清华大学

23

2022年 秋季学期

## Digital State

One model of what we'd like to build

Plan: Build a **Sequential Circuit** with stored digital STATE -

- Memory stores CURRENT state, produced at output
- Combinational Logic computes
  - NEXT state (from input, current state)
  - OUTPUT bit (from input, current state)
- State changes on LOAD control input


wang\_hong@tsinghua.edu.cn 清华大学

24

2022年 秋季学期

**Needed: Storage**

Combinational logic is *stateless*:  
valid outputs always reflect current inputs.



To build devices with state, we need components which store information (e.g., state) for subsequent access.

How can we store - and subsequently access -- a bit?

- Mechanics: holes in cards/tapes
- Optics: Film, CDs, DVDs, ...
- Magnetic materials
- Stored charge

wang\_hong@tsinghua.edu.cn 清华大学

25

2022年 秋季学期

## 第五章 半导体存储电路

wang\_hong@tsinghua.edu.cn 清华大学

26

2022年 秋季学期

### 5.1 概述

一、用于记忆二进制信号

1. 有两个能自行保持的状态
2. 根据输入信号可以置成0或1

二、分类

- 1. 按触发方式 (电平, 脉冲, 边沿)
- 2. 按逻辑功能 (RS, JK, D, T)

动作特点

功能描述

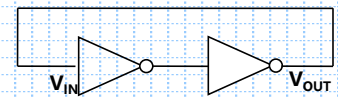
wang\_hong@tsinghua.edu.cn 清华大学

27

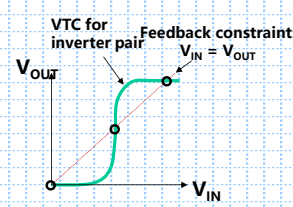
2022年 秋季学期

### Storage: Using Feedback

IDEA: use **positive feedback** to maintain storage indefinitely.  
Our logic gates are built to restore marginal signal levels, so noise shouldn't be a problem!



Result: **a bistable storage element**



VTC for inverter pair

Feedback constraint:  $V_{IN} = V_{OUT}$

Not affected by noise

Three solutions:  
two end-points are **stable**  
middle point is **unstable**

wang\_hong@tsinghua.edu.cn 清华大学

28