

2022年 秋季学期

5.2 SR锁存器

一、电路结构与工作原理

(a) (b) (c)

wang_hong@tsinghua.edu.cn 清华大学

1

2022年 秋季学期

“state” signal appears as both input and output

S_D	R_D	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	0⊗
1	1	1	0⊗

⊗ S_D 和 Q_D 的 “1” 信号同时消失后, Q^* 不定
 \therefore 正常工作下, 应遵循 $S_D R_D = 0$ 的约束条件

(a) (b) (c)

wang_hong@tsinghua.edu.cn 清华大学

2

2022年 秋季学期

二、动作特点

在任何时刻, 输入都能直接改变输出的状态。

例:

(a) (b)

S_D' 和 R_D' 同时为0 $\Rightarrow Q, Q'$ 同为1

wang_hong@tsinghua.edu.cn 清华大学

3

2022年 秋季学期

5.3.1 电平触发的触发器

一、电路结构与工作原理

CLK	S	R	Q	Q^*
0	x	x	0	0
0	x	x	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1⊗
1	1	1	1	1⊗

输入控制门 + 基本SR锁存器
 只有触发信号 CLK 到达, S 和 R 才起作用。

wang_hong@tsinghua.edu.cn 清华大学

4

2022年 秋季学期

二、动作特点

在 $CLK=1$ 的全部时间里， S 和 R 的变化都将引起输出状态的变化。

在 $CLK = 1$ 期间， Q 和 Q' 可能随 S 、 R 变化多次翻转

wang_hong@tsinghua.edu.cn 清华大学

5

2022年 秋季学期

(a) (b)

wang_hong@tsinghua.edu.cn 清华大学

6

2022年 秋季学期

D触发器

CLK	S	R	Q	Q*
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1⊗
1	1	1	1	1⊗

wang_hong@tsinghua.edu.cn 清华大学

7

2022年 秋季学期

Settable Storage Element

It's easy to build a settable storage element (called a **latch**) using a **lenient MUX**:

G	D	Q _{IN}	Q _{OUT}
0	--	0	0
0	--	1	1
1	0	--	0
1	1	--	1

Q stable (for G=0)
Q follows D (for G=1)

wang_hong@tsinghua.edu.cn 清华大学

8

2022年 秋季学期

New Device: D Latch

$G=1$: Q follows D
 $G=0$: Q holds

$G=1$: Q Follows D, independently of Q_{in}
 $G=0$: Qout Holds stable Q_{in} , independently of D

wang_hong@tsinghua.edu.cn 清华大学

9

2022年 秋季学期

Digital State

One model of what we'd like to build

Plan: Build a Sequential Circuit with stored digital STATE -

- Memory stores CURRENT state, produced at output
- Combinational Logic computes
 - NEXT state (from input, current state)
 - OUTPUT bit (from input, current state)
- State changes on LOAD control input

wang_hong@tsinghua.edu.cn 清华大学

10

2022年 秋季学期

Lets try it out!

Plan: Build a Sequential Circuit with one bit of STATE -

- Single latch holds CURRENT state
- Combinational Logic computes
 - NEXT state (from input, current state)
 - OUTPUT bit (from input, current state)
- State changes when $G = 1$ (briefly!)

What happens when $G=1$?

wang_hong@tsinghua.edu.cn 清华大学

11

2022年 秋季学期

Combinational Cycles

When $G=1$, latch is Transparent...
 ... provides a combinational path from D to Q.
 Want to signal an INSTANT, not an INTERVAL...

Looks like a stupid Approach to me...

What makes this circuit so different from those we've discussed before?

1. "State" - i.e. the circuit has memory
2. The output was changed by an input "event" (pushing a button) rather than an input "value".

wang_hong@tsinghua.edu.cn 清华大学

12

2022年 秋季学期

Here's a strategy for Aha.....

wang_hong@tsinghua.edu.cn 清华大学

13

2022年 秋季学期

The Solution:
Add two gates
and only open
one at a time.

KEY: At no time is there an
open path through both
gates...

wang_hong@tsinghua.edu.cn 清华大学

14

2022年 秋季学期

5.3.2 脉冲触发的触发器

一、电路结构

提高可靠性，要求每个CP周期
输出状态只能改变1次

The gate of this latch is open when the clock is low

The gate of this latch is open when the clock is high

wang_hong@tsinghua.edu.cn 清华大学

15

2022年 秋季学期

Master-Slave Flip Flop (Edge-triggered)

The gate of this latch is open when the clock is low

The gate of this latch is open when the clock is high

Observations:

- only one latch "transparent" at any time:
- ♦ master closed when slave is open
- ♦ slave closed when master is open
- no combinational path through flip flop

Transitions mark *instants*, not intervals

Q only changes shortly after 0 → 1 transition of CLK, so flip flop **appears** to be "triggered" by rising edge of CLK

wang_hong@tsinghua.edu.cn 清华大学

16

2022年 秋季学期

(5) 列出真值表

CLK	S	R	Q	Q*
X	X	X	X	Q*
0	0	0	0	0
0	0	1	1	1
1	0	0	1	1
1	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	1	0	1	1
1	1	1	1	1

CLK	J	K	Q	Q*
X	X	X	X	Q*
0	0	0	0	0
0	0	1	1	1
1	0	0	1	1
1	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	1	0	1	1
1	1	1	0	0

wang_hong@tsinghua.edu.cn 清华大学

21

2022年 秋季学期

二、脉冲触发方式的动作特点

- 分两步动作：
 - 第一步 $clk = 1$ 时，“主”接收信号，“从”保持
 - 第二步 $clk \downarrow$ 到达后，“从”按“主”状态翻转
- 主从SR，“主”为同步SR， $clk = 1$ 的全部时间里输入信号对“主”都起控制作用
 但主从JK在 clk 高电平期间，“主”只可能翻转一次
 ∴ 在 $clk = 1$ 期间里输入发生变化时，要找出 $clk \downarrow$ 前 Q 最后的状态，决定 Q^* 。

wang_hong@tsinghua.edu.cn 清华大学

22

2022年 秋季学期

wang_hong@tsinghua.edu.cn 清华大学

23

2022年 秋季学期

5.3.3 边沿触发的触发器

为了提高可靠性，增强抗干扰能力，希望触发器的次态仅取决于CLK的下降沿（或上升沿）到来时的输入信号状态，与在此前、后输入的状态没有关系。

用CMOS传输门的边沿触发器
 维持阻塞触发器
 用门电路tpd的边沿触发器
 .
 .

wang_hong@tsinghua.edu.cn 清华大学

24