

2022年 秋季学期

Stick with things we know about ...

voltages	phase
currents	frequency

This semester we' ll use **voltages** to encode information. But the best choice depends on the intended application...

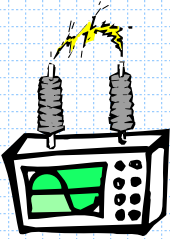
Voltage pros:

- easy generation, detection
- lots of engineering knowledge
- potentially **low** power in steady state

zero

Voltage cons:

- easily affected by environment
- DC connectivity required?
- R & C effects slow things down



wang_hong@tsinghua.edu.cn 清华大学

1

2022年 秋季学期

Representing information with voltage

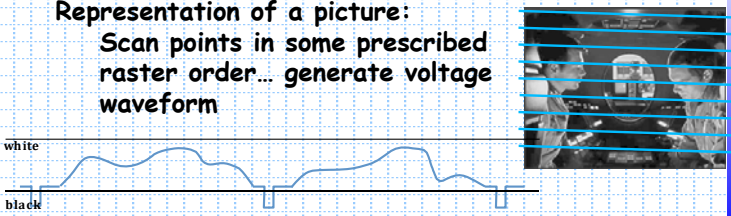
PAL (25帧, 625线, 4:3)

Representation of each point (x, y) on a Picture:

- 0 volts: BLACK
- 1 volts: WHITE
- 0.37 volts: 37% Gray
- etc.

Representation of a picture:

Scan points in some prescribed raster order... generate voltage waveform




wang_hong@tsinghua.edu.cn 清华大学

2

2022年 秋季学期

Information Processing = Computation

- First let' s introduce some processing blocks:



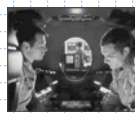
v


→

Copy

→

v






v

→

INV

→

$1-v$




wang_hong@tsinghua.edu.cn 清华大学

3

2022年 秋季学期

Let' s build a system!



input

Copy

INV

Copy

INV


Copy

INV

Copy

INV

(Reality)



output

wang_hong@tsinghua.edu.cn 清华大学

4

2022年 秋季学期

Why did our system fail?

- Why doesn't reality match theory?
 - COPY Operator doesn't work right
 - INVERSION Operator doesn't work right
 - Theory is imperfect
 - Reality is imperfect
 - Our system architecture stinks
- ANSWER: **all** of the above!
 Noise and inaccuracy are inevitable; we can't reliably reproduce infinite information-- we must **design our system to tolerate some amount of error** if it is to process information reliably.

wang_hong@tsinghua.edu.cn 清华大学

5

2022年 秋季学期

The Digital Panacea ...

- Why digital?
 ... because **it keeps the price we pay for the information** low.
 All the information modules is only

But, we get a guarantee of reliable processing.

wang_hong@tsinghua.edu.cn 清华大学

6

2022年 秋季学期

Using Voltages "Digitally"

- Key idea: don't allow "0" to be mistaken for a "1" or vice versa
- Use the same "uniform representation convention" for every component and wire in our digital system To implement devices with high reliability, we outlaw "close calls" via a representation convention which forbids a range of voltages between "0" and "1".

CONSEQUENCE:
 Notion of "VALID" and "INVALID" logic levels

wang_hong@tsinghua.edu.cn 清华大学

7

2022年 秋季学期

Using Voltages "Digitally"

- Key idea: encode only one bit of information: 2 values "0", "1"
- Use the same uniform representation convention for every component and wire in our digital system

Hard to distinguish

Attempt #1:

Attempt #2:

wang_hong@tsinghua.edu.cn 清华大学

8

2022年 秋季学期

Wires: theory vs. practice

Does a wire obey the static discipline?

Noise: changes voltage...

V_{in}
 (voltage close to boundary
with forbidden zone)

V_{out}
 (voltage in forbidden zone:
Oops, not a valid voltage!)

Questions to ask ourselves:
In digital systems, where does noise come from?
How big an effect are we talking about?

wang_hong@tsinghua.edu.cn 清华大学

9

2022年 秋季学期

The Digital Abstraction

Real World
 Manufacturing Variations
 Noise
 Volts or Electrons or Ergs or Gallons

"Ideal" Abstract World
 0/1
 Bits

Keep in mind that the world is not digital, we would simply like to engineer it to behave that way.
Furthermore, we must use **real physical phenomena** to implement digital designs!

wang_hong@tsinghua.edu.cn 清华大学

10

2022年 秋季学期

Power Supply Noise

Power supply

Integrated circuit
 L' s from chip leads
 R' s and C' s from Aluminum wiring layers
 Current loads from on-chip devices

ΔV from:

- IR drop**
(between gates: 30mV, within module: 50mV, across chip: 350mV)
- $L(dI/dt)$ drop**
(use extra pins and bypass caps to keep within 250mV)
- LC ringing triggered by current "steps"**

wang_hong@tsinghua.edu.cn 清华大学

11

2022年 秋季学期

半导体管 → 小规模、中规模、大规模集成电路

- 47年 贝尔实验室制成第一只晶体管
- 58年 集成电路 (4-12-100-1000)
- 69年 大规模集成电路 (10万)
- 75年 超大规模集成电路(15万)
- ...

SSI MSI LSI VLSI ULSI GLSI

第一片集成电路只有4个晶体管，而97年一片集成电路上有40亿个晶体管。集成度按10倍/6年的速度。。。。。。

wang_hong@tsinghua.edu.cn 清华大学

12

2022年 秋季学期

The Digital Abstraction

1. Making bits concrete
2. What makes a good bit
3. Getting bits under contract

第三章 门电路

wang_hong@tsinghua.edu.cn 清华大学

13

2022年 秋季学期

3.1 概述

门电路中以高/低电平表示逻辑状态的1/0

- 门电路：实现基本运算、复合运算的单元电路，如与门、与非门、或门.....

正逻辑：高电平表示1
低电平表示0

负逻辑：高电平表示0
低电平表示1

正逻辑 负逻辑

wang_hong@tsinghua.edu.cn 清华大学

14

2022年 秋季学期

获得高、低电平的基本原理

高/低电平都允许有一定的变化范围

正逻辑 负逻辑

wang_hong@tsinghua.edu.cn 清华大学

15

2022年 秋季学期

半导体基础知识

- 一、本征半导体
- 二、杂质半导体
- 三、PN结的形成及其单向导电性
- 四、PN结的电容效应

wang_hong@tsinghua.edu.cn 清华大学

16

2022年 秋季学期

一、本征半导体

1. 什么是半导体？什么是本征半导体？

导电性介于导体与绝缘体之间的物质称为半导体。

导体 - - 铁、铝、铜等金属元素等低价元素，其最外层电子在外电场作用下很容易产生定向移动，形成电流。

绝缘体 - - 惰性气体、橡胶等，其原子的最外层电子受原子核的束缚力很强，只有在外电场强到一定程度时才可能导电。

半导体 - - 硅 (Si)、锗 (Ge)，均为四价元素，它们原子的最外层电子受原子核的束缚力介于导体与绝缘体之间。
本征半导体是纯净的晶体结构的半导体。

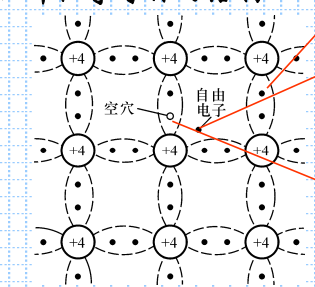
无杂质 **稳定的结构**

wang_hong@tsinghua.edu.cn 清华大学

17

2022年 秋季学期

2. 本征半导体的结构



共价键

由于热运动，具有足够能量的价电子挣脱共价键的束缚而成为自由电子

自由电子的产生使共价键中留有一个空位置，称为空穴

自由电子与空穴相碰同时消失，称为**复合**。 **动态平衡**

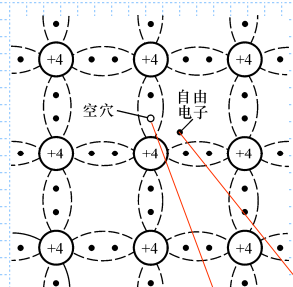
一定温度下，自由电子与空穴对的浓度一定；温度升高，热运动加剧，挣脱共价键的电子增多，自由电子与空穴对的浓度加大。

wang_hong@tsinghua.edu.cn 清华大学

18

2022年 秋季学期

3. 本征半导体中的两种载流子



运载电荷的粒子称为载流子。

外加电场时，带负电的自由电子和带正电的空穴均参与导电，且运动方向相反。由于载流子数目很少，故导电性很差。

温度升高，热运动加剧，载流子浓度增大，导电性增强。
热力学温度0K时不导电。

两种载流子

为什么要将半导体变成导电性很差的本征半导体？

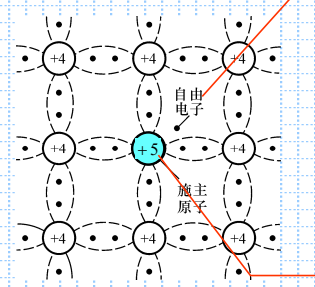
wang_hong@tsinghua.edu.cn 清华大学

19

2022年 秋季学期

二、杂质半导体

1. N型半导体



多数载流子

空穴比未加杂质时的数目多了？少了？为什么？

杂质半导体主要靠多数载流子导电。掺入杂质越多，多子浓度越高，导电性越强，实现导电性可控。

磷 (P)

wang_hong@tsinghua.edu.cn 清华大学

20

2022年 秋季学期

2. P型半导体

多数载流子

P型半导体主要靠空穴导电，掺入杂质越多，空穴浓度越高，导电性越强，

在杂质半导体中，温度变化时，载流子的数目变化吗？少子与多子变化的数目相同吗？少子与多子浓度的变化相同吗？

硼 (B)

wang_hong@tsinghua.edu.cn 清华大学

21

2022年 秋季学期

三、PN结的形成及其单向导电性

1. PN 结的形成

物质因浓度差而产生的运动称为扩散运动。气体、液体、固体均有之。

P区空穴浓度远高于N区。

N区自由电子浓度远高于P区。

扩散运动

扩散运动使靠近接触面P区的空穴浓度降低、靠近接触面N区的自由电子浓度降低，产生内电场。

wang_hong@tsinghua.edu.cn 清华大学

22

2022年 秋季学期

1. PN 结的形成

由于扩散运动使P区与N区的交界面缺少多数载流子，形成内电场，从而阻止扩散运动的进行。内电场使空穴从N区向P区、自由电子从P区向N区运动。

漂移运动

因电场作用所产生的运动称为漂移运动。

参与扩散运动和漂移运动的载流子数目相同，达到动态平衡，就形成了PN结。

wang_hong@tsinghua.edu.cn 清华大学

23

2022年 秋季学期

2. PN 结的单向导电性

PN结加正向电压导通： 耗尽层变窄，扩散运动加剧，由于外电源的作用，形成扩散电流，PN结处于导通状态。

加反向电压截止： 耗尽层变宽，阻止扩散运动，有利于漂移运动，形成漂移电流。由于电流很小，故可近似认为其截止。

必要吗？

wang_hong@tsinghua.edu.cn 清华大学

24

四、PN 结的电容效应

1. 势垒电容

PN结外加电压变化时，空间电荷区的宽度将发生变化，有电荷的积累和释放的过程，与电容的充放电相同，其等效电容称为势垒电容 C_b 。

2. 扩散电容

PN结外加的正向电压变化时，在扩散路程中载流子的浓度及其梯度均有变化，也有电荷的积累和释放的过程，其等效电容称为扩散电容 C_d 。

结电容: $C_j = C_b + C_d$

结电容不是常量！若PN结外加电压频率高到一定程度，则失去单向导电性！