

2022年 秋季学期

### 三、三态输出门 (Three state Output Gate ,TS)

(1)  $EN' = 0, P = 1, D$ 截止, 为“工作状态”  $\Rightarrow Y = (AB)'$   
 (2)  $EN' = 1, P = 0, D$ 导通, 为“高阻状态”  $\Rightarrow Y = Z$

pullup	pulldown	$F(A_1, \dots, A_n)$
on	off	driven "1"
off	on	driven "0"
on	on	driven "X"
off	off	no connection "Z"

wang\_hong@tsinghua.edu.cn 清华大学

1

2022年 秋季学期

### 三态门的用途

wang\_hong@tsinghua.edu.cn 清华大学

2

2022年 秋季学期

### TTL电路, CMOS电路的接口

#### 一、CMOS电路的正确使用 p92

- 1、输入电路的静电保护
- 2、输入电路的过流保护
- 3、CMOS电路的锁定效应\*

wang\_hong@tsinghua.edu.cn 清华大学

3

2022年 秋季学期

#### 二、CMOS集成电路的各种系列 p98

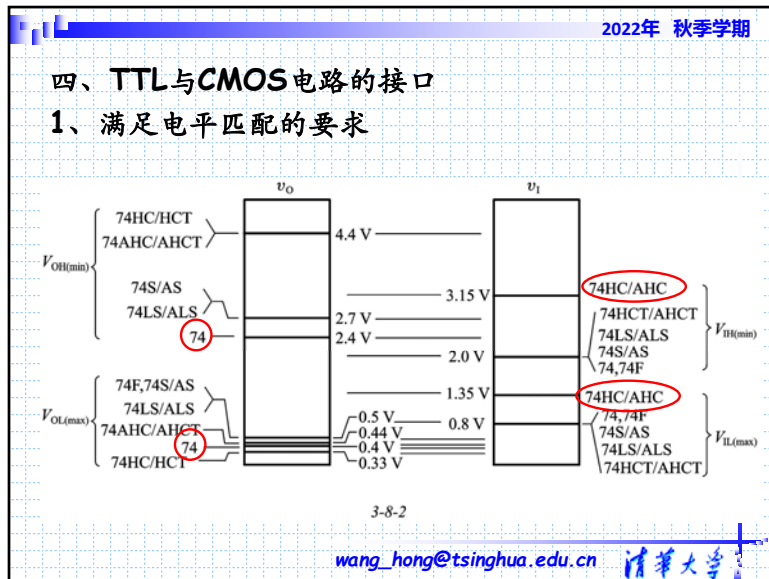
4000, 74HC/HCT, 74AHC/AHCT,  
74VHC/VHCT,  
74LVC, 74ALVC

#### 三、TTL集成电路的各种系列 p125\*

74S, 74LS, 74AS  
74ALS, 74F

wang\_hong@tsinghua.edu.cn 清华大学

4



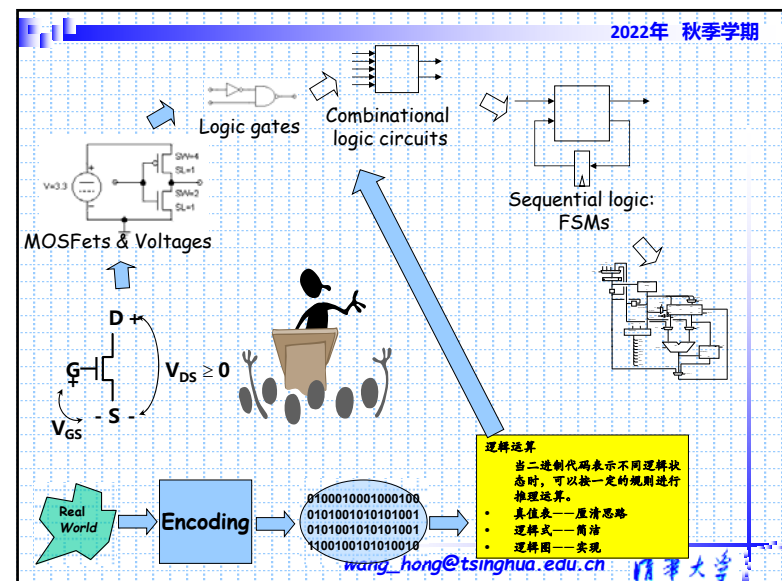
5



6



7



8



9

2022年 秋季学期

### 概述

一、组合逻辑电路的特点

1. 从功能上
2. 从电路结构上

任意时刻的输出仅取决于该时刻的输入

不含记忆（存储）元件

wang\_hong@tsinghua.edu.cn 清华大学

10

2022年 秋季学期

### 二、逻辑功能的描述

组合逻辑电路的框图

$$\begin{aligned}
 y_1 &= f_1(a_1 a_2 \cdots a_n) \\
 y_2 &= f_2(a_1 a_2 \cdots a_n) \\
 &\vdots \\
 y_m &= f_m(a_1 a_2 \cdots a_n)
 \end{aligned}
 \quad Y = F(A)$$

wang\_hong@tsinghua.edu.cn 清华大学

11

2022年 秋季学期

**Static discipline**

- A **combinational device** is a circuit element that has
  - one or more digital inputs
  - one or more digital outputs
  - a *functional specification* that details the value of each output for every possible combination of valid input values
  - a *timing specification* consisting (at minimum) of an upper bound  $t_{PD}$  on the required time for the device to compute the specified output values from an arbitrary set of stable, valid input values

wang\_hong@tsinghua.edu.cn 清华大学

12

2022年 秋季学期

组合逻辑电路的设计方法

一、逻辑抽象

分析因果关系，确定输入/输出变量  
 定义逻辑状态的含意（赋值）  
 列出真值表

二、写出函数式

三、选定器件类型

四、根据所选器件：对逻辑式化简（用门）  
 变换（用MSI）  
 或进行相应的描述（PLD）

五、画出逻辑电路图，或下载到PLD

六、工艺设计

wang\_hong@tsinghua.edu.cn

清华大学

13

2022年 秋季学期

设计举例：

设计一个监视交通信号灯状态的逻辑电路

正常工作状态

故障状态

wang\_hong@tsinghua.edu.cn

清华大学

14

2022年 秋季学期

设计举例：

1、抽象

输入变量：  
 红 (R)、黄 (A)、绿 (G)

输出变量：  
 故障信号 (Z)

2、写出逻辑表达式

$$Z = R'AG' + RAG + RA'G + RAG' + RAG$$

3、选用小规模SSI器件

4、化简

$$Z = R'A'G' + RA + RG + AG$$

5、画出逻辑图

输入变量			输出
R	A	G	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

wang\_hong@tsinghua.edu.cn

清华大学

15

2022年 秋季学期

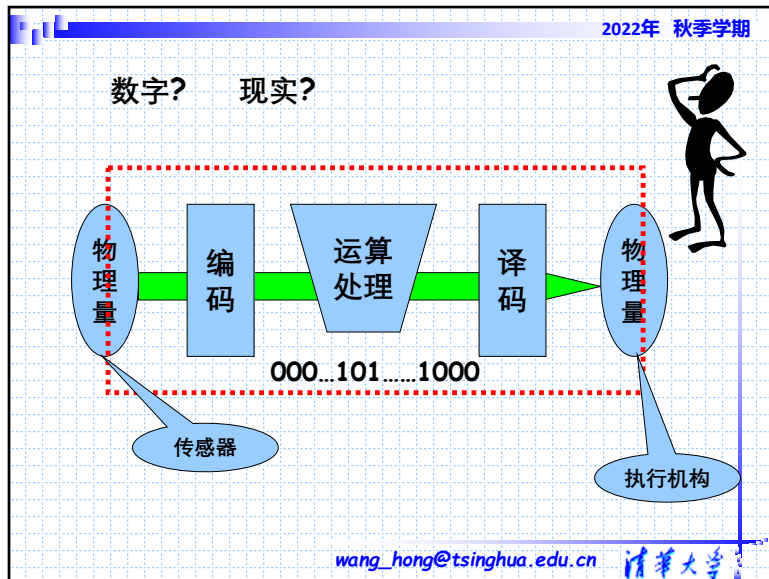
例：人的血型有A，B，AB和O四种，试设计一个逻辑电路判断献血者和用血者血型是否相符。

献血者	授血者	配型结果
00	00	1
	01	0
	10	1
	11	0

wang\_hong@tsinghua.edu.cn

清华大学

16



17

2022年 秋季学期

## 4.4 若干常用组合逻辑电路

### 4.4.1 编码器

- 编码：将输入的每个高/低电平信号变成一个对应的二进制代码
- 普通编码器
- 优先编码器

wang\_hong@tsinghua.edu.cn 清华大学

18

2022年 秋季学期

### 一、普通编码器

- 特点：任何时刻只允许输入一个需要编码的电平信号。
- 例：3位二进制普通编码器

输 入								输 出		
I <sub>0</sub>	I <sub>1</sub>	I <sub>2</sub>	I <sub>3</sub>	I <sub>4</sub>	I <sub>5</sub>	I <sub>6</sub>	I <sub>7</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

$$Y_2 = I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0' + I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0' + I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0' + I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0'$$

wang\_hong@tsinghua.edu.cn 清华大学

19