



Logic Design Assignment 4 - Solutions (TA)

Dr. Shahram Etemadi

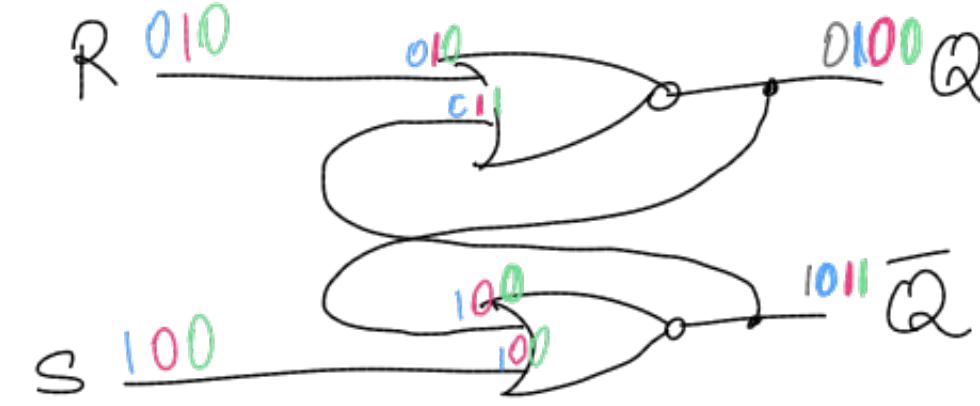
Led by **Abolfazl Ranjbar**

Computer Engineering Department

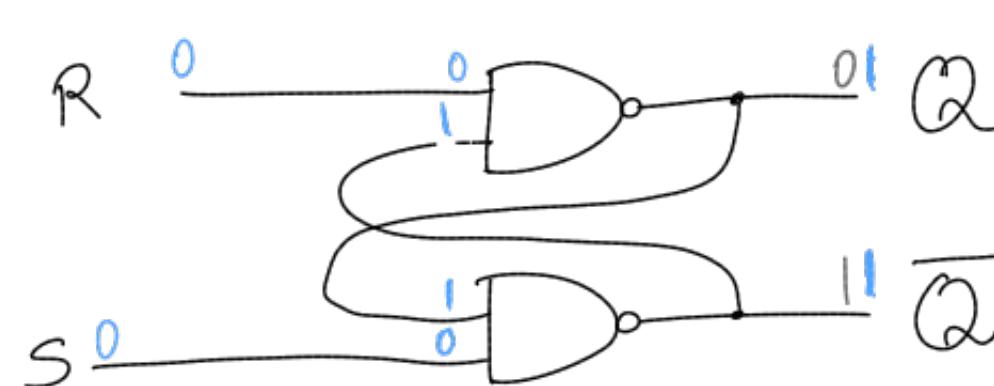
University of Isfahan

Fall Semester 2024

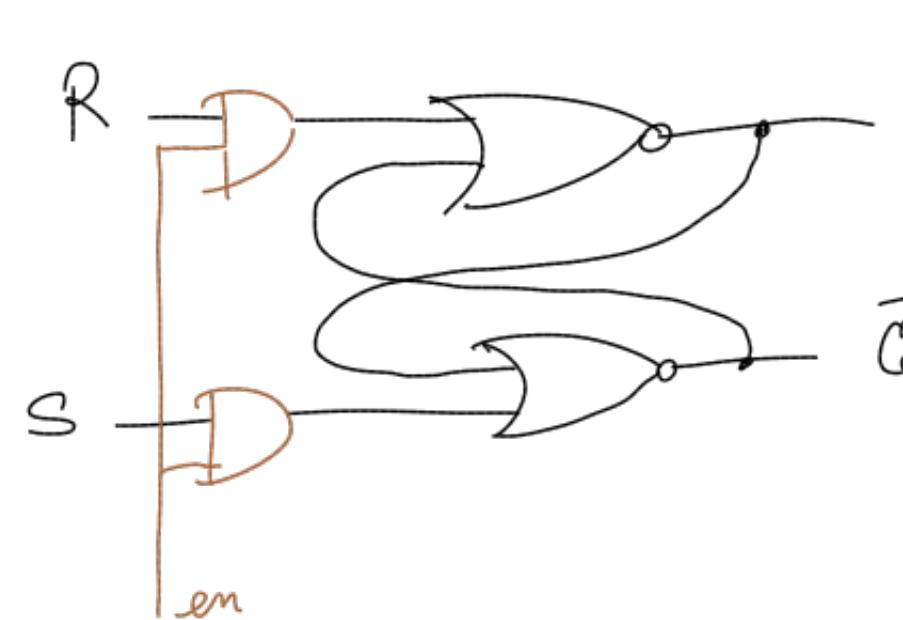
Latch \rightarrow قفل



S	R	Q_n
0	0	Q
0	1	0
1	0	1
1	1	X \rightarrow invalid

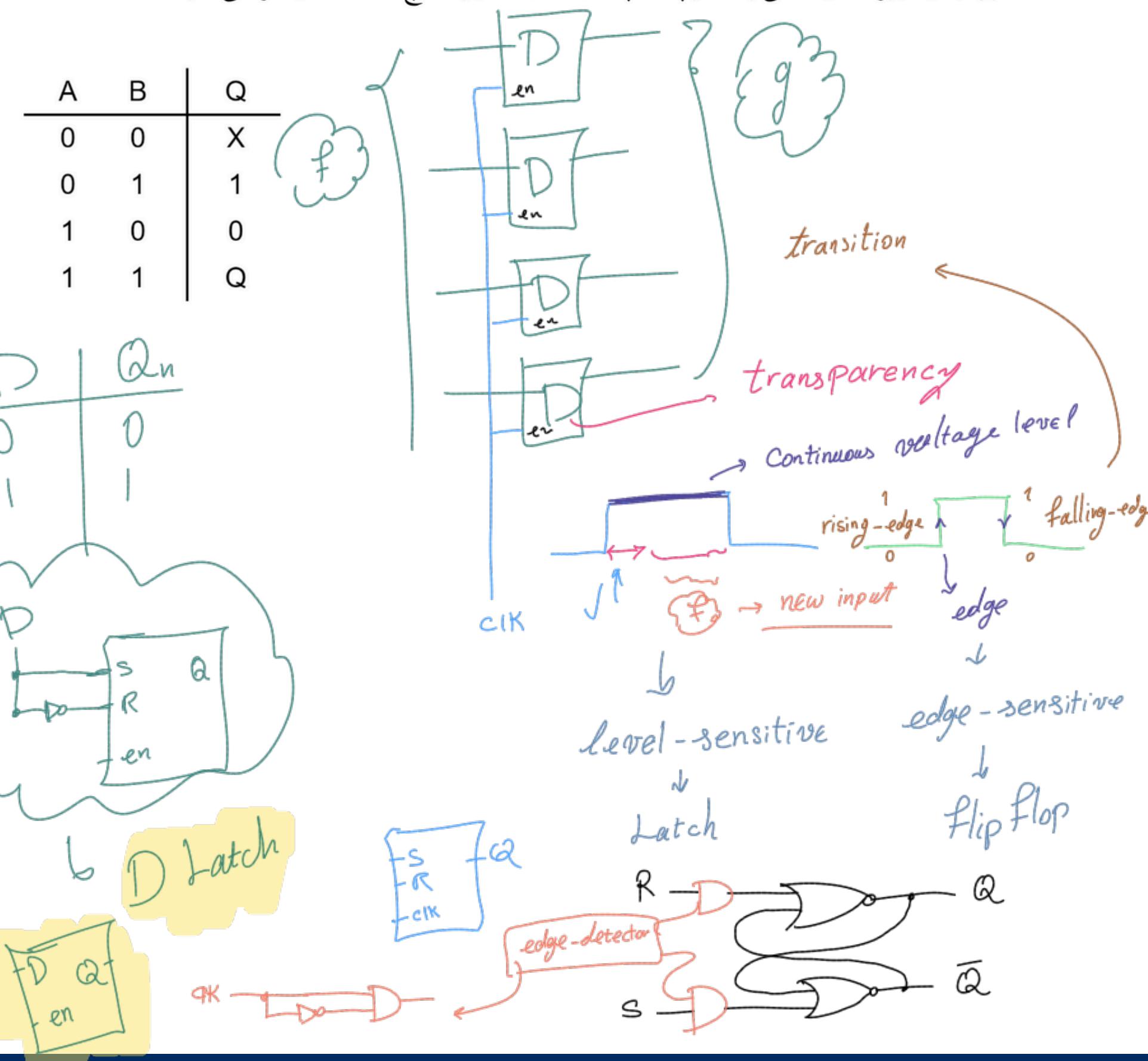


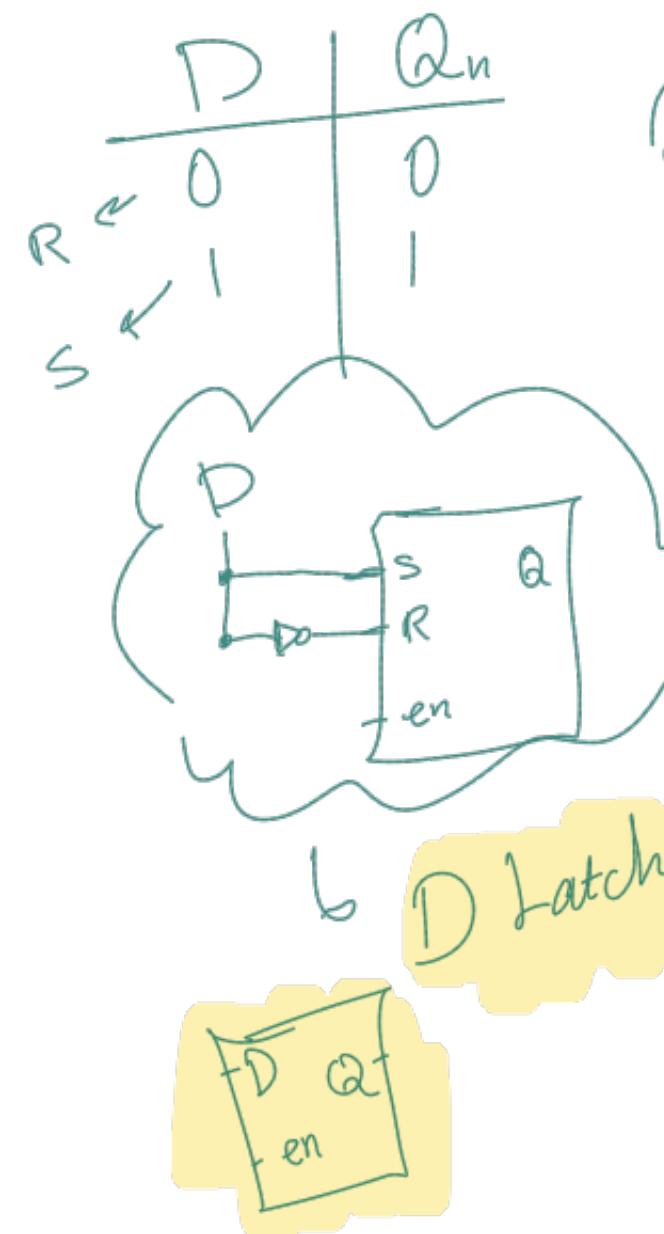
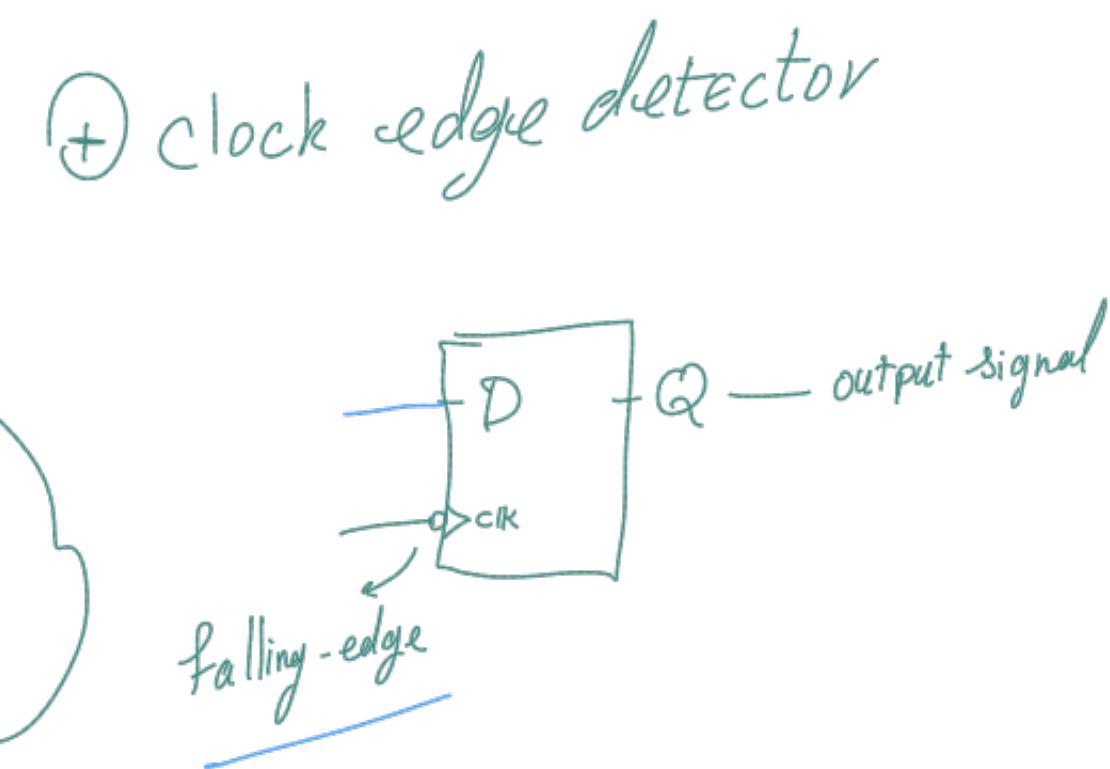
S	R	Q_n
0	0	X
0	1	0
1	0	1
1	1	Q



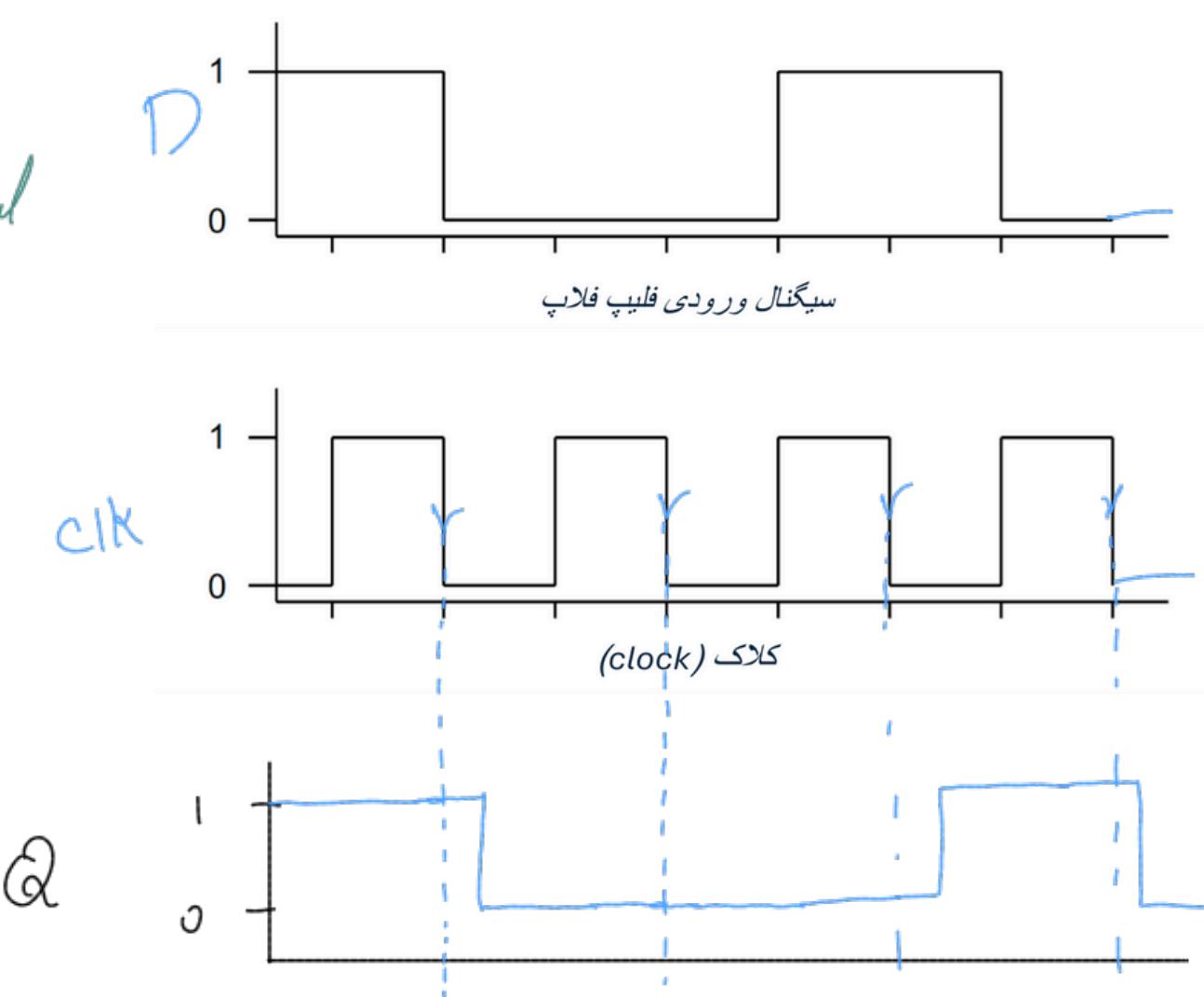
en	S	R	Q_n
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	X
0	-	-	Q

1- مطابق جدول زیر، مدار داخلی یک فلیپ فلاب (Flip-flop) و یک لچ (Latch) را طراحی کنید.

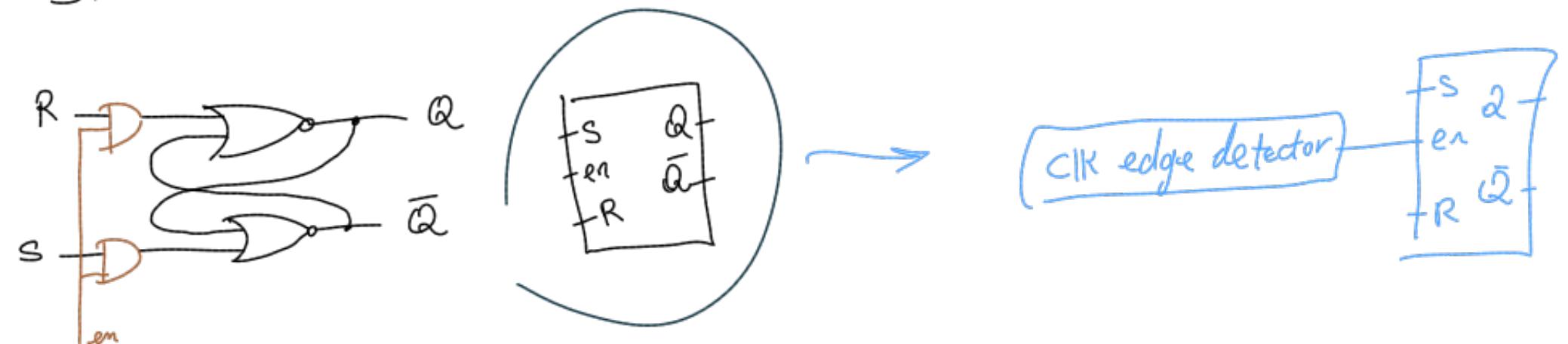


D Latch*D- flip flop*

۲- اگر سیگنال زیر ورودی فلیپ فلاپ D باشد، سیگنال خروجی (Q) را بکشید. (تأخیر فلیپ فلاپ را 0.2ns بازه زمانی درنظر بگیرید).

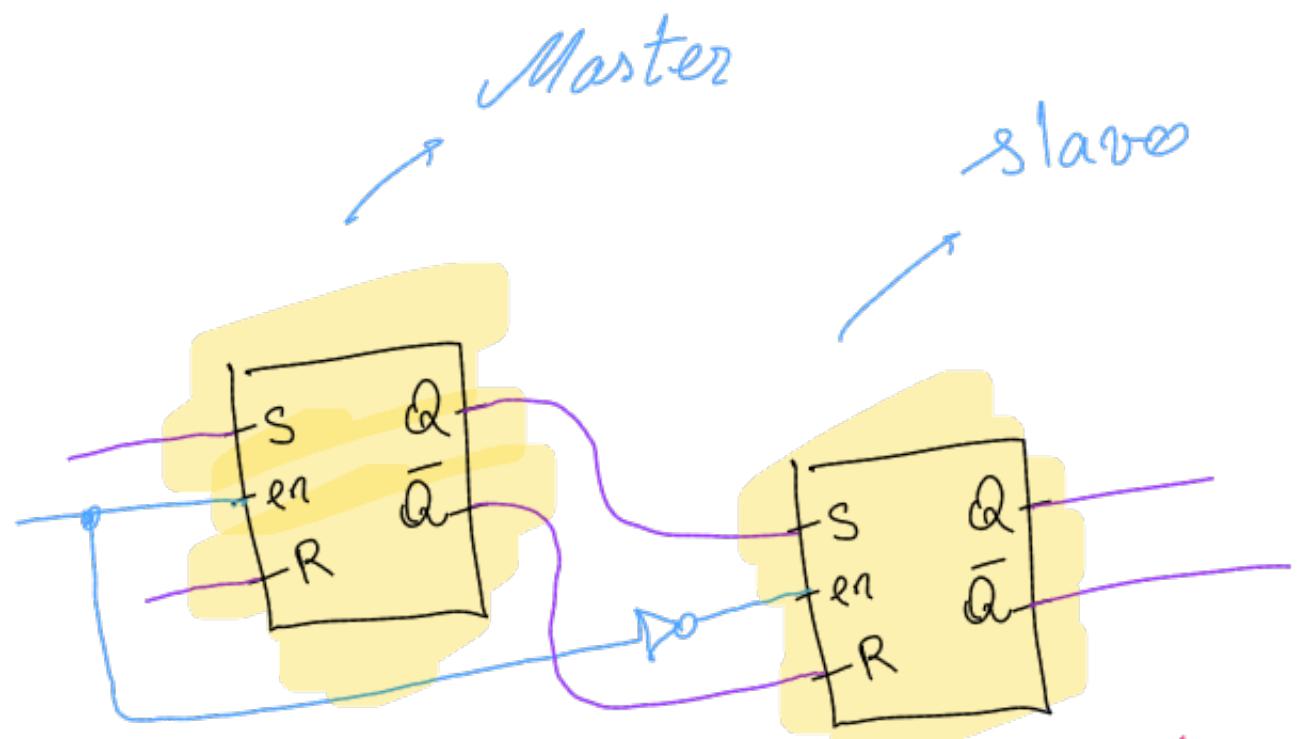
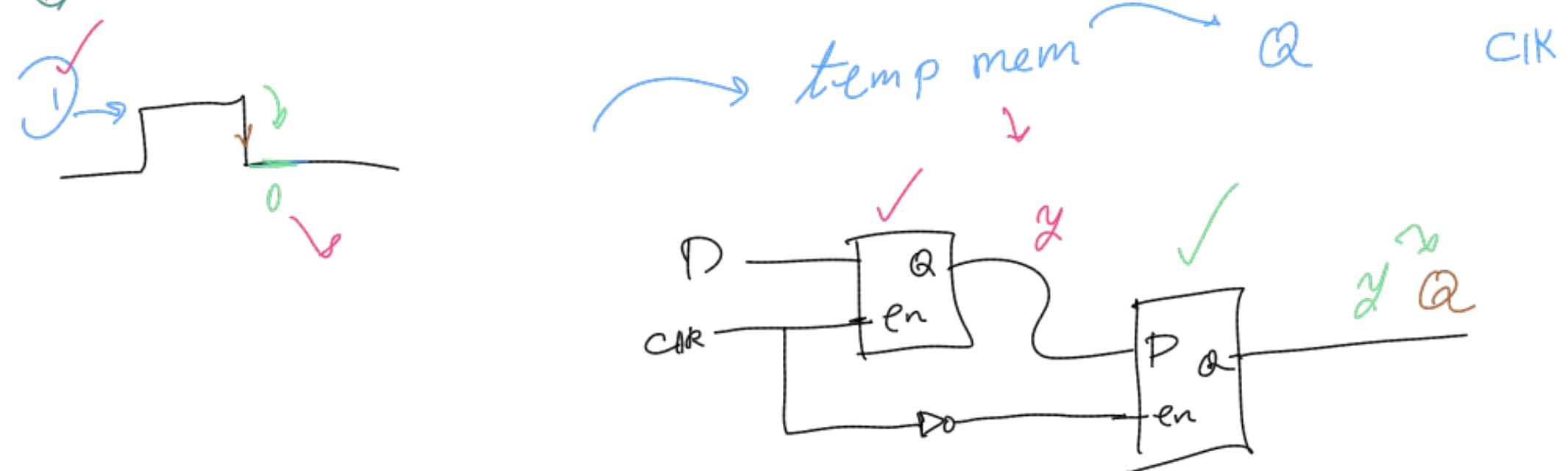


SR - Latch



۳ - یک فلیپ فلáp نوع SR را با استفاده از یک لچ (Latch) آماده رسم کنید.

① Master - Slave SR



SR - Latch \rightarrow $S, R = 1 \rightarrow$ invalid

Question - 4

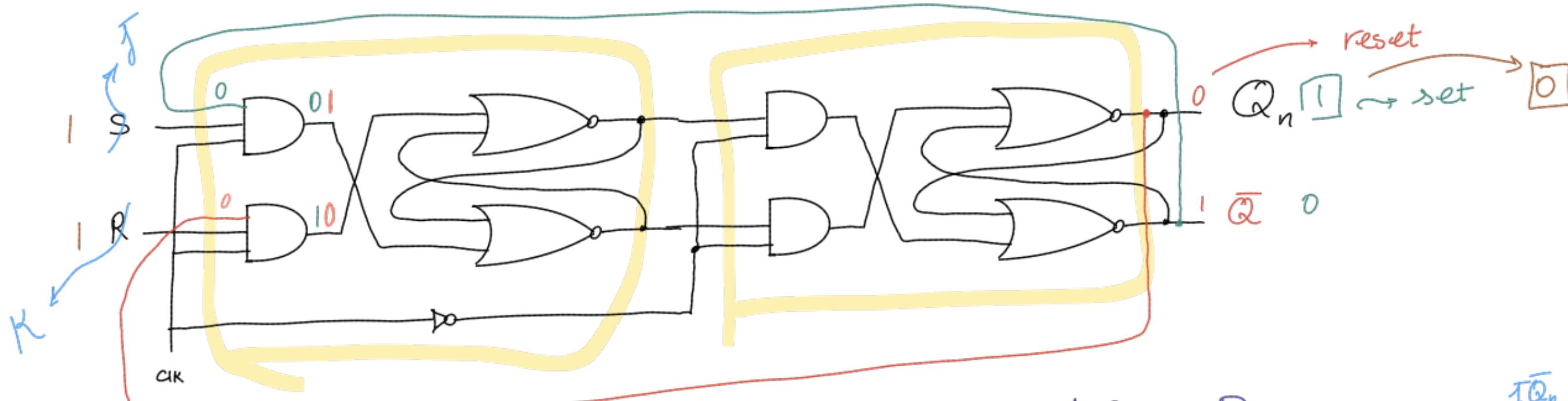
S	R	Q_n
0	0	Q
0	1	0
1	0	1
1	1	X → invalid

J	K	Q_n
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q} → complement → toggle

JK - flip flop

۴- مدار داخلی یک فلیپ فلاب JK را طراحی کنید.

JK
S R

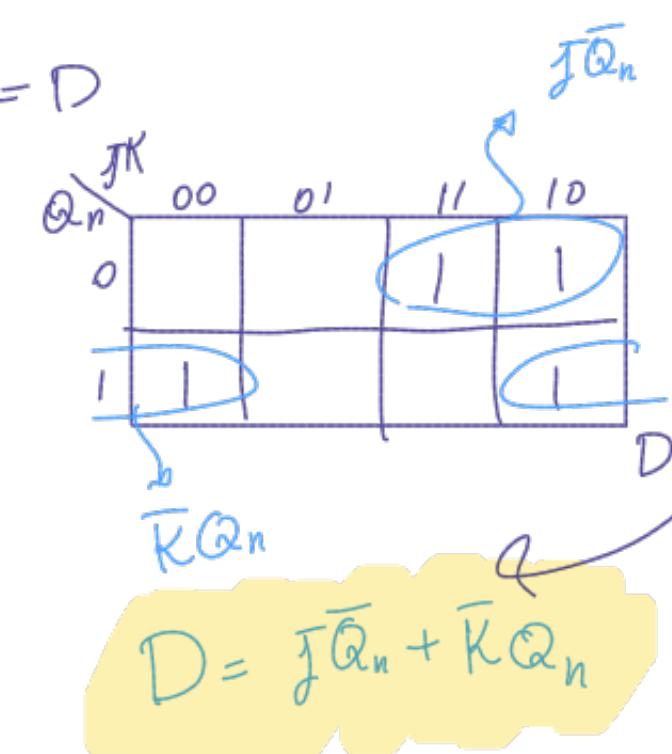
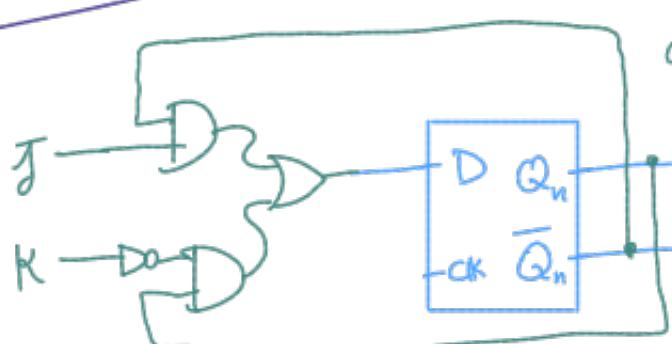


D	Q
0	0

J	K	Qn
0	0	0
0	1	0
1	0	1
1	1	1

Q_{n+1}	D
0	0
1	1
0	0
1	1
0	0
1	1
0	0
1	1

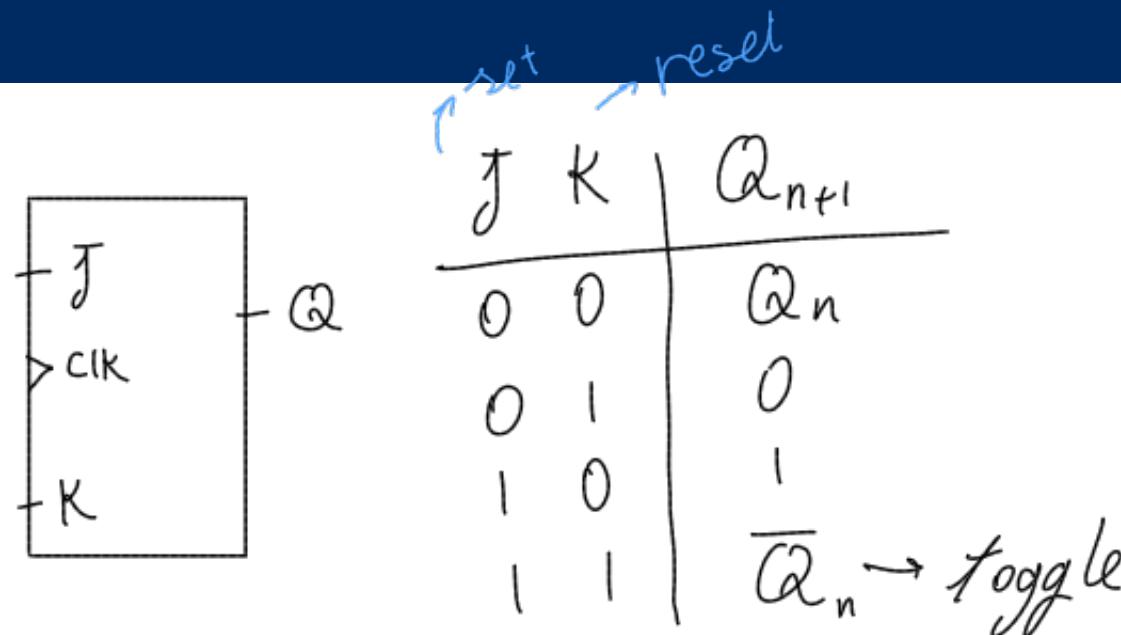
excitation table



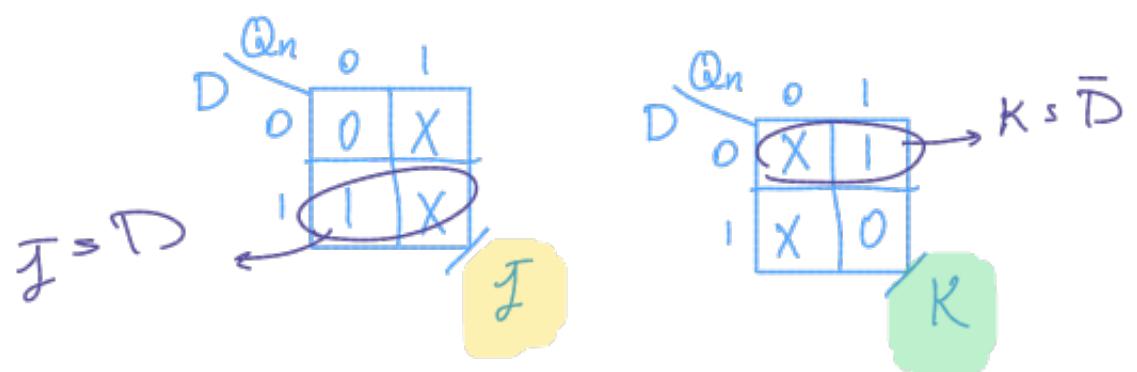
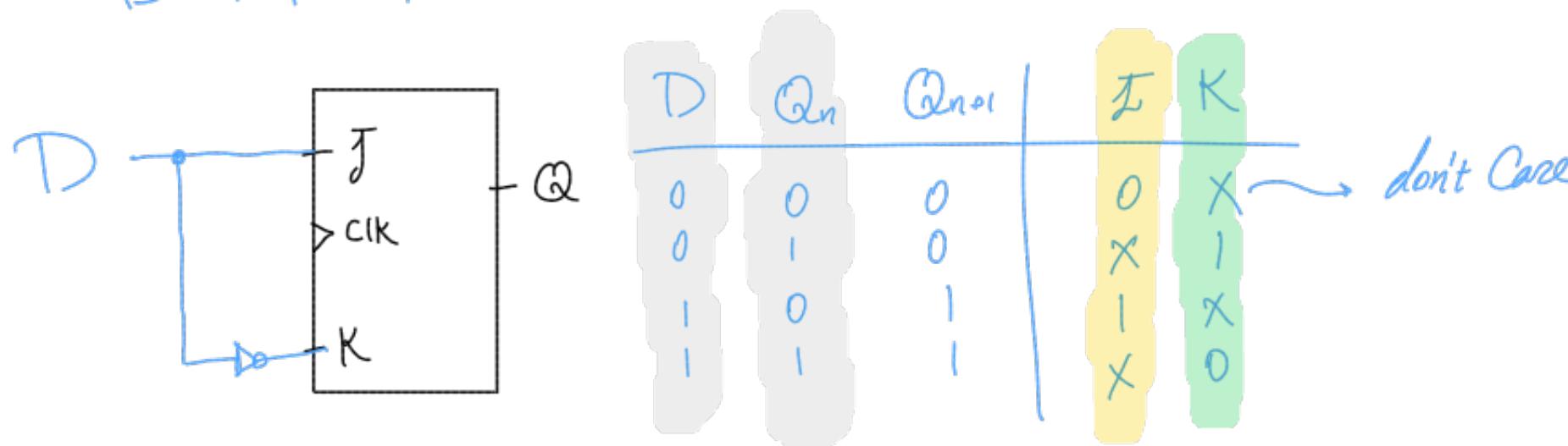
J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n



Question - 5



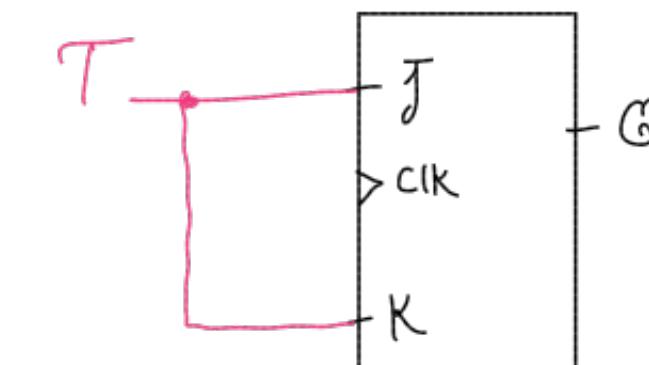
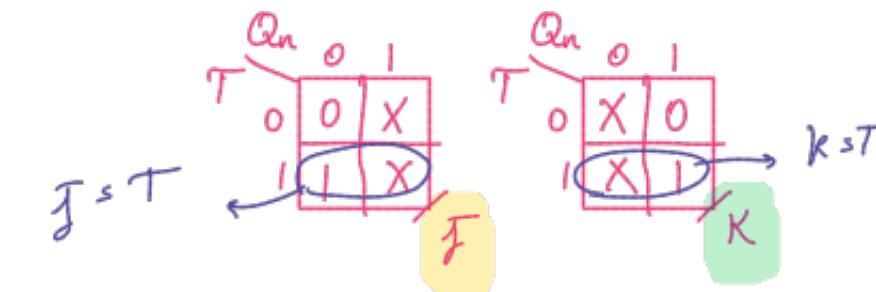
D - flip flop



Toggle - flip flop

T	<i>Q_{n+1}</i>
0	<i>Q_n</i>
1	$\overline{Q_n}$

T	<i>Q_n</i>	<i>Q_{n+1}</i>	J	K
0	0	0	0	X → don't care
0	1	1	X	0
1	0	1	1	X
1	1	0	X	1



5- با استفاده از یک فلیپ فلاب JK:

الف) یک فلیپ فلاب D طراحی کنید.

ب) یک فلیپ فلاب T طراحی کنید.

Present				next			
A	B	C	D	A^*	B^*	C^*	D^*
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	0	0
0	1	1	0	0	1	1	1
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1
1	1	0	1	1	0	1	0
1	1	1	0	1	1	1	1
15	1	1	1	0	0	0	0

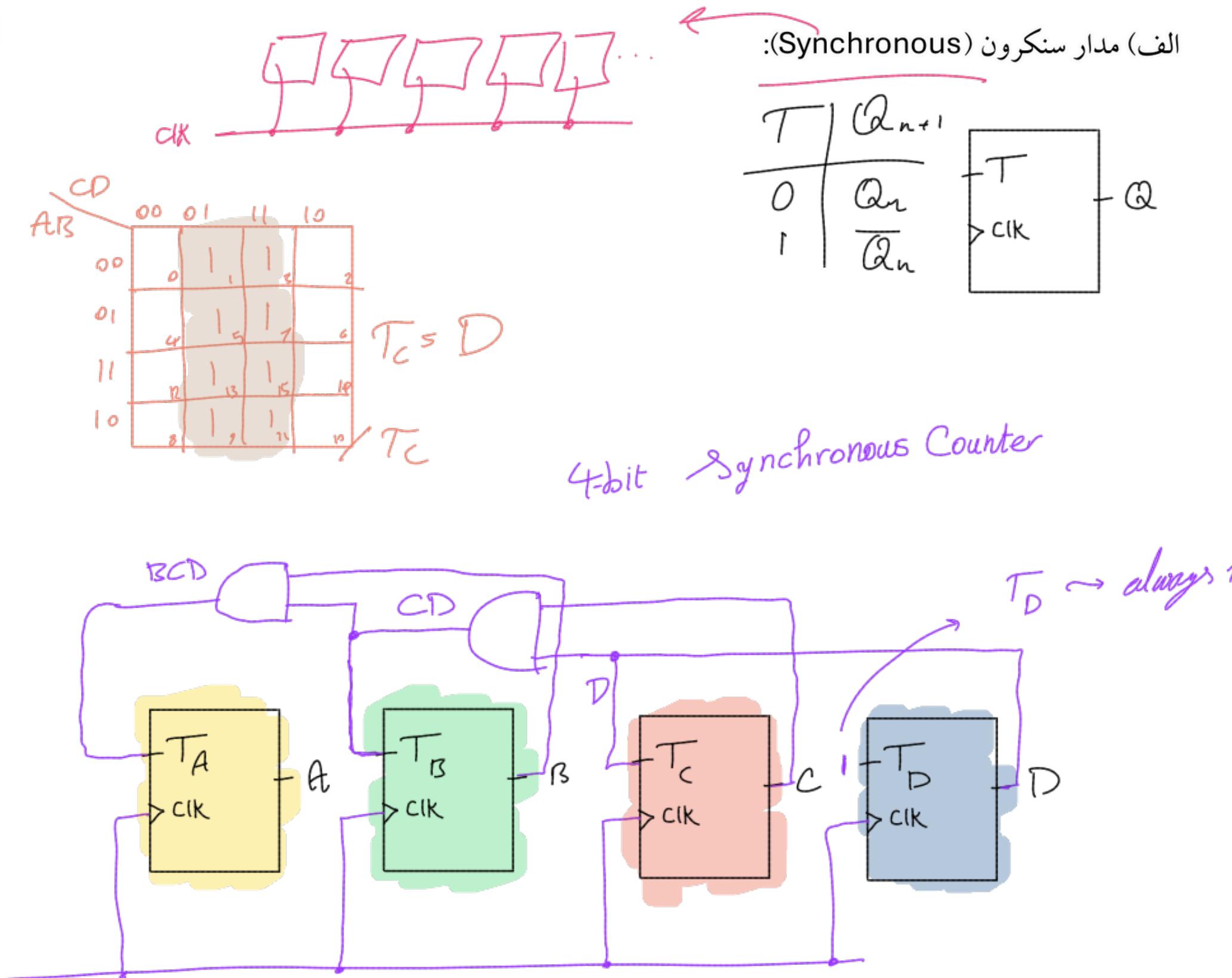
AB	CD	00	01	11	10
00	00	0	1	1	2
01	01	4	1	1	6
11	11	n	1	1	10
10	10	8	1	1	12

$T_B = CD$

AB	CP	00	01	11	10
00	00	1	1	1	1
01	01	1	1	1	1
11	11	1	1	1	1
10	10	1	1	1	1

$T_A = BCD$

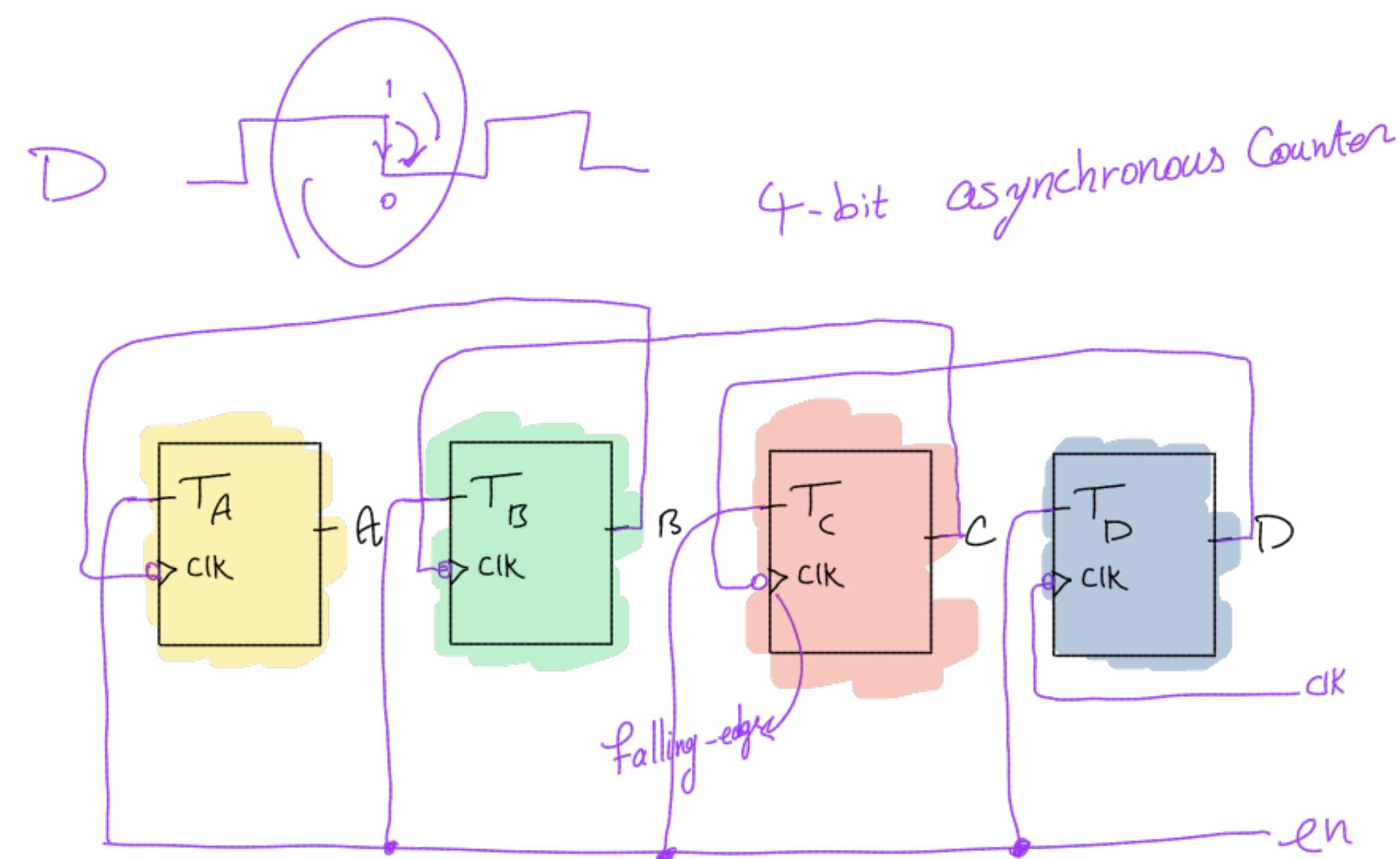
۶- با استفاده از چند فلپ فلاپ T یک مدار ترتیبی افزایشگر ۴ بیتی (4-bit Incrementer) طراحی کنید.



Present				next			
A	B	C	D	A^*	B^*	C^*	D^*
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	0	0	1	1
1	1	1	1	0	0	0	0

۶- با استفاده از چند فلیپ فلاب T یک مدار ترتیبی افزایشگر ۴ بیتی (4-bit Incrementer) طراحی کنید.

ب) مدار آسنکرون (Asynchronous)



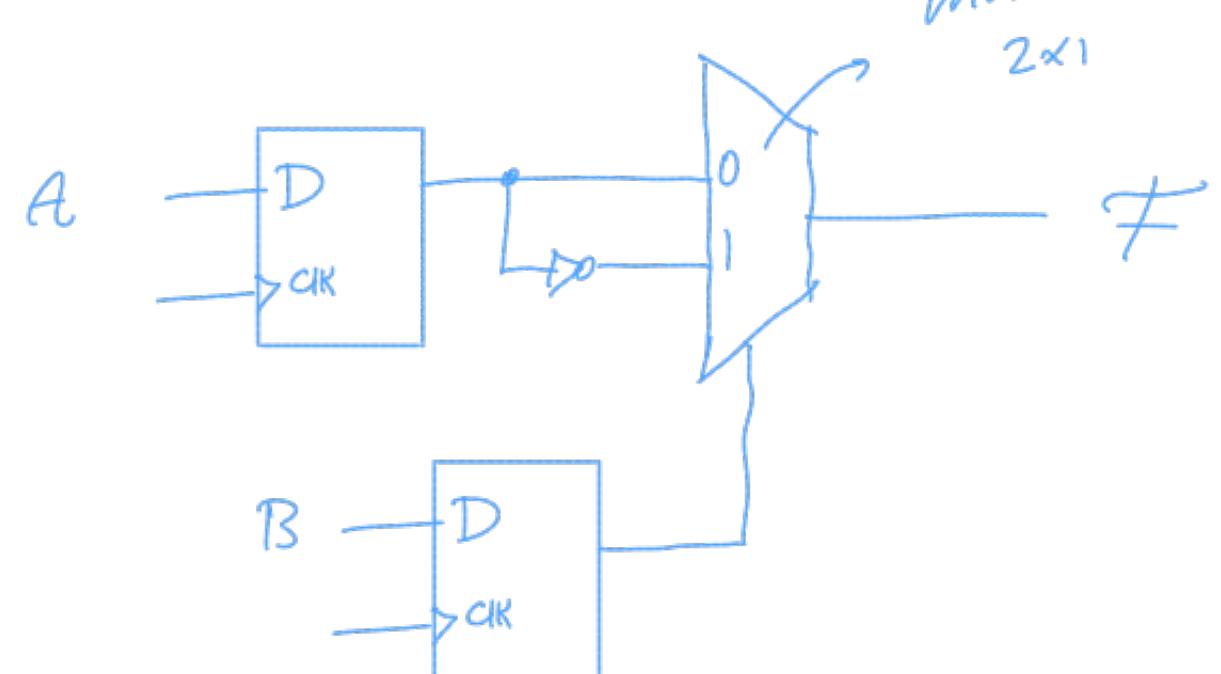
A	B	F
0	0	0
1	0	1
0	1	1
1	1	0

edit

۷- مداری طراحی کنید با دو سیگنال ورودی و یک سیگنال خروجی. در هر کلاک اگر بیت ورودی دوم «۰» بود،

خروجی بیت ورودی اول باشد و اگر «۱» بود، خروجی نات شده بیت ورودی اول باشد.

راهنمای



TA Team and Contributions:

- **Abolfazl Ranjbar**
- **Ehsan Saberi**
- **Pourya Ardestani**

*with special thanks to **Alireza Banizaman** (from Chemical Engineering Department) for additional support*

