

**四川大学期末考试试题（闭卷）**  
**（2018——2019 学年第 1 学期） B 卷**

课程号：304036030      课序号：      课程名称：计算机组成原理      任课教师：      成绩：  
适用专业年级：      学生人数：      印题份数：      学号：      姓名：

**考 生 承 诺**

我已认真阅读并知晓《四川大学考场规则》和《四川大学本科学生考试违纪作弊处分规定（修订）》，郑重承诺：

- 1、已按要求将考试禁止携带的文具用品或与考试有关的物品放置在指定地点；
- 2、不带手机进入考场；
- 3、考试期间遵守以上两项规定，若有违规行为，同意按照有关条款接受处理。

**考生签名：**

**一、选择题（本大题共 15 个，每个 2 分，共 30 分）**

1. 平均访存时间（AMAT）是衡量 Cache 性能的一个重要指标。以下哪一项不是影响 AMAT 的因素（    ）  
A. 命中时间      B. 缺失率      C. CPI      D. 缺失代价
2. 下列不属于组合逻辑部件的是（    ）  
A. 比较器      B. 寄存器      C. 多路选择器      D. 加法器
3. 在 MIPS 中进行栈访问时，需要使用到的寄存器是（    ）  
A. \$fp      B. \$gp      C. \$sp      D. \$at
4. 在 MIPS 中跳转和跳转链接指令的地址范围（M=1024K）是多大（    ）  
A. 地址在  $0 \sim 256M-1$  之间  
B. 分支前后地址范围各大约 128M  
C. 由 PC 提供高 4 位地址的 256M 大小的块中任意地址  
D. 由 PC 提供高 4 位地址的 128M 大小的块中任意地址
5. 将指令从符号码翻译成二进制码的程序（    ）  
A. 汇编器      B. 编译器      C. 链接器      D. 加载器
6. MIPS 汇编指令中有一条伪指令 bge，其功能是大于等于则分支。若要实现同样的功能，则其对应的 MIPS 汇编指令是（    ）  
A. slt 和 beq      B. slt 和 bne      C. bltz      D. bgtz

7. 在 8 位定点表示中, 寄存器内容为 10000000, 若它的数值等于-128, 则它采用的数据表示为( )。

- A. 原码                  B. 反码                  C. 补码                  D. 移码

8. 补码加法运算是指 ( )。

- A. 操作数用补码表示, 连同符号位一起相加  
B. 操作数用补码表示, 根据符号位决定实际操作  
C. 将操作数转化为原码后再相加  
D. 取操作数绝对值直接相加, 符号位单独处理

9. 在数据校验中, 既能检错, 又能纠错, 其码距至少为 ( )

- A. 1                  B. 2                  C. 3                  D. 4

10. 假定下列编码中有奇偶校验位, 但没有数据错误, 则采用偶校验的编码是 ( )

- A. 11001011    B. 11010110    C. 11000101    D. 11101001

11. 高速缓冲存储器 Cache 一般采取 ( )

- A、随机存取方式                  B、顺序存取方式  
C、半顺序存取方式                  D、只读不写方式

12. 以下用于构建内存的器件是 ( )

- A. EEPROM    B. DRAM    C. 虚拟存储器    D. SRAM

13. 在 Cache 中, 以下哪一种映射方式, Cache 空间利用率最高 ( )

- A. 直接映射    B. 全相联映射    C. 组相联映射    D. 都一样

14. 以下描述不正确的是 ( )

- A. 存储器层次利用了时间局部性  
B. 存储器层次结构的大部分容量处于最低层  
C. 在 DRAM 中, 是利用双稳态触发器来存储信息  
D. 在 DRAM 中, 需要定期进行刷新以保持数据

15. 用于解决主存容量不足的方法是 ( )

- A. 汇编器    B. DRAM    C. 虚拟存储器    D. SRAM

## 二、分析计算题 (本大题共 4 小题, 每小题 5 分, 共 20 分)

1、某处理器执行某一段程序，该程序包含三类指令，其中运算指令 120 条，访存指令 60 条，分支指令 20 条，各类指令的 CPI 分别为 5、10 和 2。请计算执行这段程序的平均 CPI。（5 分）

2、请用 IEEE754 单精度浮点数表达  $8.25_{(10)}$ 。（要求写出计算过程）。（5 分）

3、请写出 1101 的汉明校验码（分组采用偶校验）。（5 分）

4、与多周期数据通路中只有一个存储器相比，单周期数据通路中存储器分为了独立的指令存储器和数据存储器，请分析其原因。（5 分）

### 三、应用题（本大题共 2 小题，每小题 10 分，共 20 分）

1、请将下面的 C 语言程序翻译为 MIPS 汇编语言程序（假设  $v[]$  为数组  $v$  的起始地址）：（10 分）

```
void exchange (int v[], int i)
{
    int temp;
    temp = v[i];
    v[i]=v[i+1];
    v[i+1]=temp;
}
```

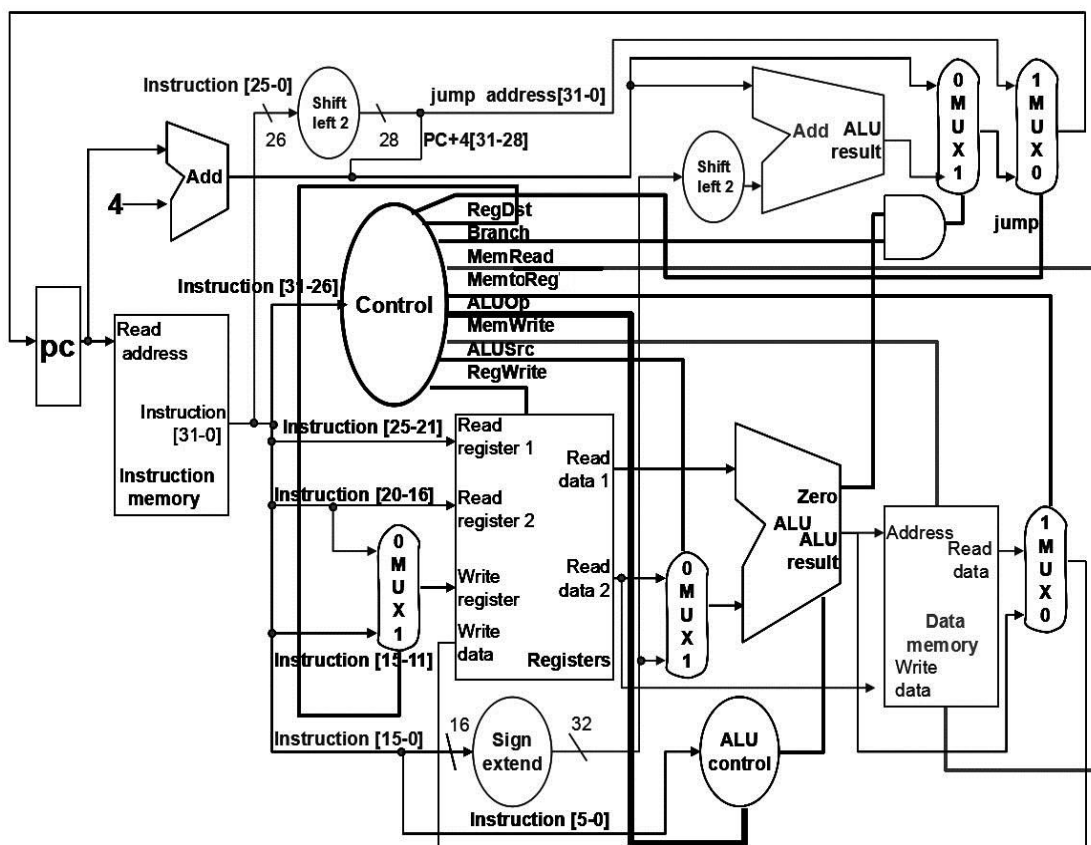
2. 对于具有 2GB 主存，128KB 高速缓存的 32 位 MIPS 机器，块大小为 64B，当 CPU 访问内存地址为 0x40110B85 时，

1) 如果高速缓存采用直接映像的话，此地址映射到 Cache 的 Index 值是多少？（5 分）

2) 如果高速缓存采用 2-Way (每组 2 块) 组相联映像的话，此地址映射到 Cache 的 Index 值又是多少？（5 分）

#### 四、数据通路分析与设计（本大题共 2 小题，共 30 分）

1、（15 分）下图是单周期处理器的数据通路图：



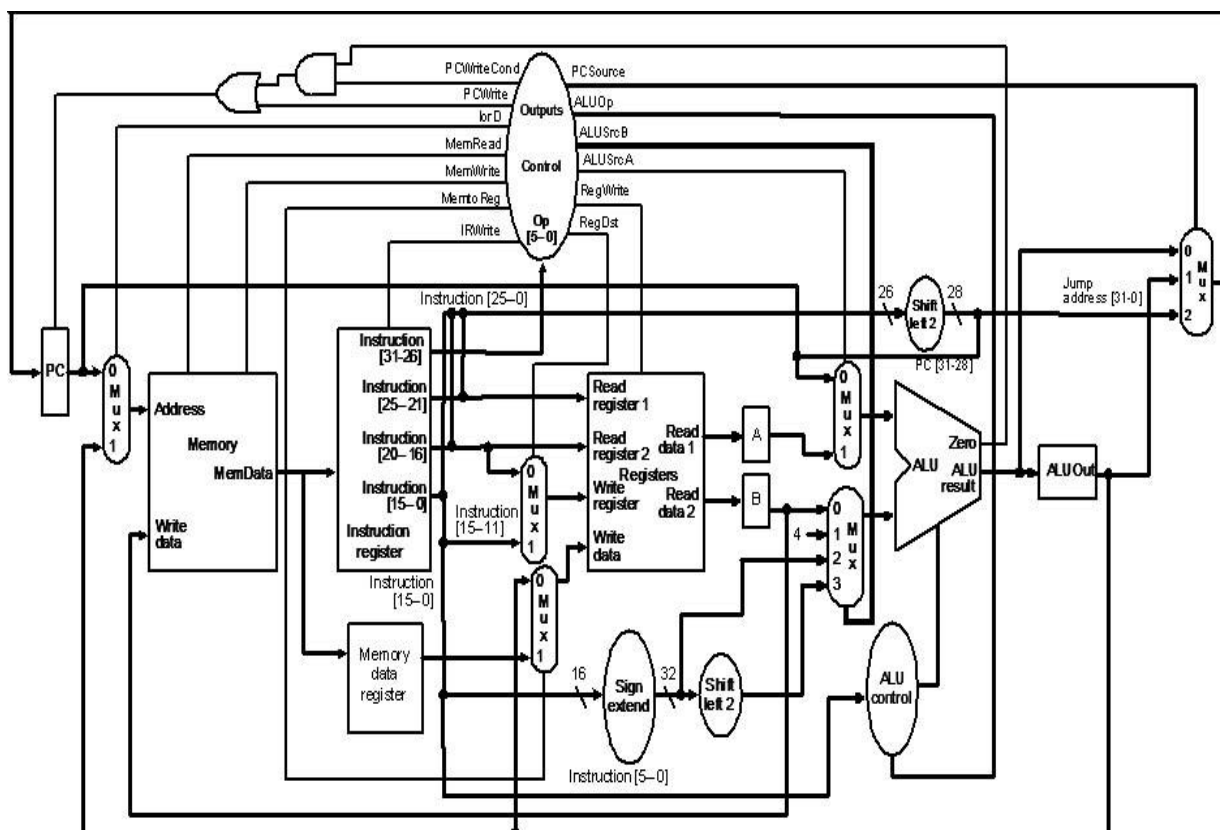
1) 请写出处理器执行以下指令时，控制器产生的控制信号（10 分）

sw \$s1, 8(\$s2)

RegDst									
ALUSrc									
MemtoRe									
RegWrit									
MemRead									
MemWrit									
Branch									
ALUOp1									
ALUOp0									
Jump									

2) 该数据通路仅能实现一些基本指令，若要使之能够执行 jal 指令，需要怎样修改数据通路？控制信号又该如何修改？（5 分）

2、下图是多周期处理器的数据通路（能够实现 lw、sw、R-type、beq 以及 j 指令）：



假设在以上多周期数据通路中执行指令 beq \$s0, \$s1, L1。

1) 用 RTL 描述该指令在各周期的执行过程。(5 分)

2) 假设该 beq 指令所在的地址是 0x00000600, beq 指令中低 16 位为 0x0002, 则分支目标 L1 所在的地址是多少? (用十六进制表示) (4 分)

3) 假设该 beq 指令所在的地址是 0x00000600, 而某目标 L2 所在的地址是 0x00200600, 请问能够使用单独的指令 beq \$s0, \$s1, L2 跳转到目标 L2 吗? 若不能, 提出解决办法。 (6 分)