

# 四川大学期末考试试题（闭卷）

## (2018—2019 学年第 1 学期) A 卷

课程号: 304036030 课序号: 课程名称: 计算机组装原理 任课教师: 成绩:  
适用专业年级: 学生人数: 印题份数: 学号: 姓名:

### 考生承诺

我已认真阅读并知晓《四川大学考场规则》和《四川大学本科学生考试违纪作弊处分规定（修订）》，郑重承诺：

- 1、已按要求将考试禁止携带的文具用品或与考试有关的物品放置在指定地点；
- 2、不带手机进入考场；
- 3、考试期间遵守以上两项规定，若有违规行为，同意按照有关条款接受处理。

考生签名:

### 一、选择题（本大题共 15 空，每空 2 分，共 30 分）

1. 下列哪一项和 CPU 的运算速度关系不大 ( )  
A. CPU 主频      B. MIPS      C. CPI      D. 主存频率
2. 下列不属于组合逻辑部件的是 ( )  
A. 比较器      B. 寄存器      C. 多路选择器      D. 加法器
3. 在 MIPS 中进行静态数据访问时，需要使用到的寄存器是 ( )  
A. \$fp      B. \$gp      C. \$sp      D. \$at
4. 在 MIPS 中条件分支的地址范围 (K=1024) 是多大 ( )  
A. 地址在 0~64K-1 之间  
B. 地址在 0~256K-1 之间  
C. 分支前后地址范围各大约 32K  
D. 分支前后地址范围各大约 128K
5. 将硬盘上的一个 C 程序转换成一个在计算机上可执行的程序的 4 个步骤分别是 ( )  
A. 编译, 汇编, 链接, 加载  
B. 汇编, 编译, 链接, 加载  
C. 解析, 编译, 链接, 加载  
D. 编译, 汇编, 解析, 加载

6. 在过程调用中，寄存器换出最理想的方式是采用（ ）  
A. 寄存器      B. 存储器      C. 栈      D. 堆
7. MIPS 汇编指令中有一条伪指令 b1t，其功能是小于则分支。若要实现同样的功能，则其对应的 MIPS 汇编指令是（ ）  
A. s1t 和 beq      B. s1t 和 bne      C. bltz      D. bgtz
8. 32 位二进制补码 1111 1111 1111 1111 1111 1111 1111 0000<sub>(2)</sub> 对应的十进制真值是（ ）  
A. -1      B. -16      C. 0      D. 16
9. 浮点加减中的对阶的方法是（ ）  
A. 将加数的阶码调整到与被加数的阶码相同  
B. 将较大的一个阶码调整到与较小的一个阶码相同  
C. 将被加数的阶码调整到与加数的阶码相同  
D. 较小的一个阶码调整到与较大的一个阶码相同
10. 在数据校验中，既能检错，又能纠错，其码距至少为（ ）  
A. 1      B. 2      C. 3      D. 4
11. 1101 的汉明校验码（分组采用偶校验）为（ ）  
A. 1101100      B. 1001101      C. 1010101      D. 1110001
12. 以下用于构建 Cache 的器件是（ ）  
A. EEPROM      B. DRAM      C. 虚拟存储器      D. SRAM
13. 在 Cache 中，以下哪一种映射方式，无需采用替换算法（ ）  
A. 直接映射      B. 全相联映射      C. 组相联映射      D. 都需要
14. 以下描述不正确的是（ ）  
A. 存储器层次利用了时间局部性  
B. 存储器层次结构的大部分容量处于最低层  
C. 在 SRAM 中，数据是以电荷的形式保存在电容中  
D. 在 DRAM 中，需要定期进行刷新以保持数据
15. 常用的虚拟存储系统由哪两级存储器组成（ ）  
A. 主存—辅存      B. 高速缓存—主存  
C. 高速缓存—辅存      D. 通用寄存器—主存

## 二、分析计算题（本大题共 4 小题，每小题 5 分，共 20 分）

- 1、编译程序对一个应用在给定的处理器上的性能有极深的影响。假定一个程序，如果采用编译程序 A，则动态指令数为  $1.0 \times 10^9$ ，执行时间为 1.5s；如果采用编译程序 B，则动态指令数为  $1.5 \times 10^9$ ，执行时间为 2.1s。若该处理器的时钟周期为 1ns，请分别求出每种编译程序下的平均 CPI。（5 分）
- 2、请用 IEEE754 单精度浮点数表达  $-6.5_{(10)}$ 。（要求写出计算过程）。（5 分）
- 3、使用改进版的除法器硬件计算无符号除法  $9_{(10)} \div 3_{(10)}$ 。（要求写出计算过程及每一步中各个寄存器的值）。（5 分）
- 4、假设有一个 32 位的地址：(0010 0000 0000 0001 0100 1001 0010 0100)<sub>2</sub>，如果当前 PC 值是 0x00000000，请问使用单独的跳转指令 j 可以跳转到上面的 32 位地址吗？若能，请写出该汇编指令。若不能，请写出解决办法以及相应的汇编指令。（指令中若涉及到地址或常数要求用 16 进制表示）（5 分）

## 三、应用题（本大题共 2 小题，每小题 10 分，共 20 分）

- 1、请将下面的 C 语言程序翻译为 MIPS 汇编语言程序。（10 分）

```
clear(int array[], int size)
{
    int i;
    for(i=0; i<size; i++)
        array[i]=0;
}
```

（假设数组 array 的起始地址为：array[]，整数 i 保存在寄存器\$t0 中）

2、某 32 位 MIPS 系统中, 直接映射 Cache 最多可以装入 128B 的数据, 块大小定义为 4 个字, 内存地址为 32 位。

1) 请问索引 Index 位是多少位? 标记 Tag 位是多少位? (4 分)

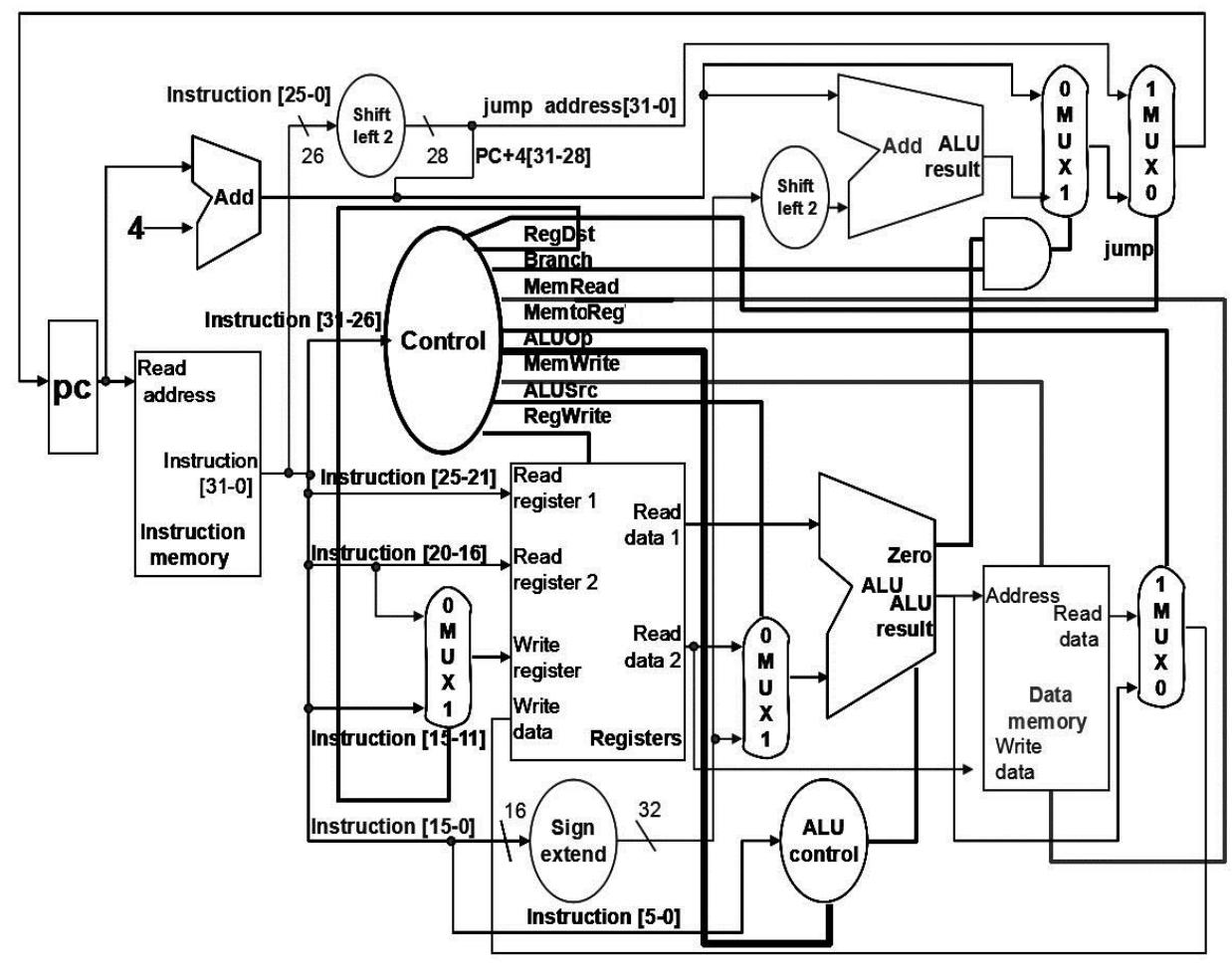
2) 假设开始时 Cache 为空, 按下列块地址进行访问:

(块地址访问顺序: 22, 26, 22, 7, 17, 16, 18)

请列出最后一次访问后 Cache 的状态, 要求每个有效项以记录的形式<索引, 标记, Mem[块地址]>表示。(6 分)

#### 四、数据通路分析与设计 (本大题共 2 小题, 每小题 15 分, 共 30 分)

1、下图是单周期处理器的数据通路图:



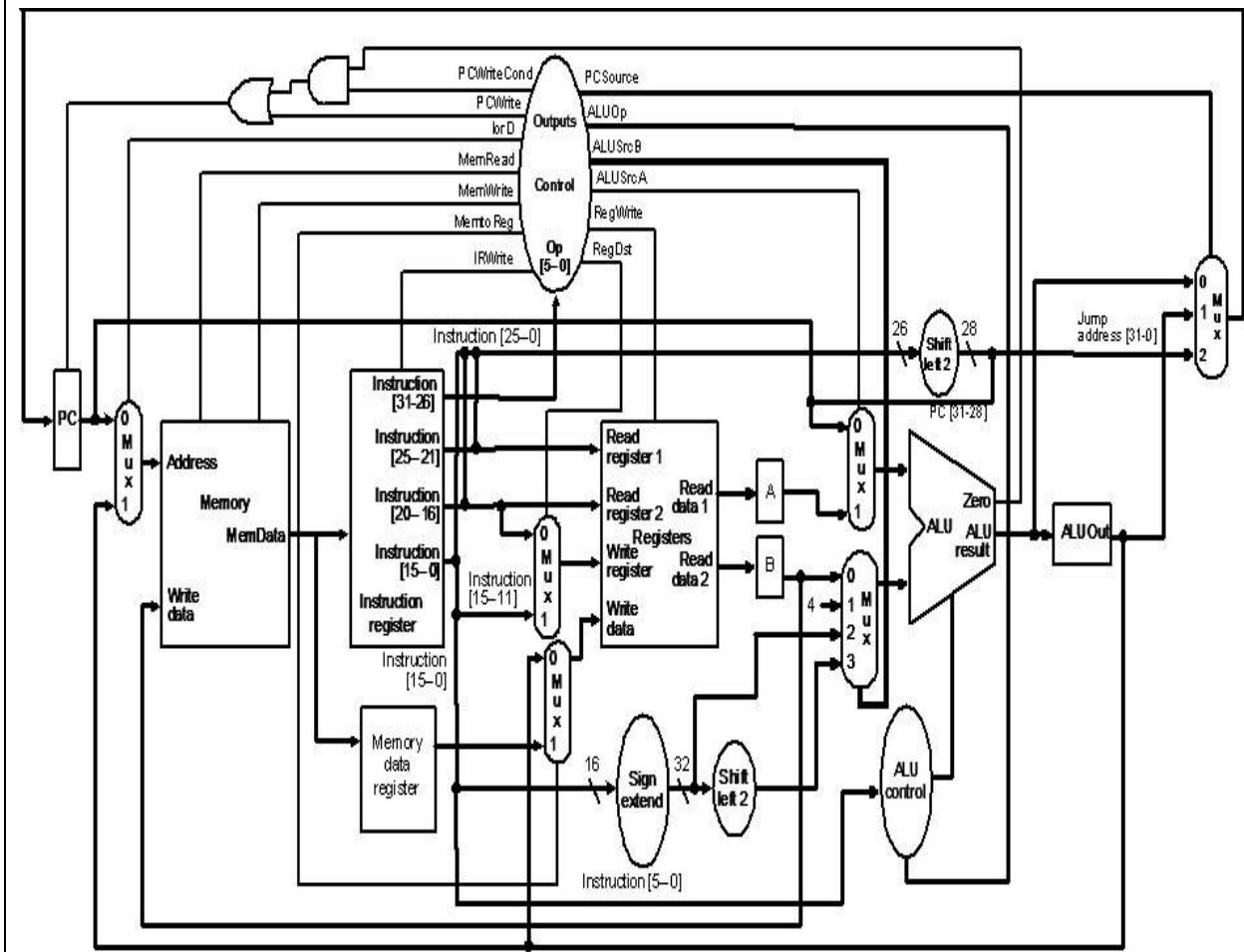
1) 与多周期数据通路中只有一个存储器相比，单周期数据通路中存储器分为了独立的指令存储器和数据存储器，请分析其原因。（5分）

2) 请写出处理器执行以下指令时，控制器产生的控制信号值（10分）

add \$s1, \$s2, \$s3

RegDst	ALUSrc	MemoRe	RegWrit	MemRead	MemWrit	Branch	ALUOp1	ALUOp0	Jump

2、下图是多周期处理器的数据通路（能够实现 lw、sw、R-type、beq 以及 j 指令）：



假设在以上多周期数据通路中执行某一指令，该机器指令的十六进制形式为：0x8D280004。（已知几类主要指令的 6 位操作码分别为：add: 0, lw: 0x23, sw: 0x2b, beq: 4。寄存器\$t0~\$t7 对应的编号为：8~15。）

- 1) 请写出该机器指令对应的汇编语言指令。(3 分)
- 2) 用 RTL 描述该指令在各周期的执行过程。(5 分)
- 3) 请写出该指令在第三个周期（执行周期）主控制单元所产生的所有控制信号值。(7 分)