

Міністерство освіти і науки України
Національний університет “Львівська політехніка”

Кафедра ЕОМ



Звіт

З лабораторної роботи №1

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант 1

Виконав: ст. гр. КІ-201

Бандрівський П.Р

Прийняв:

Козак Н.Б

Львів 2024

Мета роботи:

Інсталиувати та ознайомитися з середовищем розробки Xilinx ISE.
Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACKTM
2. Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

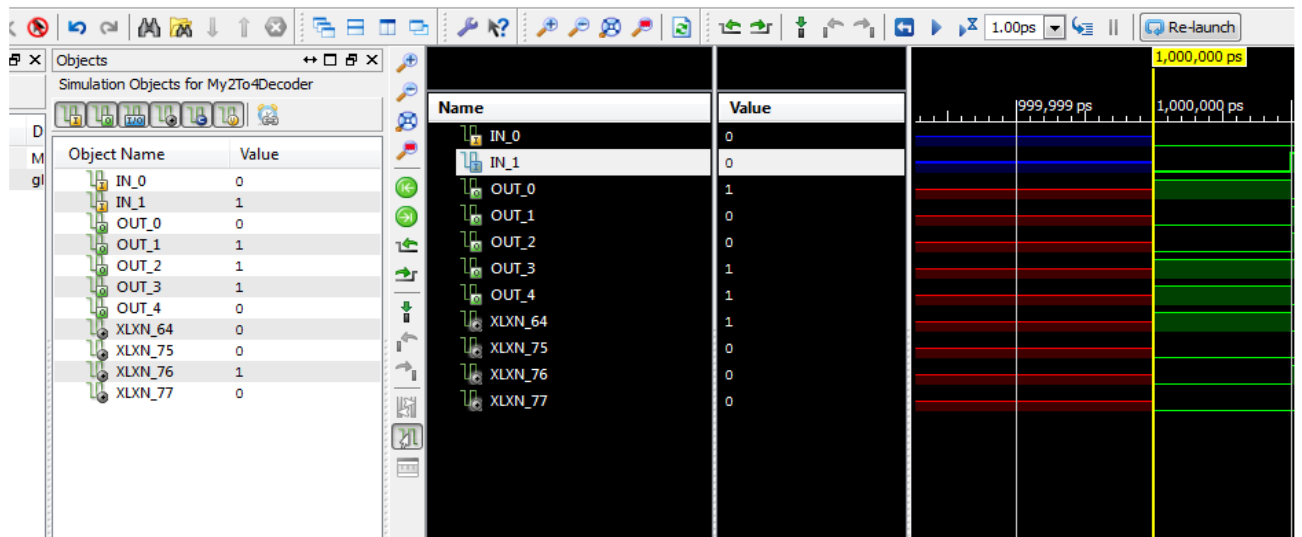
Варіант виконання роботи:

Мій номер в списку – 19. Нижче наведена таблиця вхідних та вихідних сигналів для мого варіанту.

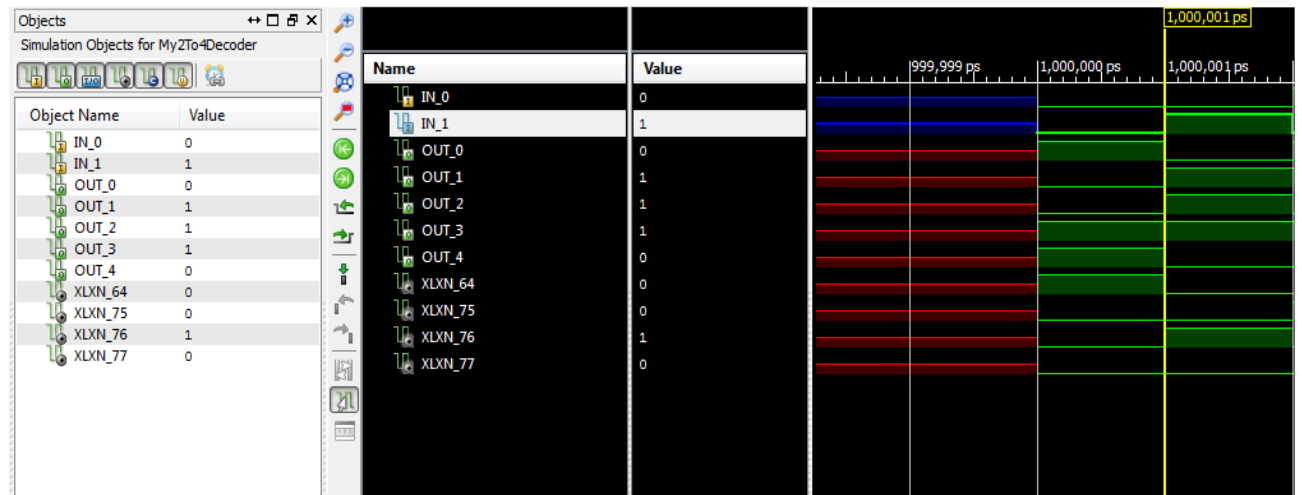
Табл.1.1. Вхідні та вихідні сигнали.

in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	0	1	0	0	1	1
0	1	1	1	0	1	0
1	0	0	1	1	1	0
1	1	0	0	0	0	1

Виконання роботи:



in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	1	1	1	0	1	0



in_1	in_0	out_0	out_1	out_2	out_3	out_4
1	0	0	1	1	1	0

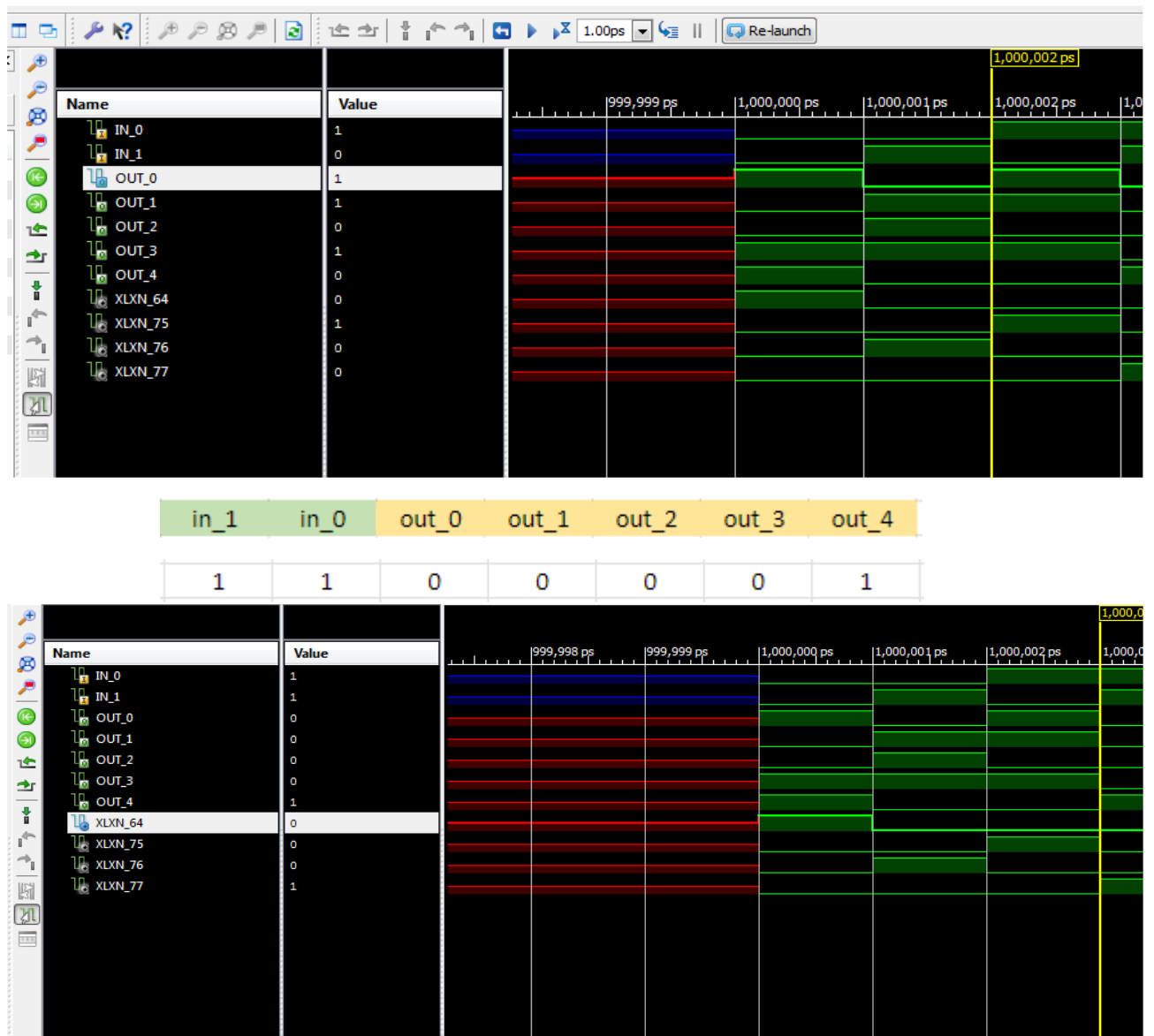


Рис 1.4.1 – 1.4.8. Порівняння сигналів з Табл.1.1 та симуляції ISim.

Пізніше, після всіх перевірок на правильність коду та схеми, згідно методичних вказівок, було створено конфігураційний файл, і запущено в послідовності процеси, які успішно виконались:

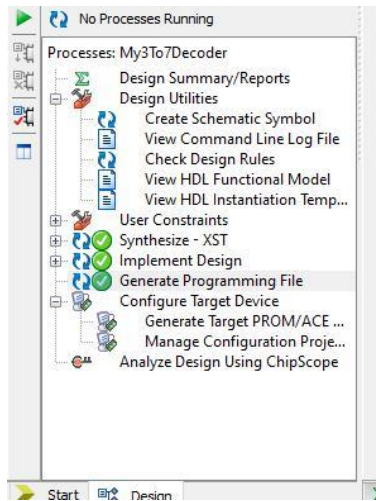
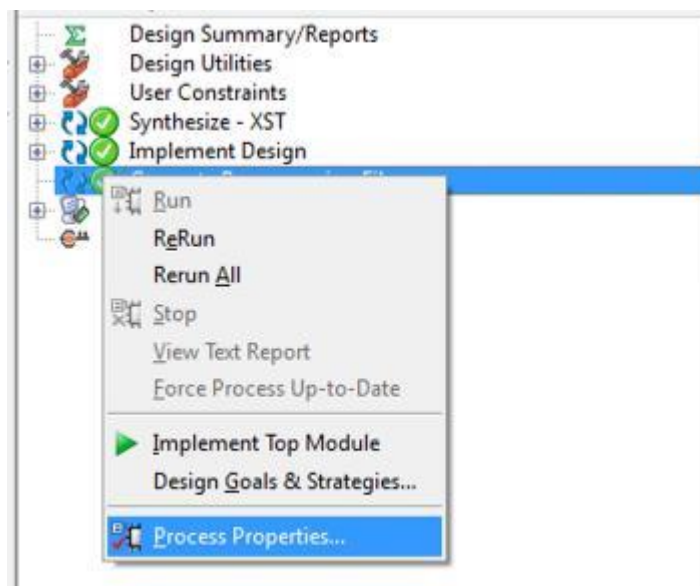


Рис. 7: Правильно виконані процеси

Після цього згенерував біт файл:



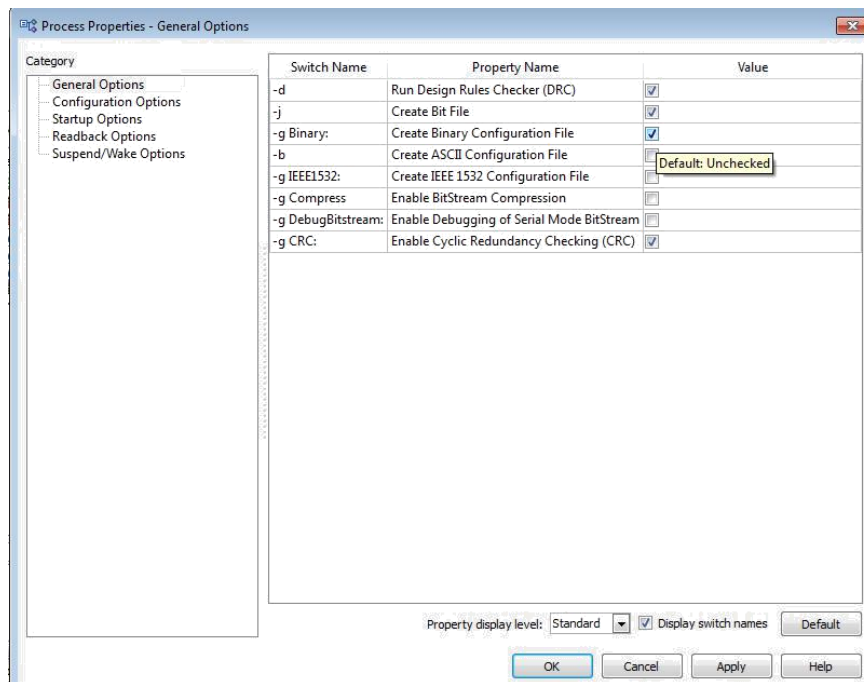


Рис. 8-9: Покрокове створення біт-файлу

Наступним кроком, з створеним біт-файлом та програмою для прошиття плати Elbert V2 FPGA Configuration tools запрограмовую плату, але спочатку потрібно зайти ком-порт через диспетчер пристроїв:

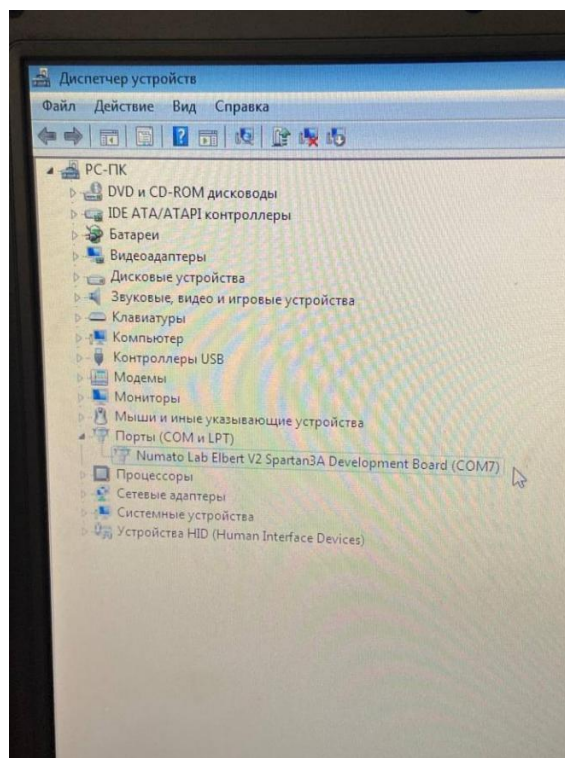


Рис. 10: Необхідний ком-порт, відображений у диспетчері пристроїв

Далі, вибираю у Elbert V2 FPGA Configuration tools вибираю необхідний ком-порт(COM7):

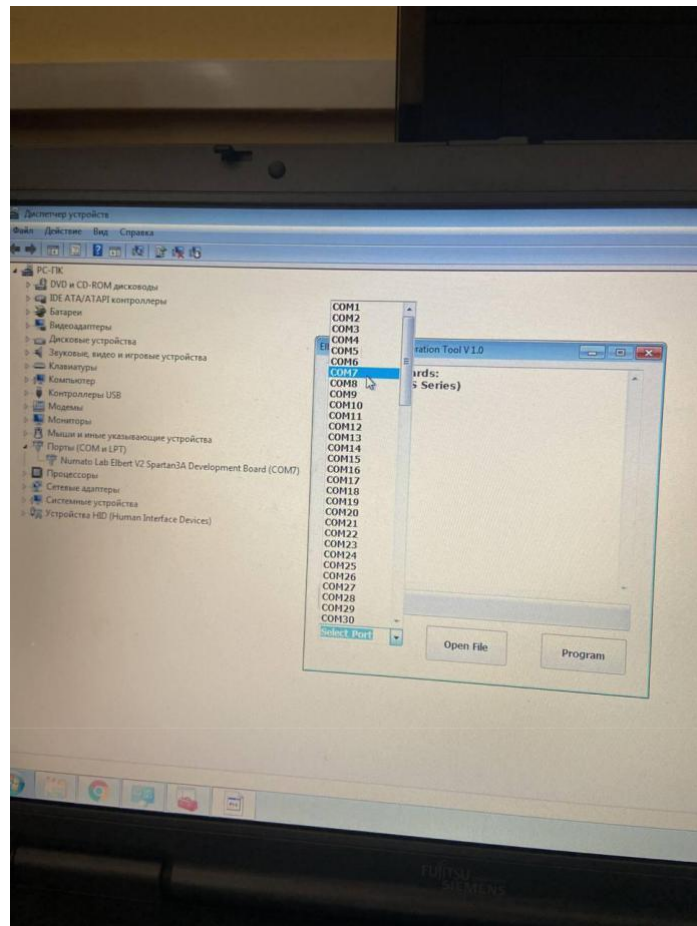


Рис. 11: Обраний ком-порт у програмі для прошивки плати (Elbert V2 FPGA Configuration tools)

Наступним і останнім кроком є завантаження у програму для прошивки плати Elbert V2 FPGA Configuration tools свого біт файлу та її програмування

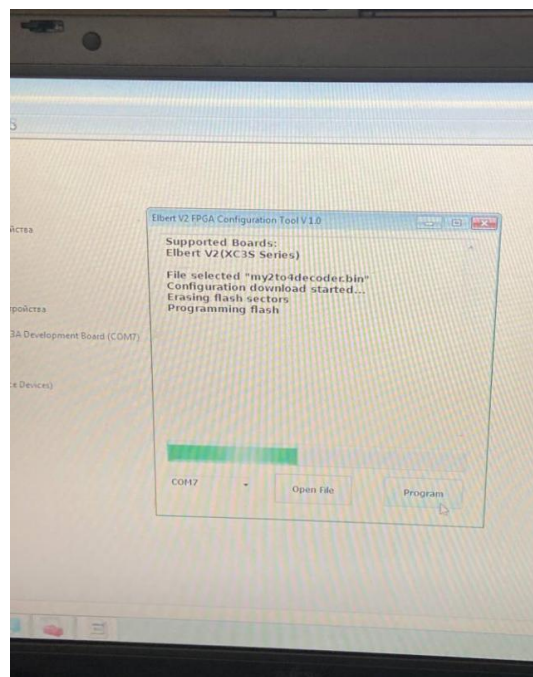


Рис. 12: Процес запрограмування плати своїм біт-файлу

Після завершення усіх процесів, плата буде мати наступний вигляд:

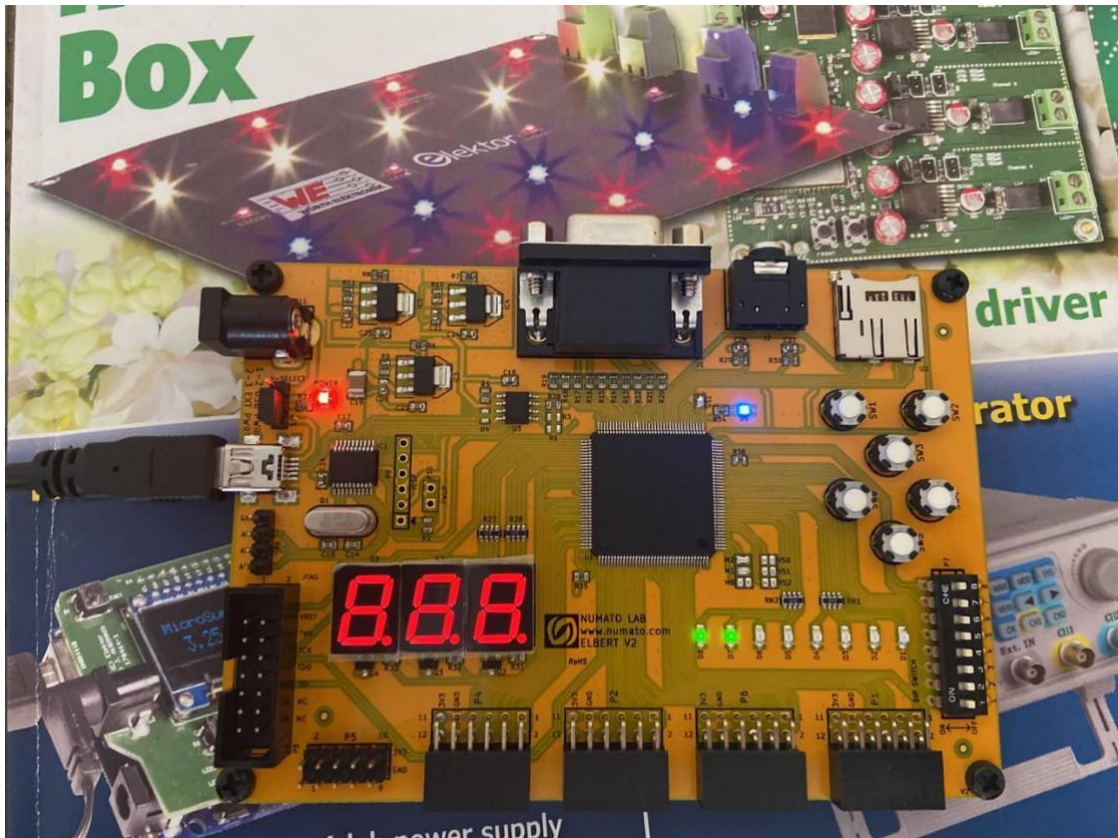


Рис. 13: Плата в робочому режимі

Висновок:

В ході виконання цієї лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE. В цьому середовищі я розробив схему, згідно з таблицею істинності для мого варіанту. Я протестував усі можливі комбінації вхідних сигналів в ISim та порівняв вихідні сигнали з таблицею істинності. Також я ознайомився зі стендом Elbert V2 – Spartan 3A FPGA.