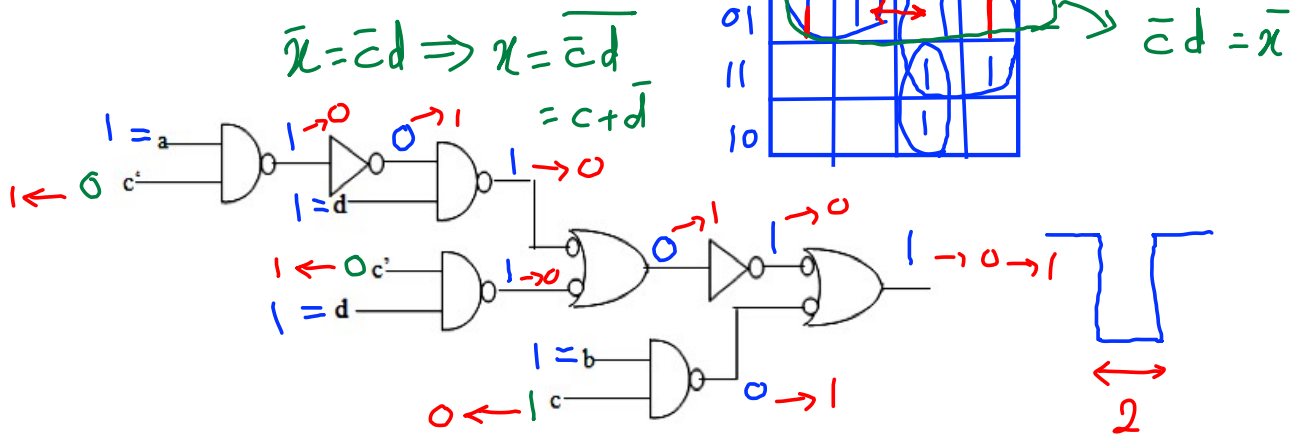
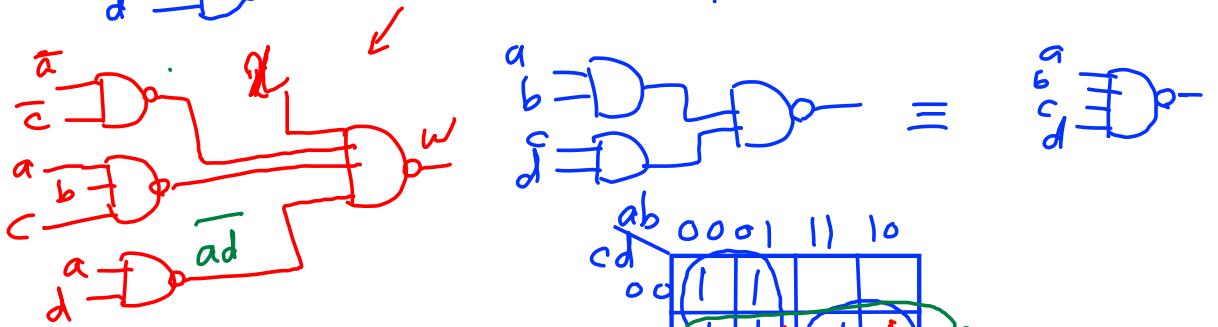
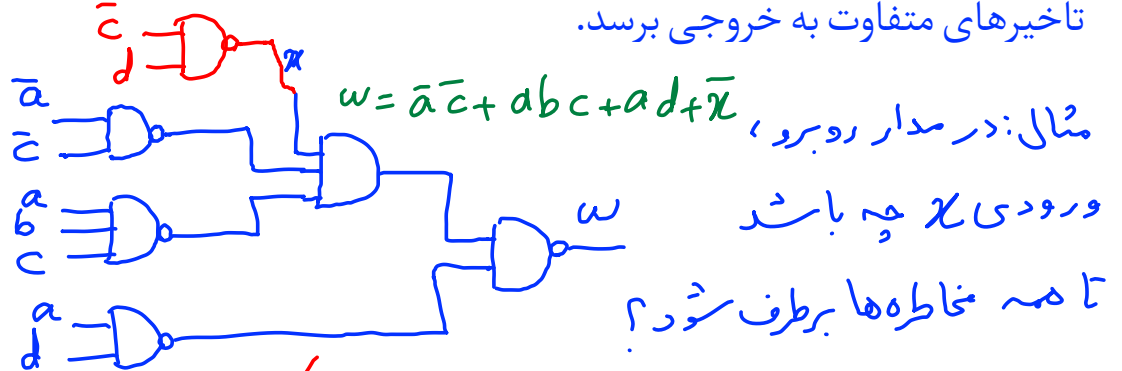


تشخیص مخاطره

جدول کارنو: اگر دو مینترم (ماکسترم) همسایه با هم تشکیل گروه ندهند.
 (فقط برای مدار دو طبقه SOP یا POS) \leftarrow $NOR-NOR$ یا $OR-AND$
 $AND-OR$ یا $NAND-NAND$

مدار: اگر اثر تغییر یک ورودی با قطبیت (inversion) متفاوت از دو مسیر با تاخیرهای متفاوت به خروجی برسد.



$abcd = 11c1$: $\begin{cases} 1101 \rightarrow 1111 \Rightarrow \text{glitch ندارد} \\ 1111 \rightarrow 1101 \Rightarrow \text{glitch با عرض 2} \end{cases}$

(با فرض یکسان بودن تأخیرهای 1 = 1)
 اگر تأخیرها مشخص نباشد، هر دو گذر (transition) یکی است
 glitch ایجاد کند. به یک $\bar{a}b$

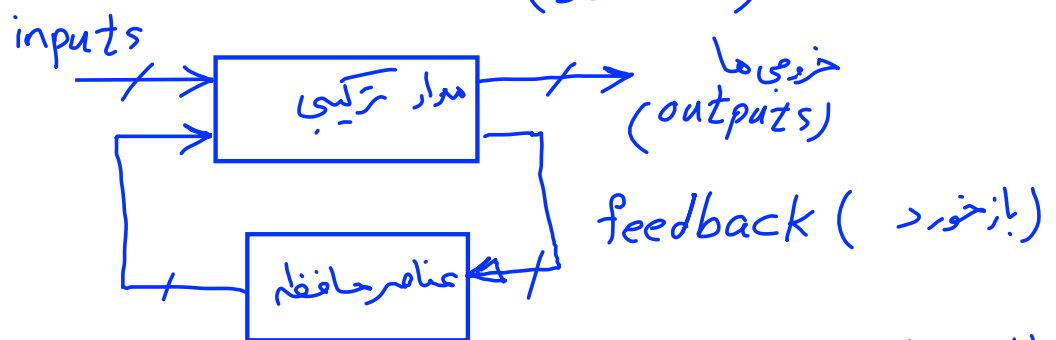
فصل ۵: مدارهای ترتیبی (Sequential Circuits)

مدارهای ترکیبی (combinational circuits)

خروجی در هر لحظه، تابعی از ورودی‌های آن لحظه است.

مدارهای ترتیبی: خروجی در هر لحظه، تابعی است از ورودی‌های آن لحظه و

حالت مدار (state)



حالت مدار: خروجی‌های عناصر حافظه (تابع ورودی‌های لحظه قبل)

مدار ترتیبی: $(\text{حالت مدار}, \text{ورودی‌های فعلی}) \rightarrow f = \text{خروجی}$

$(\text{ورودی قبلی}, \text{ورودی‌های فعلی}) \rightarrow f$

همگام (سنگردی = synchronous)

نامهمگام (آسنگردی = Asynchronous)

مدارهای ترتیبی

سیگنال همگام‌سازی: پالس ساعت (clock pulse)

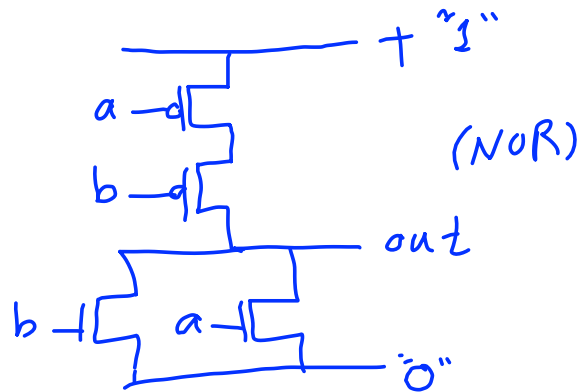
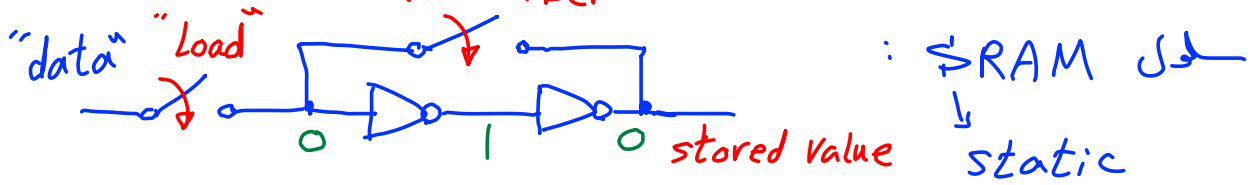
CLK, CK, C



$T = \text{period}$

$\frac{t_1}{T} = \text{duty cycle}$

Latch : CLK سیکل کی سطح پر حساس (Level sensitive)
 Flip-Flop : CLK (ب) سیکل کی edge (transition) پر حساس (edge (transition) sensitive)
 "remember"



NOR

