

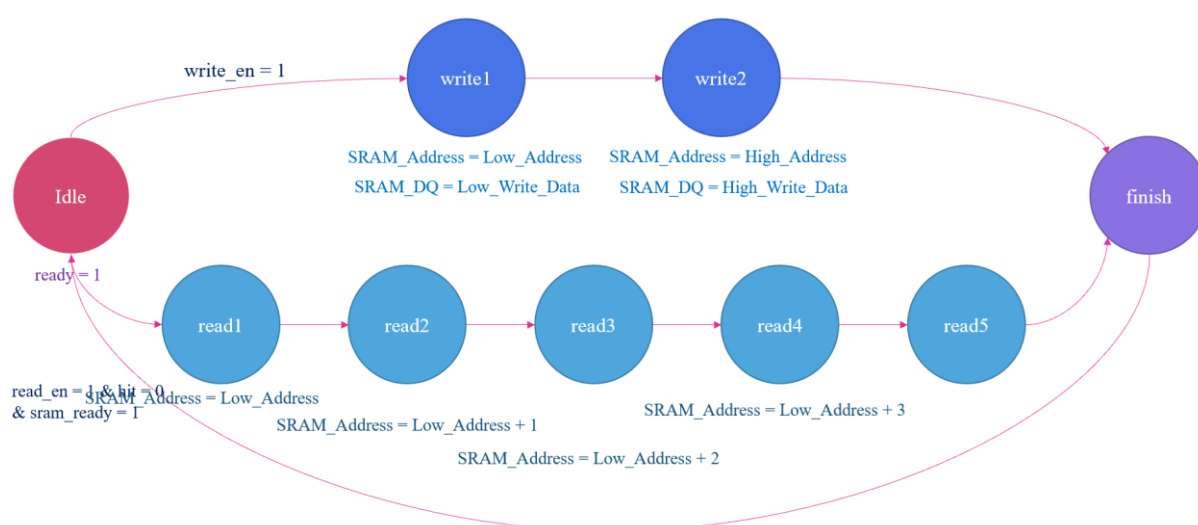
آزمایشگاه معماری کامپیوتر

آزمایش پنجم: افزودن بخش حافظه نهان (cache) به پردازنده

پارسا حداد منفرد : 810198380

ایمان رسولی پرتو : 810199425

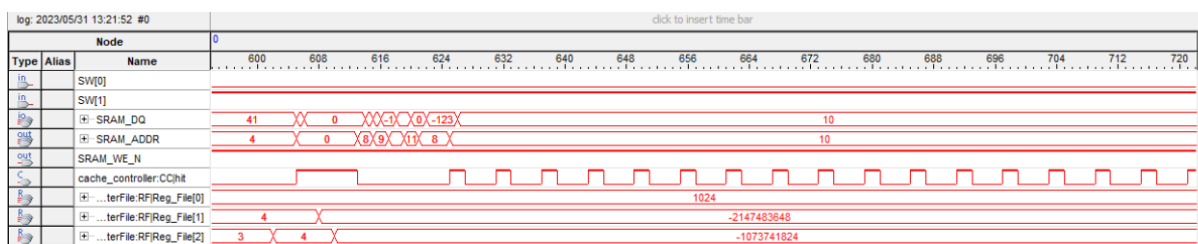
کنترلر cache رو به شکل زیر خواهیم داشت:



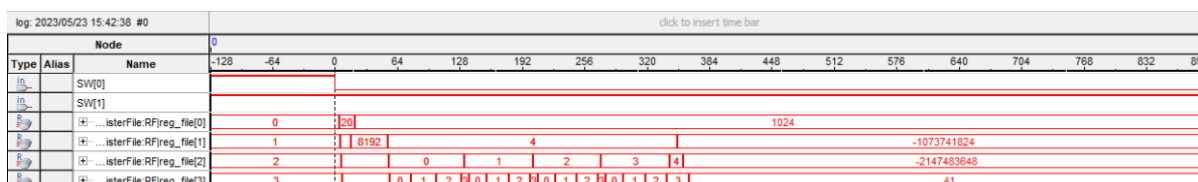
شکل 1: Cache controller state diagram

نتایج برنامه داده شده روی برد :

در این بخش ابتدا برنامه تست را روی برد با افزودن حافظه نهان (cache) نتایج را روی signal tab مشاهده می کنیم سپس به مقایسه این نتیجه با نتایج قسمت های قبل می پردازیم



شکل 2: نمودار signal tab در حالت استفاده از حافظه نهان



شکل 3: نمودار signal tab در حالت استفاده از SRAM



شکل 4 : نمودار signal tab در حالت استفاده از حافظه داخلی

همانطور که در خروجی مشخص است بهترین زمان اجرای برنامه مربوط به حالتی است که از حافظه داخلی استفاده شود اما می دانیم استفاده از حافظه داخلی برای مقادیر بزرگ حافظه مقدور نیست به همین جهت از SRAM استفاده می کنیم که عملکرد به مراتب ضعیف تری از لحاظ زمانی دارد برای جبران این عملکرد ضعیف از حافظه نهان یا cache استفاده می کنیم. گرچه همچنان از حالت اولیه کند تر است اما باعث بهبود چشمگیری در سرعت استفاده از SRAM می شود.

نتایج سنتز:

در این بخش نتایج سنتز در سه حالت مرود بررسی در بالا را با یکدیگر مقایسه می کنیم

Flow Summary	
Flow Status	Successful - Fri Jun 02 13:25:22 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	arm
Top-level Entity Name	arm
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	16,807 / 33,216 (51 %)
Total combinational functions	10,344 / 33,216 (31 %)
Dedicated logic registers	13,216 / 33,216 (40 %)
Total registers	13216
Total pins	418 / 475 (88 %)
Total virtual pins	0
Total memory bits	138,240 / 483,840 (29 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

شکل 5 : نتایج سنتز با استفاده از cache

Flow Summary	
Flow Status	Successful - Tue May 23 15:42:28 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	arm
Top-level Entity Name	arm
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	5,193 / 33,216 (16 %)
Total combinational functions	3,441 / 33,216 (10 %)
Dedicated logic registers	3,429 / 33,216 (10 %)
Total registers	3429
Total pins	418 / 475 (88 %)
Total virtual pins	0
Total memory bits	134,144 / 483,840 (28 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

شکل 6 : نتایج سنتز در حضور SRAM

Flow Status	Successful - Fri May 05 17:53:52 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	ARM_Processor
Top-level Entity Name	ARM_Processor
Family	Cyclone II
Device	EP2C35F484C8
Timing Models	Final
Total logic elements	2,350 / 33,216 (7 %)
Total combinational functions	2,226 / 33,216 (7 %)
Dedicated logic registers	815 / 33,216 (2 %)
Total registers	815
Total pins	4 / 322 (1 %)
Total virtual pins	0
Total memory bits	2,048 / 483,840 (< 1 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

شکل 7 : نتایج سنتز با استفاده از حافظه داخلی

با توجه به نتایج می توان مشاهده کرد که همچنان استفاده از حافظه داخلی مانند قسمت قبل بهینه ترین حالت است و هزینه سخت افزاری کمتری به همراه دارد اما همانطور که در بالا نیز توضیح داده شد به علت فضای کم استفاده از این نوع حافظه عملی نیست به همین جهت به سراغ بررسی نتایج سنتز cache و SRAM می رویم، در اینجا همانطور که انتظار می رفت میزان هزینه سخت افزاری با افزودن cache به پردازنده افزایش می باید زیرا هم مقداری حافظه برای cache و هم یک کنترلر برای آن به پردازنده اضافه می گردد از رو با افزایش هزینه سخت افزاری رو به رو هستیم اما این هزینه سخت افزاری در مقابل افزایش بازدهی که از افزودن cache حاصل می شود قابل صرف نظر است و همانطور که در صنعت نیز مشهود است استفاده از حافظه های نهان برای بهبود عملکرد پردازنده ها رایج است.