

Format I		
	<div>opcode</div> <div>4 bits</div>	<div>r1</div> <div>4 bits</div>
		<div>r2/Qdata</div> <div>4 bits</div>
Mnemonic	Opcode	Operation
mov r1,r2	0000	$r1 \leftarrow (r2);$
mov r1,(r2)	0001	$r1 \leftarrow (M_{(r2)});$
mov (r1),r2	0010	$M_{(r1)} \leftarrow (r2);$
mov (r1),(r2)	0011	$M_{(r1)} \leftarrow (M_{(r2)});$
add r1,r2	0100	$r1 \leftarrow (r1) + (r2);$
add r1,(r2)	0101	$r1 \leftarrow (r1) + (M_{(r2)});$
add (r1),r2	0110	$M_{(r1)} \leftarrow (M_{(r1)}) + (r2);$
sub r1,r2	0111	$r1 \leftarrow (r1) - (r2);$
sub r1,(r2)	1000	$r1 \leftarrow (r1) - (M_{(r2)});$
sub (r1),r2	1001	$M_{(r1)} \leftarrow (M_{(r1)}) - (r2);$
movq r1,qdata2	1010	$r1 \leftarrow qdata2;$
addq r1,qdata2	1011	$r1 \leftarrow (r1) + qdata2;$
subq r1,qdata2	1100	$r1 \leftarrow (r1) - qdata2;$
swap r1,r2	1101	$(r1) \Leftrightarrow (r2);$
swap (r1),(r2)	1110	$(M_{(r1)}) \Leftrightarrow (M_{(r2)});$

Format II		
	<div>1111 opcode</div> <div>8 bits</div>	<div>r</div> <div>4 bits</div>
		<div>address</div> <div>24 bits</div>
Mnemonic	Opcode	Operation
mov r, address	0000	$r \leftarrow (M_{address});$
mov address,r	0001	$M_{address} \leftarrow (r);$
jnz r, address	0010	if $(r) \neq 0$ then $PC \leftarrow address;$
jz r, address	0011	if $(r) = 0$ then $PC \leftarrow address;$
jneg r, address	0100	if $(r) < 0$ then $PC \leftarrow address;$
jpos r, address	0101	if $(r) \geq 0$ then $PC \leftarrow address;$
loop r, address	0110	$r \leftarrow (r) - 1;$ if $(r) \neq 0$ then $PC \leftarrow address;$
mova r, address	0111	$r \leftarrow address;$

Format III		
	<div>1111 opcode</div> <div>8 bits</div>	<div>r</div> <div>4 bits</div>
		<div>data</div> <div>32 bits</div>
Mnemonic	Opcode	Operation
mov r, #data	1000	$r \leftarrow data;$
add r, #data	1001	$r \leftarrow (r) + data;$
sub r, #data	1010	$r \leftarrow (r) - data;$
and r, #data	1011	$r \leftarrow (r) \wedge data;$
or r, #data	1100	$r \leftarrow (r) \vee data;$

Format IV		
	<div>1111 opcode</div> <div>8 bits</div>	<div>address</div> <div>24 bits</div>
Mnemonic	Opcode	Operation
call address	1101	$R15 \leftarrow (PC); PC \leftarrow address;$
jmp address	1110	$PC \leftarrow address;$

Format V		
	<div>1111 opcode</div> <div>8 bits</div>	
Mnemonic	Opcode	Operation
ret	1111	$PC \leftarrow (R15);$

یک کامپیوتر دارای حافظه اصلی به گنجایش  $2^{24}$  واحد آدرس پذیر ۴ بیتی، طول کلمه ۳۲ بیتی و ۱۶ ثبات همه منظوره R0 تا R15 می باشد. شیوه های نشاندهی ماشین شامل ثباتی (مستقیم و غیر مستقیم)، بلافاصله و مستقیم حافظه ای، و شیوه نمایش اعداد مکمل ۲ است. دستورات در پنج قالب و طبق جداول زیر کد میشوند.

۱- طول تمامی ثباتهای این کامپیوتر را تعیین کنید. (۱ نمره)

۲- آرایه ۲۰۰ عنصری A (هر عنصر یک عدد ۸ بیتی مکمل ۲) در حافظه با آدرس شروع 1000h ذخیره شده است. برنامه ای به زبان اسمبلی بنویسید که مجموع عناصر این آرایه را محاسبه و حاصل جمع ۱۶ بیتی را در آدرس sum ذخیره کند. (۴ نمره)

۳- برنامه زیر چه می کند؟ (۳ نمره)

```

org 0
L1: mov R0,L1+1
    mov R3,#800
L2:  dw 40040040h
    dw 4004004h
    dw 400711h
L3:  mov R2,L4
    add R1,R2
    mov R2,L3+2
    add R2,R0
    or  R2,#3
    mov L3+2,R2
    addq R3,8h
    jnz R3,L3
    ret
L4:  org 1000h
    end

```

۴- برنامه سوال ۳ را به کد ماشین ترجمه کنید. (۲ نمره)