

توضیحات مهم

- برای سوالات تشریحی یک فایل pdf بارگذاری نمایید.
- فایل‌های مربوط به هر سوال برنامه‌نویسی را بدون قرار دادن در پوشه zip کرده و در [کوئرا](#) بارگذاری کنید.
- فرمت‌های فشرده دیگر مانند rar و gzip قابل داوری نیست.
- در فایل‌های مربوط به یک سوال، دو ماژول با نام یکسان تعریف نکنید.
- نام ماژول‌ها و پورت‌ها را دقیقاً مانند صورت سوال تعریف کنید.
- در تعریف ماژول‌ها غیر از مواردی که صراحتاً ذکر شده است از تاخیر استفاده نکنید.
- ابهامات را در کوئرا مطرح نمایید.

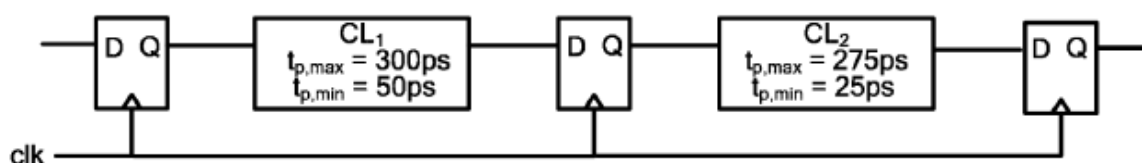
۱- می‌دانیم که مدارات علاوه بر مشخصات کارکردی (functional) دارای مشخصات زمانی (timing) نیز می‌باشند.

الف) چه قیودی این مشخصات زمانی را محدود می‌کند؟ این قیود و محدودیت‌ها چه روابطی را برای Setup time و hold و time نتیجه می‌دهند؟

ب) در صورت نقض هر یک از hold time یا Setup time طراح چه گزینه‌هایی برای رفع مشکل دارد؟

ج) تفاوت بین تحلیل ایستا (static) و پویا (dynamic) زمانی مدارها در چیست؟ بررسی کنید.

۲- با توجه به شکل روبرو که در آن حداقل و حداکثر تاخیر انتشار منطق‌های ترکیبی در آن نشان داده شده است و همچنین ویژگی‌های گفته‌شده‌ی flip-flop ها به سوالات پاسخ دهید.



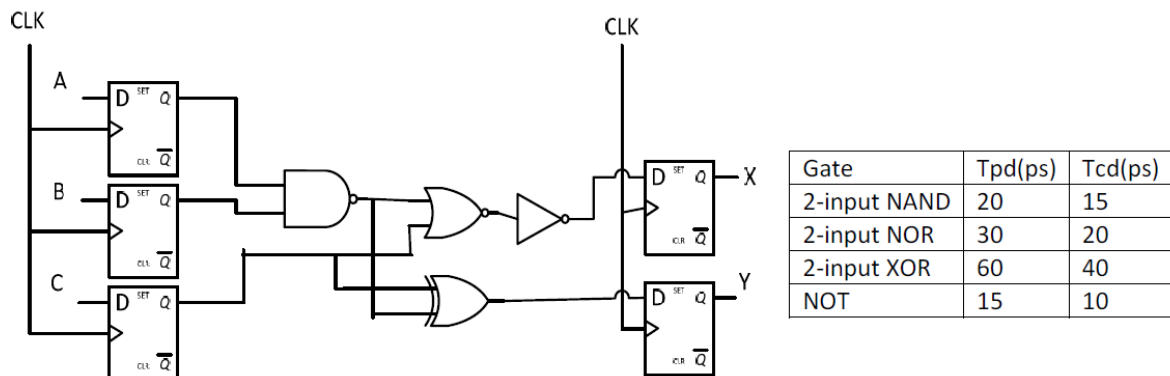
مشخصات فلیپ‌فلاپ‌ها:

$$t_{clk-q} = 50ps, t_{setup} = 25ps, t_{hold} = 25ps$$

الف) بیشترین فرکانس کاری بدون ایجاد مشکل برای کلاک این مدار چه مقدار است؟

ب) تعیین کنید آیا در این مدار مشکلی از جنس hold time violation رخ می‌دهد؟ نشان دهید.

۳- مدار زیر را در نظر بگیرید و به سوالات پاسخ دهید.



Flip-Flop (clock-to-q) propagation delay (tpcq) = 35 ps
 Flip-Flop (clock-to-q) contamination delay (tccq) = 20 ps
 Flip-Flop data setup time (ts) = 30 ps
 Flip-Flop data hold time (th) = 10 ps

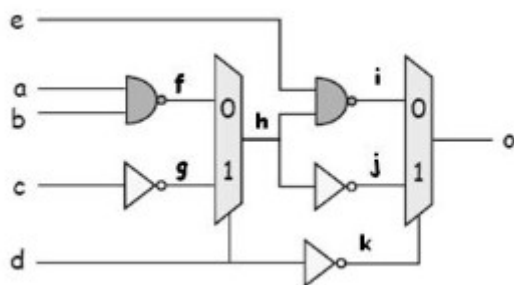
الف) حداکثر فرکانس کاری بدون مشکل مدار را به دست آورید.

ب) در صورتی که بخواهیم مدار با فرکانس کلاک ۵ گیگاهرتز کار کند، حداکثر مقدار انحراف کلاک (Clock skew) قابل تحمل برای مدار چقدر است؟

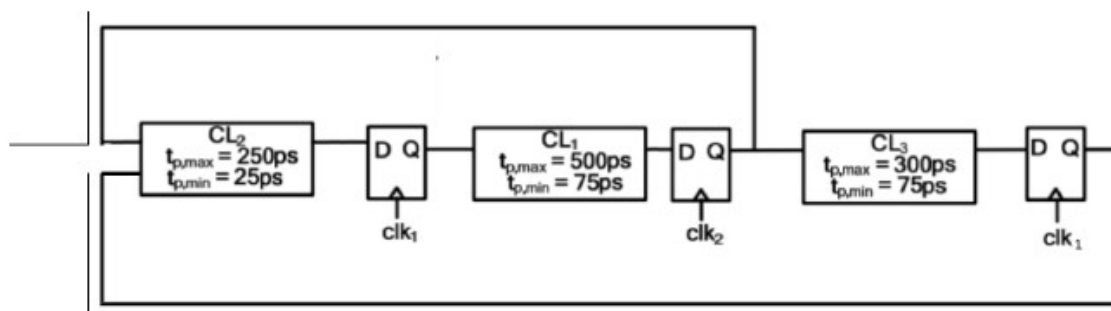
۴- به سوالات زیر پاسخ دهید.

الف) false path در یک مدار به چه چیزی گفته می‌شود؟ وجود آن چرا برای تحلیل زمانی نامطلوب است؟

ب) آیا در مدار روبرو false path وجود دارد؟ در صورت وجود آن را نشان دهید.



۵- با توجه به شکل روبرو که در آن حداقل و حداکثر تاخیر انتشار منطق‌های ترکیبی در آن نشان داده شده است و همچنین ویژگی‌های گفته‌شده‌ی flip-flop ها به سوالات پاسخ دهید.



مشخصات فلیپ‌فلاپ‌ها:

$$t_{clk-q} = 50ps, t_{setup} = 25ps, t_{hold} = 25ps$$

الف) اگر فرض کنیم هیچ انحراف کلاکی (clock skew) نداریم در این صورت کمترین دوره تناوب ممکن برای کلاک مدار چیست؟

ب) آیا در صورتی که دوره کلاک برابر با حداقل به‌دست‌آمده در قسمت الف باشد آیا با hold time violation روبرو می‌شویم؟

پ) حال فرض کنید clk_1 و clk_2 می‌توانند نسبت به هم به مقدار حداکثر ۶۰ پیکوثانیه انحراف داشته باشند. در این صورت حداکثر فرکانس کاری مدار چقدر است؟ در صورتی که فرکانس کلاک برابر مقدار بیشینه به‌دست‌آمده باشد آیا مدار دچار hold time violations هستیم؟