

سوال ۱)

مدارات علاوه بر مشخصات کارکردی، دارای مشخصات زمانی هم می‌باشند.

الف- در شرایطی که timing درست و صحیح نباشد، ممکن است مدار درست کار نکند و به مشکل بخوریم.

روابط را می‌نویسیم:

$$\text{setup time} \rightarrow T_{su} (DIN) = \text{Max } T_{pd} (DIN) + T_{su} (D) - \text{Min } T_{pd} (clk)$$

$$\text{hold time} \rightarrow T_{nd} (DIN) = - \text{Min } T_{pd} (DIN) + \text{Max } T_{pd} (clk) + T_{nd} (O)$$

maximum clock freq \rightarrow find critical path

ب-

در صورت نقض hold time یا همون hold violation این گزینه‌ها رو برای رفع مشکل داریم:

افزایش تاخیر Data path

استفاده از flip flop با hold time کمتر

افزایش تاخیر launch path

در صورت نقض setup time یا همون setup violation این گزینه‌ها رو برای رفع مشکل داریم:

کاهش تاخیر Data path

افزایش clock period

افزایش تاخیر capture path

استفاده از flip flop با setup time کمتر

ج- تفاوت بین تحلیل ایستا و پویا زمانی مدارها:

تحلیل ایستا تمام مسیرها رو ممکن و ترحیح است چک کند ولی در تحلیل پویا خیلی سخت است چک کردن تمام مسیرها

تحلیل ایستا خیلی سریع تر از تحلیل پویا هستش و نیاز به محاسبه‌ی فراوانی ندارد و زمان بر نیست

در تحلیل ایستا و پویا، timing چک می‌شود ولی در تحلیل ایستا functionality چک نمی‌شود؛ در تحلیل پویا functionality نیز چک می‌شود

در تحلیل ایستا کاری به آسنکرون‌ها نداریم ولی در تحلیل پویا هم سنکرون‌ها رو بررسی می‌کنیم و هم آسنکرون‌ها رو

در تحلیل پویا ورودی می‌دهیم و خروجی می‌گیریم ولی در تحلیل ایستا ورودی نمی‌دهیم و خروجی نمی‌گیریم

سوال ۲)

حداقل و حداکثر تاخیر انتشار منطق های ترکیبی در آن نشان داده شده است و ویژگی flip-flop ها نیز مشخص است.

$$t_{\text{clk-q}} = 50\text{ps}$$

$$t_{\text{setup}} = 25\text{ps}$$

$$t_{\text{hold}} = 25\text{ps}$$

الف- بیشترین فرکانس کاری بدون ایجاد مشکل برای این کلاک مدار را می خواهیم بدست آوریم.

روابط را می نویسیم:

FF to FF:

$$\text{FF1} \rightarrow \text{CL1} \rightarrow \text{FF2} \quad 50 + 300 + 25 = 375$$

$$\text{FF2} \rightarrow \text{CL2} \rightarrow \text{FF3} \quad 50 + 275 + 25 = 350$$

FF to output:

$$\text{FF3: } 50$$

Input to Flop:

$$\text{FF1: } 25$$

$$\Rightarrow \text{Max of } (375, 50, 25) = 375$$

$$\Rightarrow \text{Max Freq} = 1/375 = 2.67 \text{ GHz}$$

ب-

$$T_{\text{nd}} \leq T_{\text{clk-to-q}} + T_{\text{comp}}$$

$$\text{FF2} \Rightarrow 25 \leq 50 + 50$$

این بخش مشکلی ندارد.

$$\text{FF3} \Rightarrow 25 \leq 50 + 25$$

این بخش نیز مشکلی ندارد، پس hold violation نداریم اصلاً.

سوال ۳)

الف-

(FF propagation delay) + (max combination circuit delay) + (FF Setup time) + (max clock skew)

$$t_{clk} > 35 + (60+20) + 30 + 0 \text{ ps}$$

$$t_{clk} > 145 \text{ ps}$$

$$F < 1/(145 \text{ ps})$$

$$F < 6.8965 \text{ GHz}$$

پس حداکثر فرکانس کاری بدون مشکل مدار 6.8965 GHz می باشد.

ب-

$$\text{At } F = 5 \text{ GHz Period} = 1/(5 \text{ GHz}) = 200 \text{ ps}$$

$$\text{Max } T_{\text{clock-skew}} = \text{Clock period} - (\text{FF propagation delay} + \text{Max combination circuit delay} + \text{FF Setup time})$$

$$\text{Max } T_{\text{clock-skew}} = 200 - (35 + (60+20) + 30) = 200 - 145 = 55 \text{ ps}$$

پس حداکثر مقدار انحراف کلاک قابل تحمل برای مدار ۵۵ ps است.

سوال ۴)

الف- به **false path** در یک مدار، چه چیزی گفته می‌شود؟ وجود آن چرا برای تحلیل زمانی نامناسب است؟

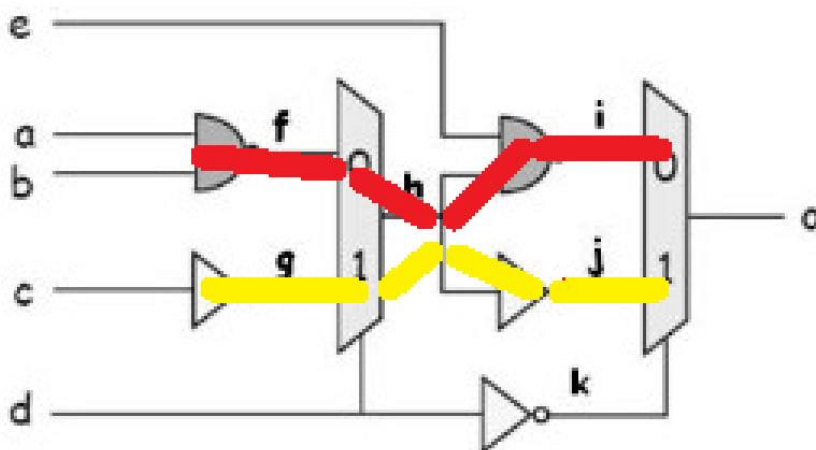
به مسیری گفته می‌شود که همیشه غیرفعال است و رخ نمی‌دهد؛ با هر ترکیبی از ورودی‌ها نیز هرگز فعال نمی‌شود. همچنین برای تحلیل زمانی نامناسب است و باید حذف شود زیرا ممکن است مثلاً در محاسبه‌ی **minimum clock period** ماکسیمم مسیر یک مسیری باشد که هرگز رخ نمی‌دهد و این باعث مشکل در محاسبات می‌شود. یا مثلاً ممکن است تشخیص دهیم که **hold violation** داریم در حالی که نداریم و با عدم حذف این مسیر، این مسیر را در محاسبه حساب کردیم و به مشکل خوردیم؛ پس باید برای تحلیل زمانی آن را حذف کنیم.

ب- بله در مدار روبرو نیز **false path** وجود دارد

دو مسیر زرد و قرمز مسیرهای **false path** هستند که باید از مدار حذف شوند برای تحلیل زمانی

چون اگر **d** فعال باشد، **h** برابر با **g** می‌شود و **o** نیز برابر با **i**؛ پس **h** را طی نمی‌کنیم در مسیر

اگر نیز **d** فعال نباشد، **h** برابر با **f** می‌شود و **o** نیز برابر با **j**



سوال ۵)

الف- مشخصات مدار بدین شکل است:

$$t_{\text{clk-q}} = 50\text{ps}, t_{\text{setup}} = 25\text{ps}, t_{\text{hold}} = 25\text{ps}$$

اگر فرض کنیم هیچ انحراف کلاکی (clock skew) نداریم، در این صورت کمترین دوره تناوب ممکن برای کلاک مدار چیست؟

مسیر با بیشترین تاخیر را محاسبه می‌کنیم:

FF to FF:

$$\text{FF1} \rightarrow \text{CL1} \rightarrow \text{FF2}: 50 + 500 + 25 = 575$$

$$\text{FF2} \rightarrow \text{CL2} \rightarrow \text{FF1}: 50 + 250 + 25 = 325$$

$$\text{FF2} \rightarrow \text{CL3} \rightarrow \text{FF3}: 50 + 300 + 25 = 375$$

$$\text{FF3} \rightarrow \text{CL2} \rightarrow \text{FF1}: 50 + 250 + 25 = 325$$

$$\Rightarrow \text{Minimum clock period} = 575 \text{ ps}$$

ب- در صورتی که دوره کلاک برابر با حداقل بدست آمده در قسمت الف باشد، آیا با hold time violation روبرو می‌شویم؟

اگر flip-flopها رو از راست به چپ، FF1 و FF2 و FF3 بنامیم، داریم:

$$\text{Min } t_{\text{pd}} + t_{\text{clk-to-q}} \geq t_{\text{nd}} + \text{Max } t_{\text{pd}}(\text{clk})$$

$$\text{FF1 to FF2}: 75 + 50 \geq 25 + 0$$

$$\text{FF2 to FF3}: 75 + 50 \geq 25 + 0$$

$$\text{FF3 to FF1}: 25 + 50 \geq 25 + 0$$

$$\text{FF2 to FF1}: 25 + 50 \geq 25 + 0$$

در نتیجه هیچ hold violation ای نداریم!

پ- حالا فرض می‌کنیم clk1 و clk2 نسبت به هم به مقدار ۶۰ پیکوثانیه انحراف دارند. حداکثر فرکانس کاری مدار رو در این صورت بدست می‌آوریم و در صورتی که فرکانس کلاک برابر مقدار بیشینه به دست آمده باشد، بدست می‌آوریم که آیا مدار دچار hold time violations می‌شود یا نه؟

$$t_{\text{nd}} + t_{\text{pd}}(\text{clk}) \leq t_{\text{clk-to-q}} + t_{\text{comp}}$$

$$25 + 60 \leq 50 + 25 \text{ نادرست!}$$

پس اگر FF1 -> CL2 -> FF2 را در نظر بگیریم، و کلاک ۱ و ۲ نسبت به هم به مقدار ۶۰ پیکوثانیه انحراف داشته باشند، (اولی منهای دومی برابر با ۶۰ پیکوثانیه)، hold time violations خواهیم داشت.

اما اگر دومی منهای اولی برابر با ۶۰ پیکوثانیه شود، داریم:

درست! FF2 -> CL2 -> FF1: $25 - 60 \leq 50 + 25$

درست! FF1 -> CL1 -> FF2: $25 + 60 \leq 50 + 75$

پس در این صورت hold time violations نخواهیم داشت.

حالا به بررسی max freq می‌پردازیم:

در حالت اول ($t_{clk1} - t_{clk2} = 60$)، مسیر اول ماکسیمم مقدار را داشت و ماکسیمم مقدار ممکن (۶۰) نیز به آن اضافه شده است پس همچنان ماکسیمم مقدار ممکن باقی می‌ماند:

$$50 + 500 + 25 + 60 \leq t_{clk}$$

$$50 + 250 + 25 + 60 \leq t_{clk}$$

Minimum clock period = 635

max freq = 1.57 GHz

در حالت اول ($t_{clk2} - t_{clk1} = 60$)، داریم:

$$50 + 500 + 25 - 60 \leq t_{clk}$$

$$50 + 250 + 25 + 60 \leq t_{clk}$$

$$50 + 250 + 25 - 0 \leq t_{clk}$$

$$50 + 300 + 25 + 60 \leq t_{clk}$$

Minimum clock period = 515

max freq = 1.94 GHz