

سوال ۵)

الف- مشخصات مدار بدین شکل است:

$$t_{\text{clk-q}} = 50\text{ps}, t_{\text{setup}} = 25\text{ps}, t_{\text{hold}} = 25\text{ps}$$

اگر فرض کنیم هیچ انحراف کلاکی (clock skew) نداریم، در این صورت کمترین دوره تناوب ممکن برای کلاک مدار چیست؟

مسیر با بیشترین تاخیر را محاسبه می‌کنیم:

FF to FF:

$$\text{FF1} \rightarrow \text{CL1} \rightarrow \text{FF2}: 50 + 500 + 25 = 575$$

$$\text{FF2} \rightarrow \text{CL2} \rightarrow \text{FF1}: 50 + 250 + 25 = 325$$

$$\text{FF2} \rightarrow \text{CL3} \rightarrow \text{FF3}: 50 + 300 + 25 = 375$$

$$\text{FF3} \rightarrow \text{CL2} \rightarrow \text{FF1}: 50 + 250 + 25 = 325$$

$$\Rightarrow \text{Minimum clock period} = 575 \text{ ps}$$

ب- در صورتی که دوره کلاک برابر با حداقل بدست آمده در قسمت الف باشد، آیا با hold time violation روبرو می‌شویم؟
اگر flip-flopها رو از راست به چپ، FF1 و FF2 و FF3 بنامیم، داریم:

$$\text{Min } t_{\text{pd}} + t_{\text{clk-to-q}} \geq t_{\text{nd}} + \text{Max } t_{\text{pd}}(\text{clk})$$

$$\text{FF1 to FF2}: 75 + 50 \geq 25 + 0$$

$$\text{FF2 to FF3}: 75 + 50 \geq 25 + 0$$

$$\text{FF3 to FF1}: 25 + 50 \geq 25 + 0$$

$$\text{FF2 to FF1}: 25 + 50 \geq 25 + 0$$

در نتیجه هیچ hold violation ای نداریم!

پ- حالا فرض می‌کنیم clk1 و clk2 نسبت به هم به مقدار ۶۰ پیکوثانیه انحراف دارند. حداکثر فرکانس کاری مدار رو در این صورت بدست می‌آوریم و در صورتی که فرکانس کلاک برابر مقدار بیشینه به دست آمده باشد، بدست می‌آوریم که آیا مدار دچار hold time violations می‌شود یا نه؟

$$t_{\text{nd}} + t_{\text{pd}}(\text{clk}) \leq t_{\text{clk-to-q}} + t_{\text{comp}}$$

$$25 + 60 \leq 50 + 25 \text{ نادرست!}$$

پس اگر FF1 -> CL2 -> FF2 را در نظر بگیریم، و کلاک ۱ و ۲ نسبت به هم به مقدار ۶۰ پیکوثانیه انحراف داشته باشند، (اولی منهای دومی برابر با ۶۰ پیکوثانیه)، hold time violations خواهیم داشت.

اما اگر دومی منهای اولی برابر با ۶۰ پیکوثانیه شود، داریم:

درست! FF2 -> CL2 -> FF1: $25 - 60 \leq 50 + 25$

درست! FF1 -> CL1 -> FF2: $25 + 60 \leq 50 + 75$

پس در این صورت hold time violations نخواهیم داشت.

حالا به بررسی max freq می‌پردازیم:

در حالت اول ($t_{clk1} - t_{clk2} = 60$)، مسیر اول ماکسیمم مقدار را داشت و ماکسیمم مقدار ممکن (۶۰) نیز به آن اضافه شده است پس همچنان ماکسیمم مقدار ممکن باقی می‌ماند:

$$50 + 500 + 25 + 60 \leq t_{clk}$$

$$50 + 250 + 25 + 60 \leq t_{clk}$$

Minimum clock period = 635

max freq = 1.57 GHz

در حالت اول ($t_{clk2} - t_{clk1} = 60$)، داریم:

$$50 + 500 + 25 - 60 \leq t_{clk}$$

$$50 + 250 + 25 + 60 \leq t_{clk}$$

$$50 + 250 + 25 - 0 \leq t_{clk}$$

$$50 + 300 + 25 + 60 \leq t_{clk}$$

Minimum clock period = 515

max freq = 1.94 GHz