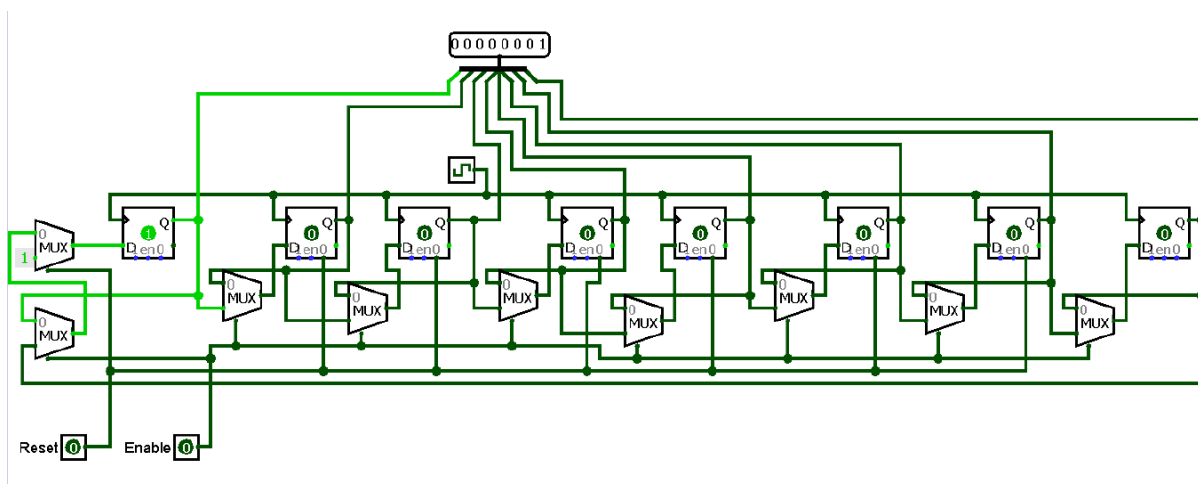


توضیحات مهم

- برای سوالات تشریحی یک فایل pdf بارگذاری نمایید.
- فایل‌های مربوط به هر سوال برنامه‌نویسی را بدون قرار دادن در پوشه zip کرده و در [کوئرا](#) بارگذاری کنید.
- فرمت‌های فشرده دیگر مانند rar و gzip قابل داوری نیست.
- در فایل‌های مربوط به یک سوال، دو ماژول با نام یکسان تعریف نکنید.
- نام ماژول‌ها و پورت‌ها را دقیقاً مانند صورت سوال تعریف کنید.
- در تعریف ماژول‌ها غیر از مواردی که صراحتاً ذکر شده‌است از تاخیر استفاده نکنید.
- ابهامات را در کوئرا مطرح نمایید.

۱- یک one hot counter که نمای مداری آن به شکل زیر است را متصور شوید. با استفاده از توصیف رفتاری کد وریلاگی بنویسید که عملکرد آن را پیاده‌سازی کند. تعریف ماژول شما باید این چنین باشد:

```
module one_hot_counter(reset, enable, clock, out)
    input reset, enable, clock;
    output reg [7:0] out;
```



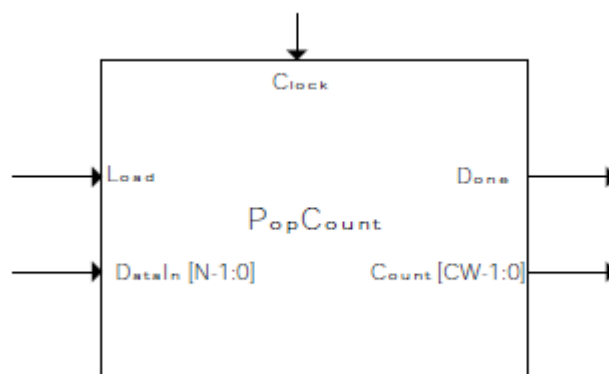
۲- ورودی ۸ بیتی A را در نظر بگیرید. ماژولی با استفاده از توصیف رفتاری بنویسید که رفتار آن به این نحو باشد که شماره پرازش‌ترین بیت A که ۱ می‌باشد را در خروجی Y نشان دهد، در صورتی که A صفر باشد باید خروجی NONE یک شود. برای مثال در صورتی که ورودی A مقدار ۷ و یا ۴ داشته باشد خروجی Y باید مقدار ۲ را نمایش بدهد. (توجه کنید در مدار شما هیچ latchی به وجود نیاید در غیر این صورت حتی در صورت کسب امتیاز کامل داوری نمره از دست خواهید داد). تعریف مدارتان باید به شکل روبرو باشد.

```
module first_one(A, Y, NONE);
    input wire [ 7 : 0 ] A;
    output reg [ 2 : 0 ] Y;
    output reg NONE;
```

۳- با استفاده از الف) توصیف رفتاری ب) توصیف جریان داده یک دیکدر ۲/۴ را پیاده‌سازی کنید.

```
module decoder2_4(in, out0, out1, out2, out3);
```

۴ - یک شمارنده طراحی کنید که شکل کلی به صورت زیر دارد. این شمارنده تعداد یک‌های موجود در یک سیگنال N بیتی را می‌شمارد. مدار پیاده‌سازی شما باید با ویژگی‌های این چینی باشد که یک شدن $load$ نشانه قرار گرفتن داده جدید معتبر بر روی $data_in$ است. مدار شما در هر $clock$ یک بیت را می‌شمارد. سیگنال $done$ با پایان یافتن شمارش یک شده و تا زمانی که $load$ دوباره یک نشده است، یک می‌ماند.



الف) اگر $data_in$ دارای N بیت باشد خروجی $count$ چند بیتی خواهد بود؟ (CW در شکل)

ب) برای $N=4$ مداری رسم کنید.

پ) کد وریلاگ ماژول گفته شده را با تعریف زیر بنویسید. (ماژول شما فقط به ازای $N=32$ تست خواهد شد پس در تعیین CW این موضوع را در نظر داشته باشید)

```
module new_counter(count, done, load, data_in, clk);
    parameter N=32;
```