

سوال ۲)

حداقل و حداکثر تاخیر انتشار منطق های ترکیبی در آن نشان داده شده است و ویژگی flip-flop ها نیز مشخص است.

$$t_{clk-q} = 50ps$$

$$t_{setup} = 25ps$$

$$t_{hold} = 25ps$$

الف- بیشترین فرکانس کاری بدون ایجاد مشکل برای این کلاک مدار را می خواهیم بدست آوریم.

روابط را می نویسیم:

FF to FF:

$$FF1 \rightarrow CL1 \rightarrow FF2 \quad 50 + 300 + 25 = 375$$

$$FF2 \rightarrow CL2 \rightarrow FF3 \quad 50 + 275 + 25 = 350$$

FF to output:

$$FF3: 50$$

Input to Flop:

$$FF1: 25$$

$$\Rightarrow \text{Max of } (375, 50, 25) = 375$$

$$\Rightarrow \text{Max Freq} = 1/375 = 2.67 \text{ GHz}$$

ب-

$$T_{nd} \leq T_{clk-to-q} + T_{comp}$$

$$FF2 \Rightarrow 25 \leq 50 + 50$$

این بخش مشکلی ندارد.

$$FF3 \Rightarrow 25 \leq 50 + 25$$

این بخش نیز مشکلی ندارد، پس hold violation نداریم اصلاً.