

فاز ۳ پروژه معماری کامپیوتر

توضیحات فاز:

در این فاز ما باید به پردازنده‌ای که طراحی کردیم، پایپ‌لاین اضافه کنیم و دستورات به صورت خط لوله باید اجرا شوند. در واقع تعدادی طبقه در نظر می‌گیریم و فعالیت‌های پردازنده‌مان را در این چند طبقه تقسیم می‌کنیم. در این فاز نیازی نیست که **data dependency** و **control dependency**‌ها همدل شوند و صرفاً باید خود بافر پایپ‌لاین و اتصالات برقرار شود. پایپ‌لاین مورد نظر نیز قابلیت **stall** دارد زیرا معموری لزوماً در یک کلاک جواب را حاضر نمی‌کند.

اعضای تیم:

۱- محمد مشتاقی‌فر

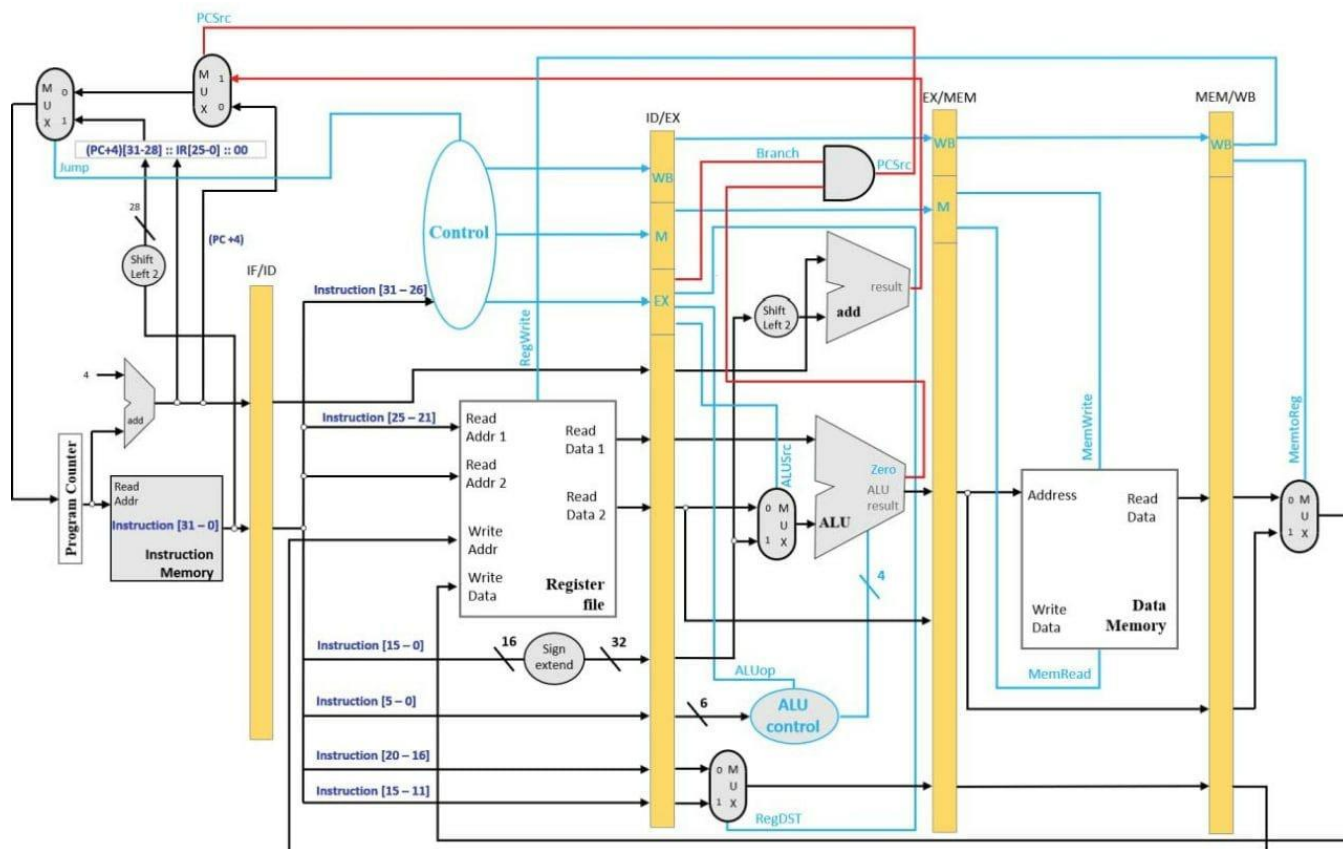
۲- بهزاد نبوی

۳- مهدی علیزاده

۴- ایمان محمدی

- ما در فاز ۳ این پروژه، پایپ‌لاین ۵ مرحله‌ای پیاده‌سازی کردیم که در پردازنده‌های میپس متداول می‌باشد.
- چالش‌های این فاز، تقسیم‌بندی پردازنده به ۵ مرحله و پیاده‌سازی آن با توجه به عکس صفحه‌ی دوم این داکيومنت بود.
- برای وصل کردن **stage**های مختلف پردازنده، از بافرهایی استفاده کردیم که از اسم آن‌ها نیز مشخص است هر کدام برای وصل کردن کدوم بخش از معماری به هم‌دیگر هستند.
- از اسلایدهای استاد برای پیاده‌سازی پایپ‌لاین استفاده شد و نیز عکس‌های **stage**بندی پردازنده‌ها نیز از اسلایدهای استاد برداشته شده‌اند.
- چالش دیگر فاز ۳، باگ‌های متعدد آن هنگام ران کردن بود که باعث عقب افتادن فاز ۴ نیز شد.

معماری نهایی که ما نیز از این شکل الهام گرفته است:



تقسیم ما به این شکل بود که ۵ تا stage انتخاب کردیم که همان طور که از شکل بالا مشخص است به ترتیب:

۱. IF
۲. ID
۳. EX
۴. MEM
۵. WB

بودند و برای وصل کردن آن ها به هم دیگر از بافرهایی استفاده کردیم در کد به ترتیب به نام های:

۱. buffer_IF-ID
۲. buffer_ID-EX
۳. buffer_EX-MEM
۴. buffer_MEM-WB

چالش دیگری که با آن مواجه شدیم این بود که در معماری کد ما، بخش `pc controller` در ۲ بخش قرار می‌گرفت، در stage های `IF` و `EX` و در نتیجه `pc controller` رو به ۲ بخش تقسیم کردیم و دو ماژول `pc_controller_IF` و `pc_controller_EX` را ایجاد کردیم که بر سر وصل کردن سیم‌های آن‌ها در بافرها به مشکل نخوریم.

همان‌طور که در توضیحات گفته شد، همه‌ی این ماژول‌ها در نهایت در `mips core` به هم وصل می‌شوند و استیج‌بندی اصلی در آن‌جا اتفاق می‌افتد.

دقت کنید که `data dependency` هندل نشده است و نیاز است که `nop` بین دستورات قرار داده شود. این موضوع در تست کیس‌ها رعایت شده است.