

## فاز ۴ پروژه معماری کامپیوتر

### توضیحات فاز:

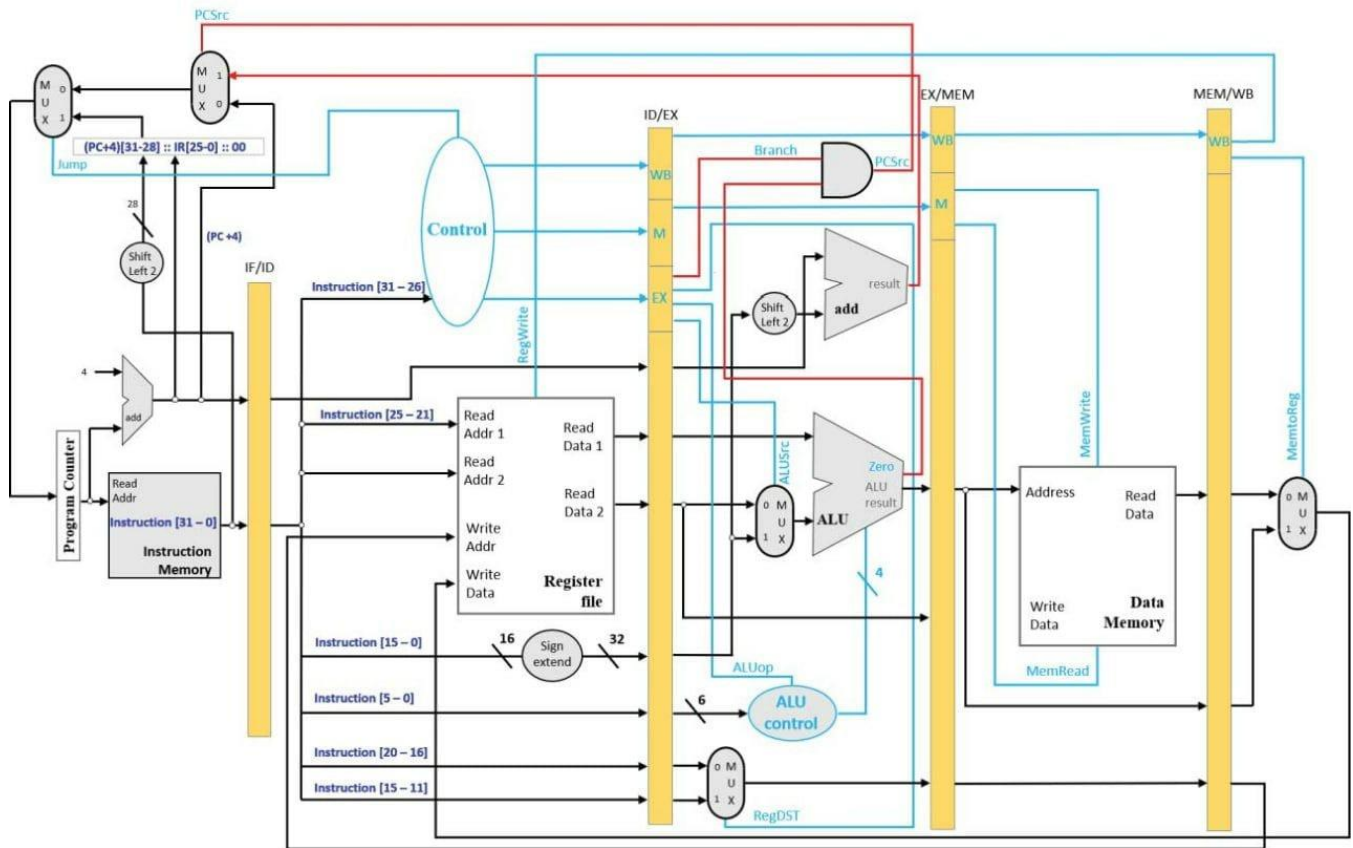
در این فاز ما امکان کار با اعداد اعشاری استاندارد **IEEE-754** را به پردازنده‌ای که ساختیم، دادیم. این کمک پردازنده قادر به انجام دستورات جمع، تفریق، مقایسه، معکوس و گرد کردن (به نزدیک‌ترین عدد صحیح) روی اعداد ممیز شناور با دقت ساده براساس استاندارد **IEEE-754** می‌باشد. این کار را با **ALU\_floating\_point** و یک رجیستر فایل مخصوص اعداد اعشاری انجام دادیم. برای هر یک از دستورات اعداد اعشاری **opcode**های جدیدی تعریف شده است که در ادامه لیست آنها آمده است. همچنین **ALU** با سیگنال‌های خروجی **Divide by Zero, qNaN, sNaN, Underflow, Overflow** طراحی شده است.

### اعضای تیم:

- ۱- محمد مشتاقی‌فر
- ۲- بهزاد نبوی
- ۳- مهدی علیزاده
- ۴- ایمان محمدی

- ما در فاز ۳ این پروژه، پایپ‌لاین ۵ مرحله‌ای پیاده‌سازی کردیم که در پردازنده‌های میپس متداول می‌باشد.
- در فاز ۴، سیگنال‌های کنترلی بخش محاسباتی رو به صورت **R** تایپ قرار دادیم.
- در این فاز سیگنال‌هایی اضافه شدند که در استیج **EX** به بعد هندل شده‌اند.
- دستورات کمک‌پردازنده نیز تحت خط لوله پیاده‌سازی شدند.
- یک **instance** از رجیستر فایل برای اعداد اعشاری و یکی برای اعداد صحیح می‌گیریم.

معماری نهایی که ما نیز از این شکل الهام گرفته است:



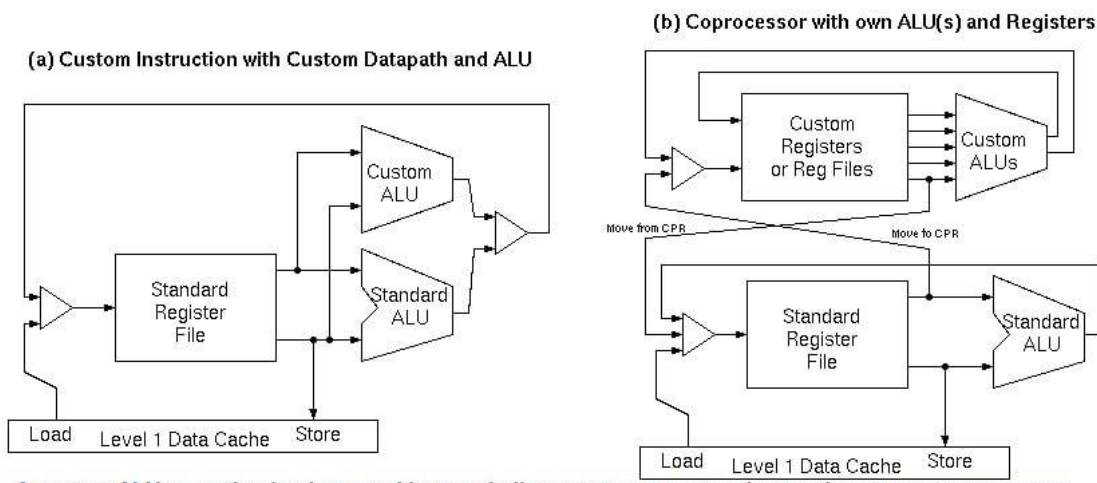
تقسیم ما به این شکل بود که ۵ تا stage انتخاب کردیم که همان طور که از شکل بالا مشخص است به ترتیب:

۱. IF
۲. ID
۳. EX
۴. MEM
۵. WB

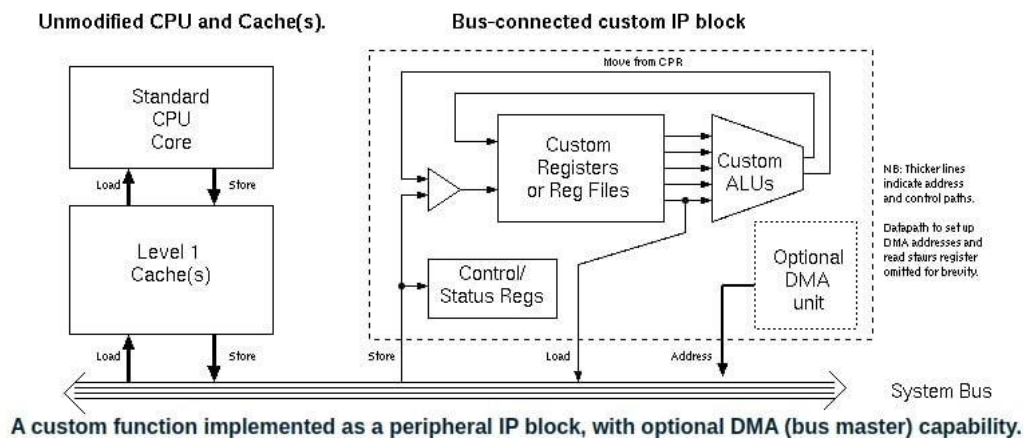
بودند و برای وصل کردن آن ها به هم دیگر از بافرهایی استفاده کردیم در کد به ترتیب به نام های:

۱. buffer\_IF-ID
۲. buffer\_ID-EX
۳. buffer\_EX-MEM
۴. buffer\_MEM-WB

اما این جا در فاز ۴ برای استفاده از رجیستر فایل های عادی و عدد اعشاری، از این معماری سمت راست این عکس استفاده کردیم و با اضافه کردن مولتی پلکسرهایی به کد و نیز Move to CPR برای :



A custom ALU operation implemented in two similar ways: as a custom instruction or as a coprocessor.

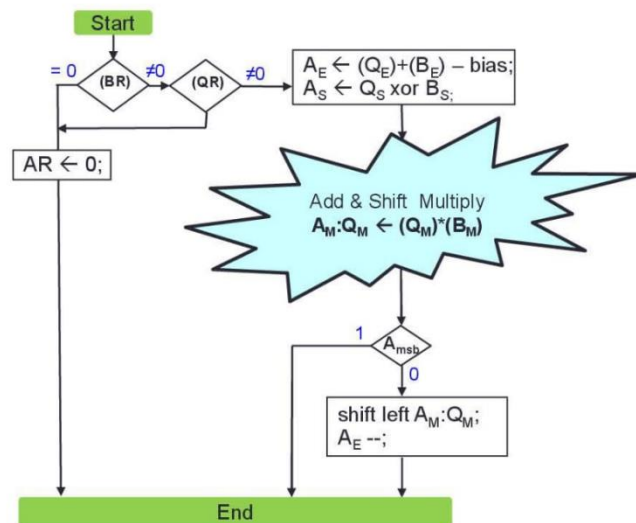


A custom function implemented as a peripheral IP block, with optional DMA (bus master) capability.

در **ALU\_floating\_point**، نیز با این معماری‌های زیر، فرآیند جمع، تفریق، ضرب، تقسیم، مقایسه، معکوس و گرد کردن (به نزدیکترین عدد صحیح) روی اعداد ممیز شناور با دقت ساده براساس استاندارد **IEEE-754** هندل می‌شود.

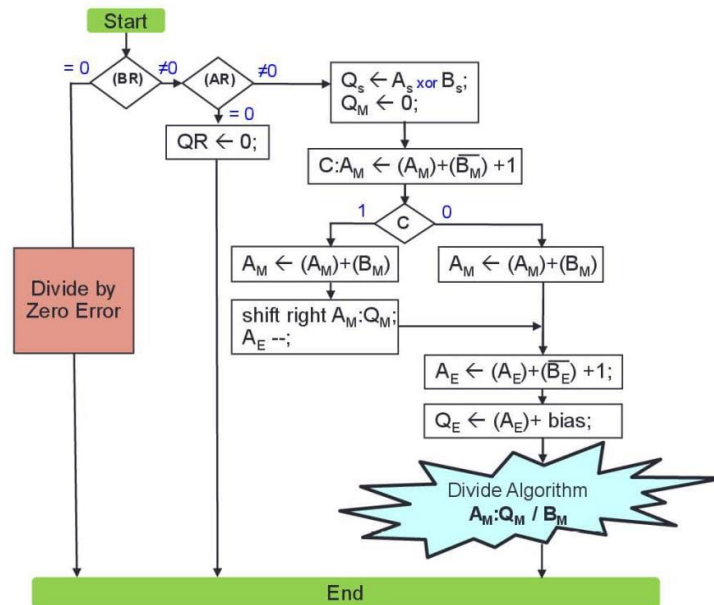
## Floating-point Arithmetic

Floating-Point Multiplication:  $AR \leftarrow (QR) \times (BR)$



## Floating-point Arithmetic

Floating-Point Division:  $QR \leftarrow (AR) / (BR)$

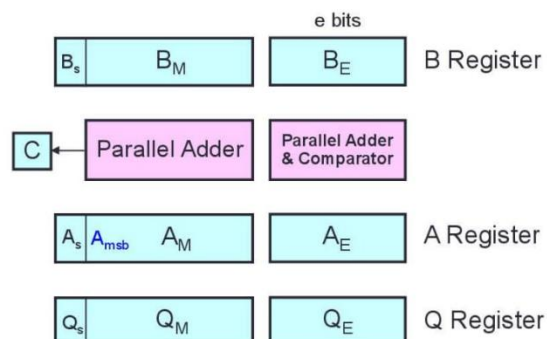


## Floating-point Arithmetic

Consider the following hardware used to describe different arithmetic operations on floating-point numbers.

Each floating-point number has 2 parts:

- Mantissa (sign-magnitude representation) and
- Exponent (excess- $2^{e-1}$  biased exponent).



## Floating-point Arithmetic

Floating-Point Addition/Subtraction:  $AR \leftarrow (AR) \pm (BR)$

