

## گزارش فاز ۲ پروژه معماری کامپیوتر دکتر سربازی

در این فاز، با توجه به حافظه‌ی جدیدی که در اختیارمان قرار گرفته بود، پردازنده را به گونه‌ای دوباره طراحی کردیم و تغییر دادیم که قابلیت چند کلاک متوقف شدن را دارد. سپس پیاده‌سازی مازول cache به شکل دایرکت مپینگ که استاد سر کلاس توضیح داده بودند، انجام شد. این حافظه از نوع write back است با اندازه‌ی ۸ کیلوبایت.

به این شکل که چک می‌کنیم میس شده یا نه، اگر میس شده می‌ریم تو تایمینگ رایت کردن دیتا از کش به مموری که ۵ کلاک طول می‌کشد، و بعدش ۶ کلاک تایمینگ خوندن دیتا از مموری تو کش؛ این برا وقتی که درتی‌مون ۱ باشه. اگر درتی ۰ شده باشه هم فقط رید می‌کنیم ۶ بیت از مموری به کش.

همچنین تاخیرها در مازول کنترلر هندل شدند و سیگنال‌های کنترل کش به کنترلر اضافه شدند.

سپس این تایمینگ برای خواندن داده‌ای که در حافظه‌ی نهان وجود نداشت تعبیه شد:

Cycles	1	2	3	4	5	6
cache_addr	0x00001000	0x00001000	0x00001000	0x00001000	0x00001000	0x00001000
mem_addr	0x00001000	x	x	x	x	x
cache_hit	0	0	0	0	0	1
mem_data_out	x	x	x	x	0x12345678	x
cache_data_out	x	x	x	x	x	0x12345678

و این تایمینگ نیز برای نوشتن بلوک dirty در حافظه‌ی اصلی اضافه شد به جدول بالا:

Cycles	1	2	3	4	5	6
cache_addr	0x00001000	0x00001000	0x00001000	0x00001000	0x00001000	0x00001000
mem_addr	0x00001200	0x00001200	0x00001200	0x00001200	0x00001200	0x00001000
cache_hit	0	0	0	0	0	0
mem_we	1	0	0	0	0	0
mem_data_in	0x87654321	x	x	x	x	x
cache_data_out	x	x	x	x	x	x