

# ALU 实验

吴育昕

(2011011271 ppwwyyxxc@gmail.com)

## 目录

1 实验工具及环境	1
2 模块设计	1
3 实验过程	1
4 经验及总结	1

## 1 实验工具及环境

操作系统 Windows XP (虚拟机)

软件 Xilinx ISE 14.6

语言 Verilog

## 2 模块设计

## 3 实验过程

首先测试发现三个人的 Linux 系统上的 Xilinx 软件都无法正常连接实验平台, 于是开始安装 Windows XP 虚拟机并安装 Xilinx, 之后开始代码调试.

代码烧入后实验机上没有任何反应, 经过分析后认为应该是 Reset 的状态不对. 通过修改代码输出 Reset 值, 发现 Reset 按下为 0, 与代码期待行为相反, 因而实验平台一直处于 Reset 状态.

之后的主要问题是不清楚平台上管脚高低位的对应顺序, 因此无法观测程序行为. 做了几次小实验后清楚了平台设置, 再将原始代码烧入就完成了实验.

## 4 经验及总结