

ALU 实验

吴育昕 刘啸宇 宋方睿

目录

1 实验工具及环境	1
2 模块设计	1
3 实验过程	2
4 经验及总结	3
5 实验代码	3

1 实验工具及环境

操作系统 Windows XP (虚拟机)

软件 Xilinx ISE 14.6

语言 Verilog

2 模块设计

顶层 alu 分为三个模块:

1. 状态机 inputState: 接收 clk, 在读入/输出的四种状态中切换, 并向 core 和 selector 发送指令.
2. 计算核心 core: 当状态机状态进入计算时, 对输入数据执行计算.
3. 选择器 selector: 当状态机进入某个输出状态时, 选择相应的 flag 或 result 进行输出.

相关接口如alu.v所示:

```
src/alu.v
1 module alu(
2     input clk,
3     input rst,
4     input [15:0] data,
```

```
5     output [15:0] display
6 );
7
8 wire [15:0] dataA, dataB;
9 wire [15:0] result, flags;
10 wire [3:0] op;
11 wire doCal, showFlag;
12
13 inputState inputStateM (
14     clk,
15     rst,
16     data,
17     dataA,
18     dataB,
19     op,
20     doCal,
21     showFlag
22 );
23
24 core coreM (
25     doCal,
26     rst,
27     dataA,
28     dataB,
29     op,
30     result,
31     flags
32 );
33
34 selector selectorM (
35     showFlag,
36     result,
37     flags,
38     display
39 );
40
41 endmodule
```

各模块详细代码见附录.

3 实验过程

首先测试发现三个人的 Linux 系统上的 Xilinx 软件都无法正常连接实验平台, 于是开始安装 Windows XP 虚拟机并安装 Xilinx, 之后开始代码调试.

代码烧入后实验机上没有任何反应, 经过分析后认为应该是 Reset 的状态不对. 通过修改代码输出 Reset 值, 发现 Reset 按下为 0, 与代码期待行为相反, 因而实验平台一直处于 Reset 状态.

之后的主要问题是不清楚平台上管脚高低位的对应顺序, 因此无法观测程序行为. 做了几次小实验后清楚了平台设置, 再将原始代码烧入就完成了实验.

4 经验及总结

这次实验总体比较简单, 我们在实验前期主要复习巩固了 verilog 语法, 实验中在环境配置上出了些问题, 但也很快得到了解决.

另外, 这次的实验, 我们将各部分功能进行了模块化设计, 锻炼了初步的模块设计能力, 希望能为今后进一步的实验有所帮助.

5 实验代码

```
src/inputState.v
1 module inputState(
2     input clk,
3     input rst,
4     input [15:0] data,
5     output reg [15:0] dataA, dataB,
6     output reg [3:0] op,
7     output reg doCal, showFlag
8 );
9
10 parameter SIZE = 2;
11 parameter DATAA = 2'b00, DATAB = 2'b01, OP = 2'b10, SF = 2'b11;
12 reg [SIZE - 1 : 0] state;
13
14 always @ (negedge rst or posedge clk)
15 begin : FSM_SEQ
16     if (rst == 0) begin
17         state <= #1 DATAA;
18     end
19     else
20     begin
21         case (state)
22             DATAA: state <= DATAB;
23             DATAB: state <= OP;
24             OP: state <= SF;
25             SF: state <= DATAA;
26         endcase
27     end
28 end
29
30 always @ (negedge rst or posedge clk)
31 begin : OUTPUT_LOGIC
32     if (rst == 0) begin
33         dataA <= 0;
34         dataB <= 0;
35         doCal <= 0;
36         showFlag <= 0;
37     end
38     else
39     begin
40         case (state)
41             DATAA: dataA <= data;
```

ALU 实验

```
42     DATAB: dataB <= data;
43     OP:
44     begin
45         op <= data[3:0];
46         showFlag <= 0;
47         doCal <= 1;
48     end
49     SF:
50     begin
51         doCal <= 0;
52         showFlag <= 1;
53     end
54 endcase
55 end
56 end
57 endmodule
```

src/core.v

```
1 module core (
2     clk,
3     rst,
4     dataA,
5     dataB,
6     op,
7     result,
8     flags
9 );
10
11 input clk;
12 input rst;
13 input dataA;
14 input dataB;
15 input op;
16
17 output result;
18 output flags;
19
20 wire clk;
21 wire rst;
22 wire [15:0] dataA, dataB;
23 wire [3:0] op;
24 reg [15:0] result;
25 reg [15:0] flags;
26
27 parameter ADD = 4'b0000,
28     SUB = 4'b0001,
29     AND = 4'b1000,
30     OR = 4'b1001,
31     XOR = 4'b1010,
32     NOT = 4'b1011,
33     SLL = 4'b1100,
34     SRL = 4'b1101,
35     SRA = 4'b0010,
```

```

36     ROL = 4'b0011;
37
38
39     always @ (negedge rst or posedge clk)
40     begin : CORE
41         if (rst == 0) begin
42             result <= 0;
43         end
44         else
45         begin
46             case (op)
47                 ADD: result <= dataA + dataB;
48                 SUB: result <= dataA - dataB;
49                 OR:  result <= dataA | dataB;
50                 XOR: result <= dataA ^ dataB;
51                 NOT:
52                     if (dataA == 0) begin
53                         result <= 1;
54                     end else begin
55                         result <= 0;
56                     end
57                 SLL: result <= dataA << dataB;
58                 SRL: result <= dataA >> dataB;
59                 SRA: result <= dataA >>> dataB;
60                 ROL: result <= (dataA >> dataB) | dataA << (16 - dataB);
61                 default: result <= op;
62             endcase
63         end
64     end
65
66 endmodule

```

src/selector.v

```

1 module selector(
2     input control,
3     input [15:0] dataA, dataB,
4     output reg [15:0] data
5 );
6
7 always @*
8 begin
9     case (control)
10         0: data <= dataA;
11         1: data <= dataB;
12     endcase
13 end
14 endmodule

```
