

实验二 组合电路设计实验报告

班级：07111904

姓名：周一鸣

学号：1120192000

1. 实验题目

设计一个组合电路，输入一个 3 位的数字，输出一个 6 位的二进制数字，且输出数字的值等于输入数字值的平方。

2. 实验约束

- 电路设计时只能使用或非门和非门进行实现。
- 采用 Verilog 实现时使用结构化描述方式。

3. 电路设计

a) 规范化

输入为 3 位二进制数，输出为 6 位二进制数，输出值为输入值的平方。电路通过非门和或非门，将输入值转化为期望的输出值。

b) 形式化

		X[1:3]			Output[1:6]				
Output[1]	X[2:3]=00	X[2:3]=01	X[2:3]=11	X[2:3]=10	Output[4]	X[2:3]=00	X[2:3]=01	X[2:3]=11	X[2:3]=10
X[1]=0	0	0	0	0	X[1]=0	0	0	0	1
X[1]=1	0	0	1	1	X[1]=1	0	0	0	1

Output[2]	X[2:3]=00	X[2:3]=01	X[2:3]=11	X[2:3]=10	Output[5]	X[2:3]=00	X[2:3]=01	X[2:3]=11	X[2:3]=10
X[1]=0	0	0	0	0	X[1]=0	0	0	0	0
X[1]=1	1	1	1	0	X[1]=1	0	0	0	0

Output[3]	X[2:3]=00	X[2:3]=01	X[2:3]=11	X[2:3]=10	Output[6]	X[2:3]=00	X[2:3]=01	X[2:3]=11	X[2:3]=10
X[1]=0	0	0	1	0	X[1]=0	0	1	1	0
X[1]=1	0	1	0	0	X[1]=1	0	1	1	0

| | | / | 111 | | | 110001 | | | |

$$\cdot Output[1] = X[1]X[2]$$

$$\cdot Output[2] = X[1]\overline{X[2]} + X[1]X[2]X[3]$$

$$\cdot Output[3] = (\overline{X[1]}X[2] + X[1]\overline{X[2]})X[3]$$

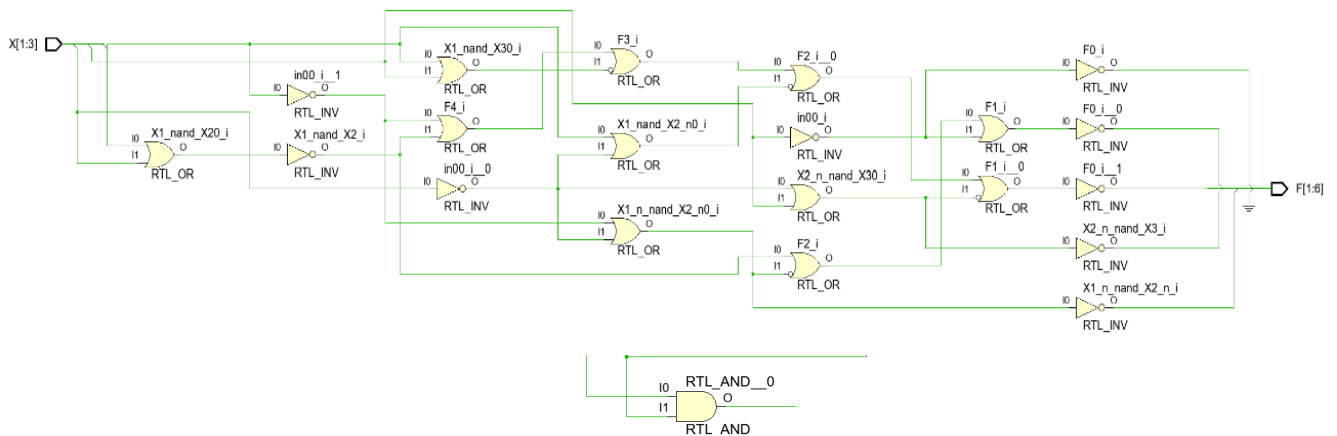
$$\cdot Output[4] = X[2]\overline{X[3]}$$

$$\cdot Output[5] = 0$$

$$\cdot Output[6] = X[3]$$

d) 工艺映射

映射前



映射后

4. 电路实现

5. 电路验证

a) TestBench

```
22 module CLC(input[1:3] X, output[1:6] F);
23 //按下标由小到大表示二进制由低位至高位
24
25 (* dont_touch = "true" *)
26 wire X1_n, X2_n, X3_n;
27 //X1_n, X2_n, X3_n分别为X[1], X[2], X[3]取反
28 wire X1_nor_X2, X1_nor_X3, X1_nor_X2_n, X2_n_nor_X3, X1_n_nor_X2_n;
29 //分别表示异或后的中间信号
30
31 not
32     (X1_n, X[1]),
33     (X2_n, X[2]),
34     (X3_n, X[3]);
35
36 nor
37     (X1_nor_X2, X[1], X[2]),
38     (X1_nor_X3, X[1], X[3]),
39     (X1_nor_X2_n, X[1], X2_n),
40     (X2_n_nor_X3, X2_n, X[3]),
41     (X1_n_nor_X2_n, X1_n, X2_n);
42
43 nor
44     (F[1], X1_n, X2_n),
45     (F[2], X1_n, X1_nor_X2, X1_nor_X3, X1_nor_X2_n, X2_n_nor_X3),
46     (F[3], X1_nor_X2, X1_n_nor_X2_n, X3_n),
47     (F[4], X2_n, X[3]);
48
49 not
50     (F[5], 1),
51     (F[6], X3_n);
52
53 endmodule
```

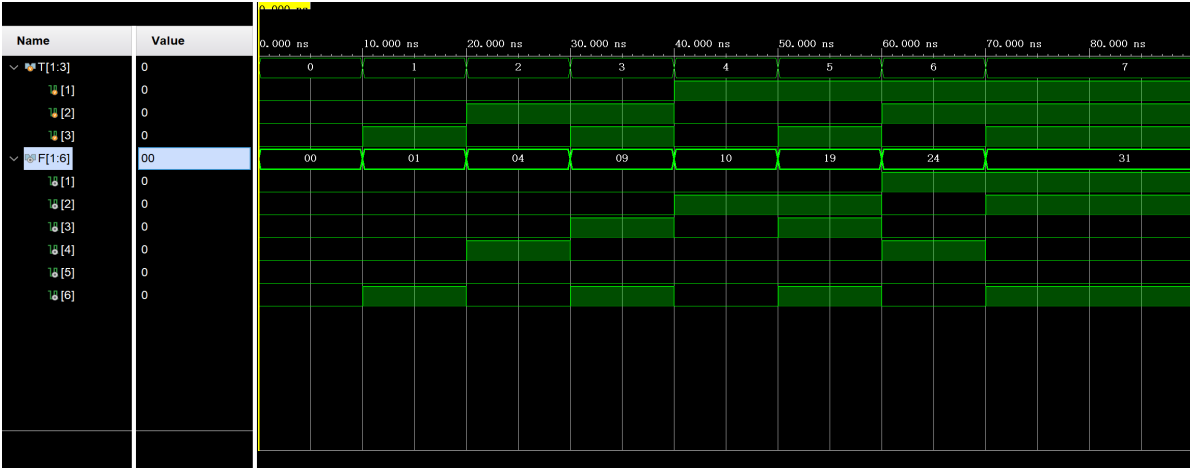
```

23 module testbench(
24     );
25     reg[1:3] T;
26
27     initial begin
28         T[1] = 1'b0;
29         #10 T[1] = 1'b0;
30         #10 T[1] = 1'b0;
31         #10 T[1] = 1'b0;
32         #10 T[1] = 1'b1;
33         #10 T[1] = 1'b1;
34         #10 T[1] = 1'b1;
35         #10 T[1] = 1'b1;
36         #10;
37     end
38
39     initial begin
40         T[2] = 1'b0;
41         #10 T[2] = 1'b0;
42         #10 T[2] = 1'b1;
43         #10 T[2] = 1'b1;
44         #10 T[2] = 1'b0;
45         #10 T[2] = 1'b0;
46         #10 T[2] = 1'b1;
47         #10 T[2] = 1'b1;
48         #10;
49     end
50
51     initial begin
52         T[3] = 1'b0;
53         #10 T[3] = 1'b1;
54         #10 T[3] = 1'b0;
55         #10 T[3] = 1'b1;
56         #10 T[3] = 1'b0;
57         #10 T[3] = 1'b1;
58         #10 T[3] = 1'b0;
59         #10 T[3] = 1'b1;
60         #10;
61     end
62
63     wire[1:6] F;
64     CLC CLC (T, F);
65
66 endmodule

```

电路输入每隔 1ms 跳变一次，输入值为 0-7 依次递增。

b) 仿真结果



6. 实验心得

通过逻辑电路的仿真模拟，对组合逻辑电路设计的理解进一步加深了。

在用 schematic 功能生成电路图时，遇到了门单元被优化掉的问题。在搜索和查阅相关资料后，通过在声明 wire 变量前添加

```
(*dont_touch = "true" *)
```

语句解决了该问题。