

杭州师范大学国际服务工程学院 XXXXXX 学年第一学期期末考试

《计算机组成原理》试卷 (A)

题号	一	二	三	四	五	六	七	总分
得分								

得分	
----	--

一、选择题 (共 30 分, 每小题 2 分)

- 世界上第一台电子计算机于 () 年正式交付使用。
A. 1942 B. 1945 C. 1946 D. 1898
- 下列数中最小的数是 ()。
A. $(101001)_2$ B. $(52)_8$ C. $(2A)_{16}$ D. $(44)_{10}$
- 计算机问世至今, 新型机器不断推陈出新, 不管怎样更新, 依然保有“存储程序”的概念, 最早提出这种概念的是 ()。
A. 摩尔 B. 冯·诺依曼 C. 图灵 D. 贝尔
- 若采用双符号位补码运算, 运算结果的符号位为 10, 则 ()。
A. 产生了负溢出 (下溢) B. 产生了正溢出 (上溢)
C. 运算结果正确, 为负数 D. 运算结果正确, 为正数
- 在下述有关加减交替除法 (不恢复余数法) 何时需恢复余数的说法中, () 是正确的。
A. 最后一次余数为正时, 要恢复一次余数;
B. 最后一次余数为负时, 要恢复一次余数;
C. 最后一次余数为 0 时, 要恢复一次余数;
D. 任何时候都不恢复余数。
- 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是 ()
A. 间接寻址 B. 基址寻址 C. 相对寻址 D. 变址寻址
- 以下说法不正确的是 ()
A. SRAM 采用 6 个晶体管组成的双稳态触发器电路保存信息;
B. DRAM 利用 MOS 电容存储电荷来保存信息;
C. DRAM 的访问速度比 SRAM 要快;
D. DRAM 集成度高功耗小, 一般用作大容量存储器;
- 采用基址寻址可扩大寻址范围, 且 ()
A. 基址寄存器内容由用户确定, 在程序执行过程中不可变。
B. 一般地, 基址寄存器内容由操作系统决定, 在程序执行过程保持不变。
C. 基址寄存器内容由用户确定, 在程序执行过程中可变。
D. 与变址寻址一样, 内容都由用户确定。
- 程序执行过程有顺序执行和跳转执行两种, 若指令采用跳转寻址, 可以实现 ()
A. 堆栈寻址 B. 程序的条件转移
C. 程序的无条件转移 D. 程序的条件转移和无条件转移。
- 设变址寄存器为 X, 形式地址为 D, 某机具有先变址后间址的寻址方式, 则这种寻址

方式的有效地址为 ()

- A. $EA = (X) + D$; B. $EA = (X) + (D)$; C. $EA = ((x) + D)$ D. $EA = (D)$

11. 有关控制器的描述, 错误的是 ()。
- A. 控制器中含有指令译码器;
B. 控制器是 CPU 中 ALU 的一个组成部分;
C. 控制中可以产生时钟脉冲源;
D. 控制器的设计是 CPU 设计的核心;
12. 计算机指令设计中有微程序设计与硬布线控制方法, 说法正确的是 ()。
- A. 微程序中一条指令的执行由一条微指令来实现;
B. 硬布线控制是以时序控制电路的方式来产生控制信号的;
C. 一般微程序设计的计算机, 更改指令比较方便, 运行速度慢;
D. 微程序一般存放在主存的 ROM 中;
13. 加法指令执行中, 运算结果会影响标志寄存器 FLAG 中 N、Z、V、C, 说法正确的是 ()。
- A. $N=1$ 表示实际运算是减法; B. $C=1$ 表示运算中有进位或借位;
C. $V=1$ 表示逻辑“与”运算; D. $Z=1$ 表示本次运算结果不为 0;
14. 有关指令、微指令描述正确的是 ()。
- A. 一条条指令构成程序, 存放在控制存储器中
B. 一个微命令中包含多条微指令
C. 微指令的入口地址由 IP 指定
D. 一条指令可以由一段微程序解释执行
15. 在 Cache 与主存的地址映射中, 若主存中的某一块可映射到 Cache 中的某一组的位置上, 则这种方法称为 ()。
- A. 全相联映射 B. 直接映射 C. 组相联映射 D. 混合映射

二、判断题 (共 10 分, 每小题 2 分, 对的填√, 错的填×)

得分	
----	--

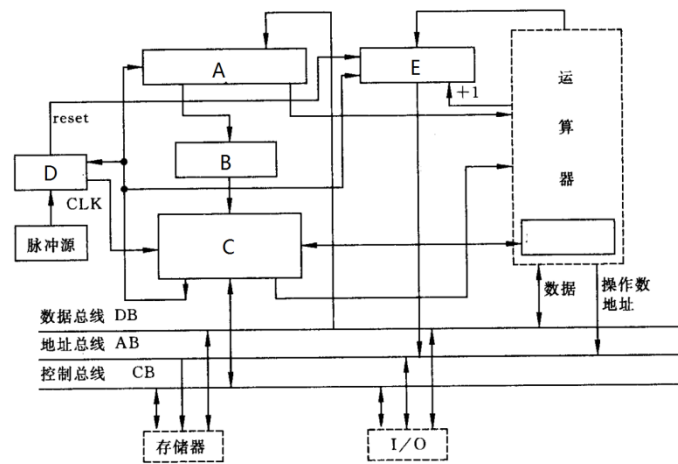
1. EPROM 芯片可重复擦除和写入, 解决了 PROM 芯片只能写入一次的弊端。 ()
2. 浮点数加减法运算时的对阶操作是以阶码小的为准。 ()
3. 一个规格化的补码, 其符号位和最高数值位必须不同。 ()
4. 译码器工作时只有一个输出端是有效的, 其他输出端均无效。 ()
5. 主存与 Cache 地址的全相联映像中, 主存中的一块可以映射到 Cache 中某一块。 ()

三、填空题 (共 15 分, 每空 1 分)

得分	
----	--

1. CPU 是把_____和控制器集成在一个芯片里。
2. 计算机各大硬件部件是通过_____和接口连接在一起的。
3. 二进制真值-0.1001101 编成 8 位的补码为_____, 编成 8 位的反码为_____。如果采用奇校验, 则数据 0101101 的校验位的值应该为_____。
4. 主存储器的主要技术指标分别为:_____, _____和_____。
5. 64K 存储单元, 为了减少封装引脚数, 地址码分两批送至存储器, 每批地址线为_____根。
6. 为了保证 DRAM 存储信息不遭破坏, 必须在电荷漏掉以前就进行充电, 以恢复原来的电荷, 把这一充电过程称为_____。

7. 在控制器基本组成框图中,请指出各部件的名称,A: _____, B: _____, C: _____, D: _____, E: _____。



控制器基本组成框图

四、问答题（15分，每题5分）

得分	
----	--

1. 若 X 的真值为 -0.1011 , Y 的真值为 0.0101 , 请用原码一位乘法规则计算 $X*Y$ 。

2. 若 8 位信息 $D_8 \cdots D_1 = 01010111$ ，采用基于偶校验的海明校验，要求能自动校正一位错并发现两位错，需要多少位校验码？海明码是多少？计算公式如下：

$$P_1 = D_1 \oplus D_2 \oplus D_4 \oplus D_5 \oplus D_7, \quad P_2 = D_1 \oplus D_3 \oplus D_4 \oplus D_6 \oplus D_7, \quad P_3 = D_2 \oplus D_3 \oplus D_4 \oplus D_8,$$

$$P_4 = D_5 \oplus D_6 \oplus D_7 \oplus D_8, \quad P_5 = D_1 \oplus D_2 \oplus D_3 \oplus D_4 \oplus D_5 \oplus D_6 \oplus D_7 \oplus D_8 \oplus P_4 \oplus P_3 \oplus P_2 \oplus P_1$$

3. 机器字长 32 位，主存容量为 256KB，32 个通用寄存器，共 64 条指令，请设计双地址指令格式，要求有立即数、直接、寄存器、寄存器间接、变址、相对 6 种寻址方式。

得分	
----	--

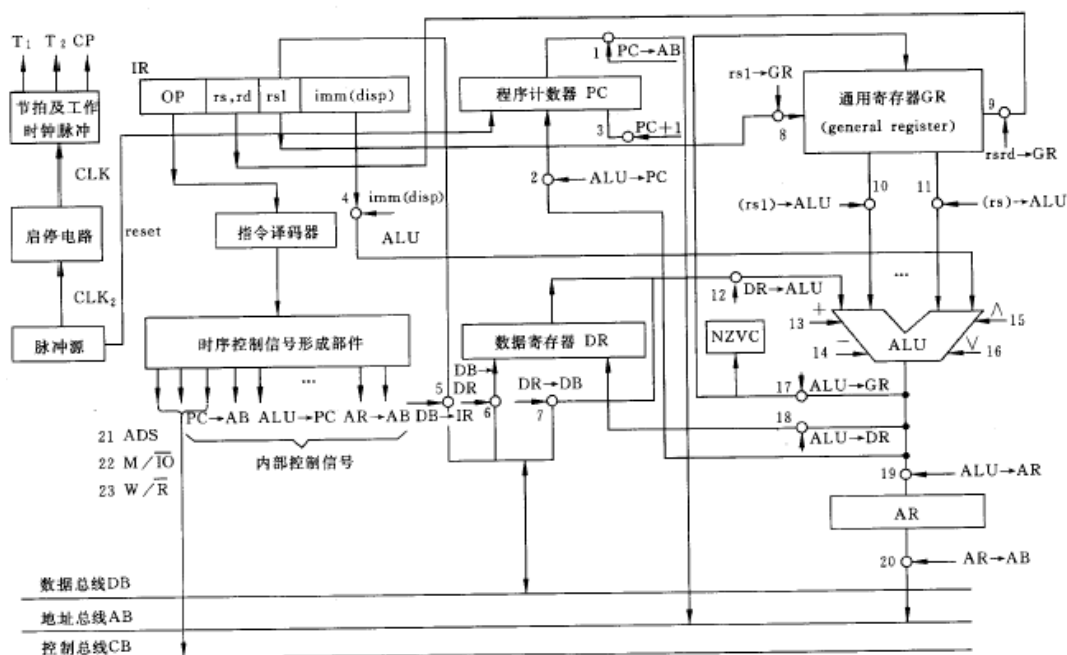
五、绘图题（10 分）

某机字长 8 位，试用如下所给芯片设计一个存储器，容量为 32K，其中 RAM 为 24K，ROM 为 8K，RAM 芯片的类型为：8K×4，ROM 芯片的类型为：8K×8。试画出存储器结构图及与 CPU 连接的示意图。要求绘制数据总线、地址总线、读写控制线、地址译码连线。

六、分析题（10分）

得分

计算机中 STORE 指令，将一个寄存器中的数据存放到主存中，指令可以写成：STORE disp(rs1)，rs，表示将 rs 寄存器中的数据存放到主存，主存的地址是 (rs1)+disp。指令设计人员将该指令分成 4 条微指令执行：(1) 取值令，(2) 计算主存的地址并送 AR，(3) 将 rs 寄存器的数据与 0 加结果送 DR，(4) 将 DR 的数据写入主存。请写出 (1)、(2)、(3) 三条微指令中应具有的控制信号，提示：除图中表示的 1-23 个信号外，还可以使用“0→ALU”信号，该信号表示将 0 送 ALU 参与运算。（10 分）



七、计算题（10 分）

得分	
----	--

设某计算机的 cache 采用 4 路组相联映像, 已知 cache 容量为 8KB, 主存容量为 8MB, 每个字块有 32 个字节, 请计算: (1) cache 块可以分成多少组? 主存地址需要多少位 (按字节编址)? 主存地址中 “主存字块标记” 和 “组地址” 字段各为多少位? (2) 设 cache 起始为空, CPU 从主存单元 0, 1, ..., 499, 读出 500 个字节, 问命中率为多少? (3) 主存 (3201)10 块, 映射到哪些 cache 块?