**《计算机组成原理》样卷A 答案**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 题号 | 一 | 二 | 三 | 四 | 五 | 六 | 总分 |
| 得分 |  |  |  |  |  |  |  |

**一、选择题（共30分，每小题2分）**

1. 下列无符号数中最大的数是（ B ）。

A. （352）10  B. （198）16 C. （327）8 D. （100110011）2

2. 世界上第四代计算机的逻辑器件采用的是（ D ）。

A. 电子管 B. 晶体管

C. 微程序设计计算机 D. 大规模、超大规模集成电路

3. 以下哪种指令能改变程序执行顺序？（ D ）

A.数据传送指令 B.移位操作指令

C.I/O指令 D.子程序调用指令

4. 若操作数在指令中，则它属于哪种寻址方式？ （ D ）

A.寄存器 B.寄存器间接 C.直接 D.立即数

5. 在CPU中，跟踪和指明后继指令地址的寄存器是哪一个？ （ B ）

A.指令寄存器 B.程序计数器 C.地址寄存器 D.数据寄存器

6. 某RAM芯片，其存储容量为16M×16位，该芯片的地址线和数据线数目为（ D ）。

A. 32，32 B. 24，4 C. 16，16 D. 24，16

7. 浮点数表示范围的大小主要取决于（ A ）。

A.阶码的位数

B.尾数的位数

C.阶码采用的编码

D.尾数采用的编码

8. 微程序控制器中，机器指令和微指令的关系是（ B ）。

A.每一条微指令由一条机器指令来执行

B.每一条机器指令由一段微指令编成的微程序来解释执行

C.一段机器指令组成的程序可由一条微指令来执行

D.一条机器指令由一条微指令来执行

9. 计算机的基本部件中，完成运算功能的部件是（ C ）。

A.控制器 B.存储器 C.运算器 D.CPU

10. 在定点二进制运算器中，减法运算一般是通过（ D ）来实现。

A. 原码运算的减法器 B. 补码运算的减法器

C. 原码运算的加法器 D. 补码运算的加法器

11. 以下说法正确的是（ A ）

A.汇编语言程序设计需要了解计算机的硬件结构

B.高级语言仍然与计算机的结构特征相关

C.视频播放软件是一种系统软件

D.汇编程序可以直接运行

12. 以下关于RISC特点的描述，哪个是不正确的？（ D ）

A.一般来说，指令格式较少，寻址方式少

B.以硬布线控制为主

C.以简单指令为主，尽量避免复杂指令

D.所有指令均在一个机器周期内完成

13. 8位字长的定点整数，如果采用补码表示，所能表示的数据范围是（ A ）

A. -128~127 B. -129~128 C. -127~127 D. -128~128

14. 如果采用0舍1入进行舍入操作，则0.0011舍去最后一位后，变成（ B ）。

A. 0.011 B. 0.010 C. 0.001 D. 0.100

15. 在CACHE的地址映射中，若主存中的某一块只能映射到Cache的唯一一个块的位置上，则这种映射方式称为（ A ）。

A.直接映射 B.全相联映射

C.组相联映射 D.混合映射

**二、判断题（共10分，每小题1分，对的填√，错的填×）**

1. 在控制器发出的信号中，相斥的信号是不能同时出现的。 (√ )

2. 奇偶校验码能发现和纠正数据代码传输的错误。 (× )

3. 浮点数加减法运算，对阶操作采用将小阶码调整到大阶码上去。 (√ )

4. 前后指令如果存在数据相关，可能会导致流水线的阻塞。 (√ )

5. 指令周期通常由多个机器周期构成 (√ )

6. 译码器的输出端是可以同时多根有效的。 (× )

7. 微程序控制器执行指令的速度通常比硬布线要慢。 (√ )

8. 触摸屏既是输入设备也是输出设备。 (√ )

9. 存储器分层结构中，Cache的访问速度比主存要快。 (√ )

10. 存储器都是按地址访问存储单元的}{+-‘【【【【【【【【【【【】】】】】】】】】】】】】】】】】】】】】】】】】】】】】。 (× )

**三、填空题（共20分，每空2分）**

1. 已知X= -0.0110000，则[X]原为 (1) ，[X]补为 (2)

[X]反为 (3) 。

参考答案：1.0110000、1.1010000，1.1001111，

1. 流水线中存在 （4） 、 （5） 、 （6） 三种相关性。

参考答案：数据相关、控制相关、资源相关 （次序任意）

3. 设有8位信息码01010101，则最高位增设偶校验位后的代码为 （7） 。

参考答案：001010101

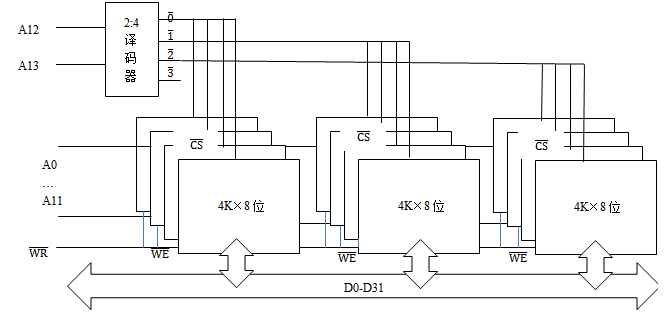
4. 计算机内部通过总线进行通信，其中，总线可细分为 （8） 、 （9） 、 （10） 三类总线。

参考答案：地址总线、数据总线、控制总线（次序任意）

**四、绘图题（10分）**

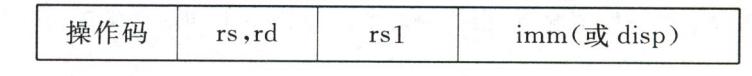
用4K\*8的存储器芯片构成16k\*32位的存储器，共需多少片？若CPU地址线有14根，数据线有32根，信号线有读写控制信号R/W\*、访存信号MREQ\*，存储器芯片的控制信号有CS\*和WE\*，请画出此存储器与CPU的连线图。

解：数据线：1分，地址线：2分，译码线2分，读写控制信号线和访存信号线1分，字位扩展正确4分

t

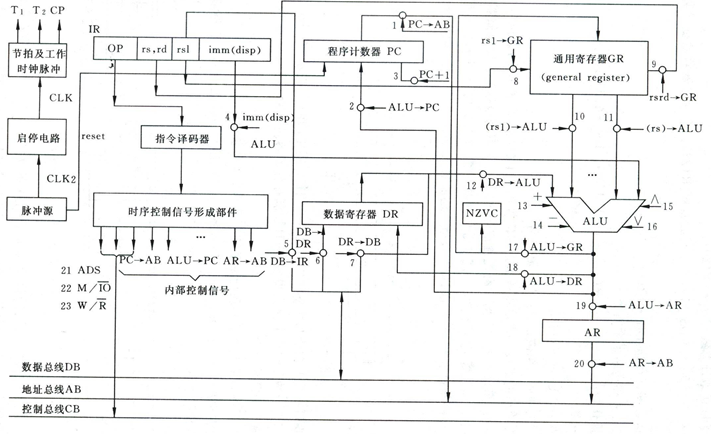
**五、分析题（10分）**

设某计算机运算控制器逻辑图如下所示，指令格式为：



试分析下面指令的执行需要几个微指令阶段？并请指出每个阶段所需要的控制信号。

Load指令 ；从（rs1）+disp指示的内存单元里取数，送rs保存。



解：评分中，同一个微指令周期中，信号的节拍先后，不做要求

一共需要4个微指令阶段。（2分）

（1）取指令（1分）

控制信号：PC→AB，ADS，M/，W/，PC+1，DB→IR（1分）

（2）计算地址（1分）

控制信号：rs1→GR,（rs1）→ALU，disp→ALU，+，ALU→AR （1分）

（3）从存储器中取数（1分）

控制信号：AR→AB, ADS, W/R = 0, M/IO = 1, DB→DR （1分）

1. 将结果存入寄存器（1分）

控制信号：rs→GR, DR→ALU, + , ALU→GR, 置N、Z、V、C （1分）

**六、计算题（20分，每小题10分）**

1. 用补码一位乘法规则，计算x\*y的值，已知x= -0.1101,y= 0.1011

2. 设某计算机的Cache采用组相联映像，已知Cache由64个存储块构成，每组包括4个块。主存有4096个存储块，每个块有128个字组成，访存地址为字地址。请计算：

（1）Cache地址多少位？主存地址多少位？（按字编址）

（2）主存地址中各字段如何划分？（求区号、组号、块号和块内字地址的位数）。Cache地址各字段如何划分？

（3）若Cache的存取时间为8ns，主存的存取时间是Cache的10倍，Cache的命中率为90%，求平均存取时间？

解：（1）Cache地址为13位，主存地址为19位 （2分）

（2）主存各字段的划分如下： （4分）

|  |  |  |
| --- | --- | --- |
| 主存字块标记8位 | 组号4位 | 块内地址7位 |

或者如下：

|  |  |  |  |
| --- | --- | --- | --- |
| 主存高位字段（区号）6 | 组号4位 | 组内块号2位 | 块内地址7位 |

Cache地址各字段划分如下： （2分）

|  |  |  |
| --- | --- | --- |
| 组号4位 | 组内块号2位 | 块内地址7位 |

1. =8ns\*90%+(10\*8ns+8ns)\*10%=16ns （2分）