



**Министерство науки и высшего образования Российской Федерации**

**Федеральное государственное бюджетное образовательное  
учреждение высшего образования  
«Московский государственный технический  
университет имени Н.Э. Баумана  
(национальный исследовательский  
университет)» (МГТУ им. Н.Э. Баумана)**

## Лабораторная Работа №2 «Дешифраторы»

Студент **Шахнович Дмитрий Сергеевич**

Группа **ИУ7-42Б**

Название предприятия **НУК ИУ МГТУ им. Н. Э. Баумана**

Студент Шахнович Д.С.

Оценка \_\_\_\_\_

2024 г.

**Цель работы:** изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

1. Исследование линейного двухвходового дешифратора с инверсными выходами:

Линейный стробируемый дешифратор на элементах И-НЕ:

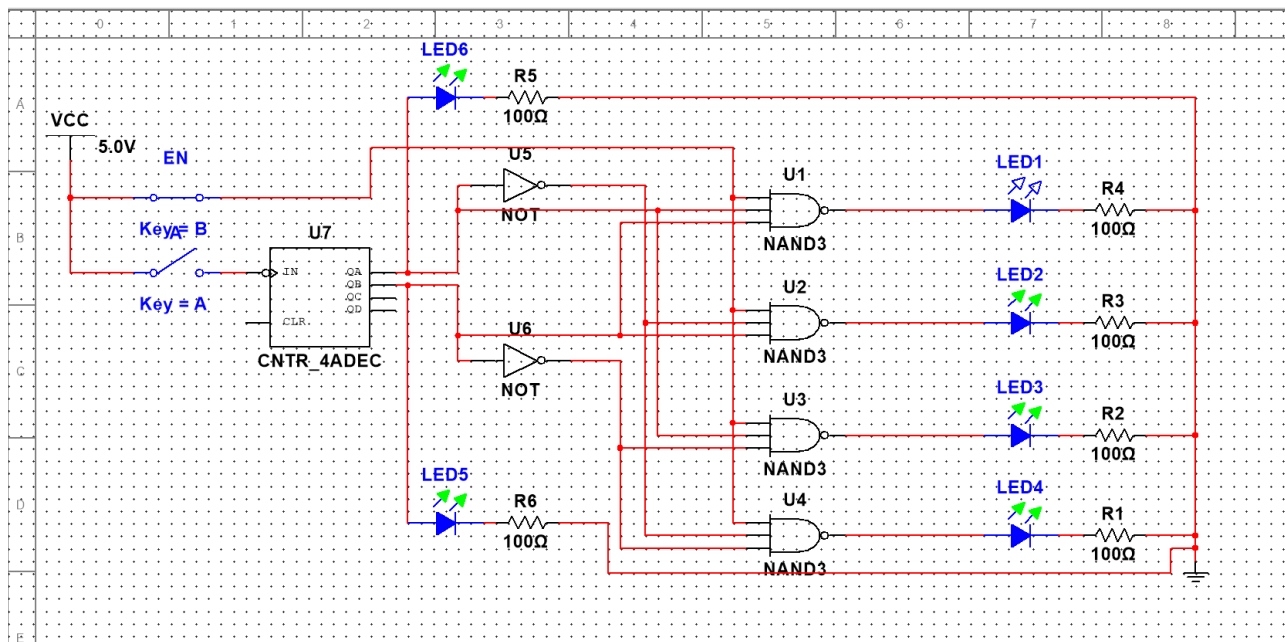
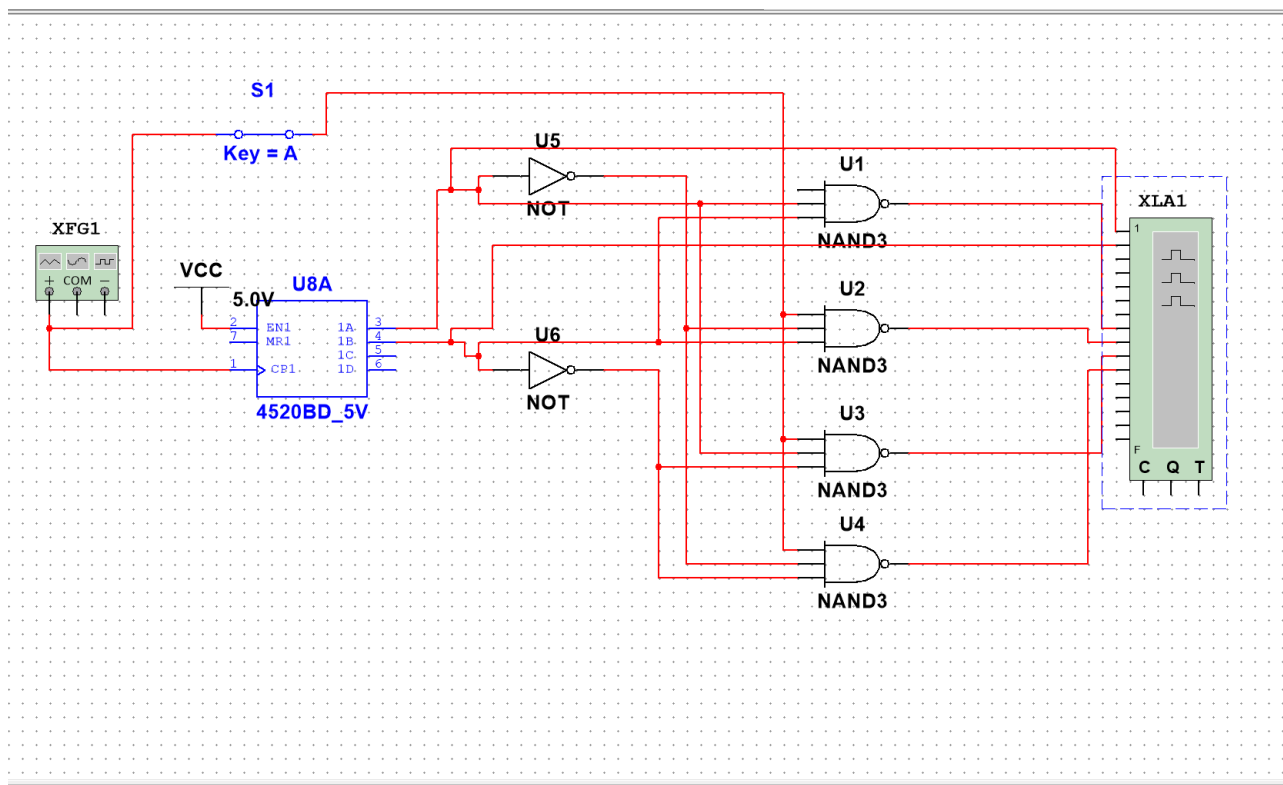
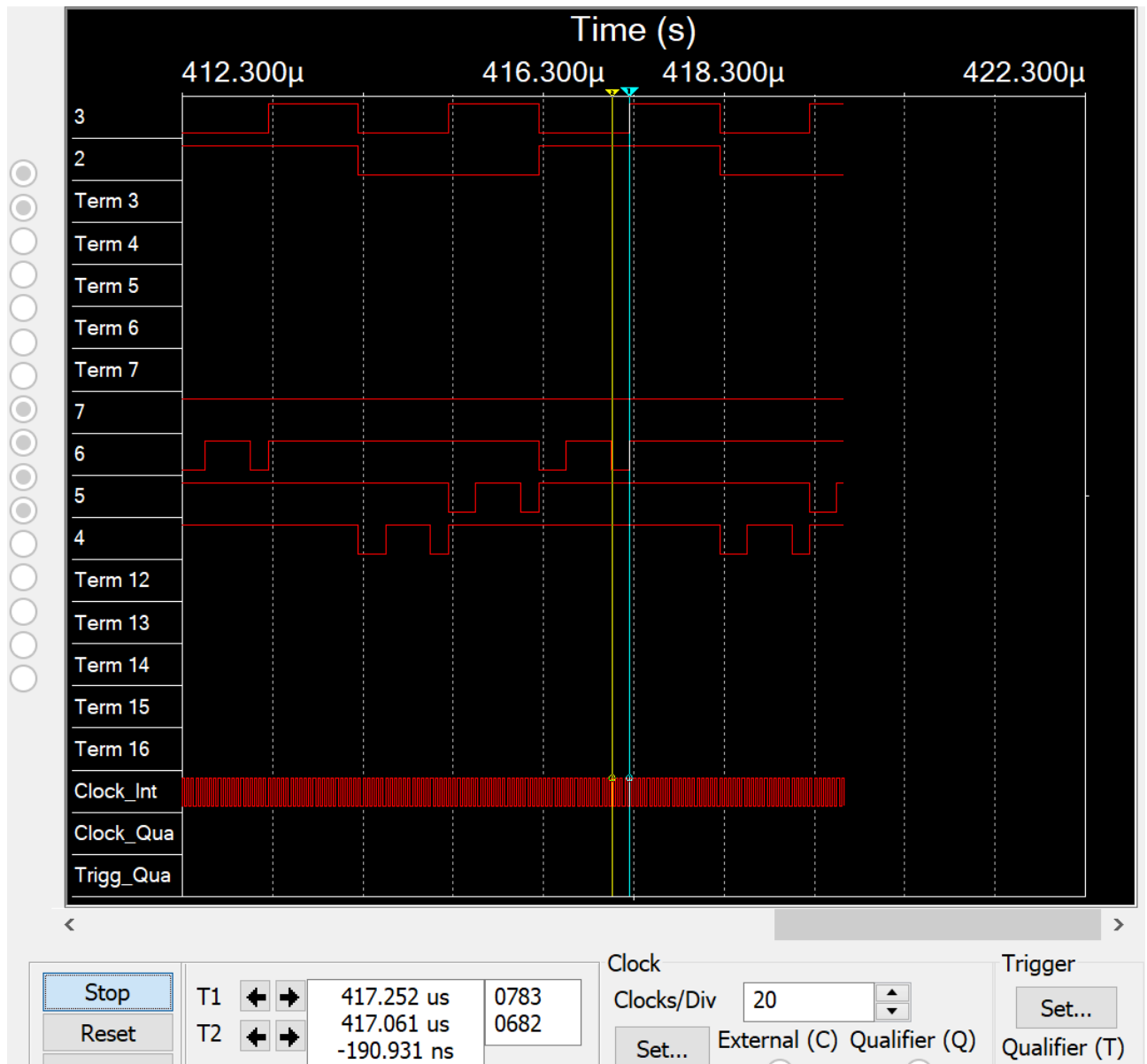


Таблица истинности:

EN	A1	A2	F1	F2	F3	F4
0	x	x	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

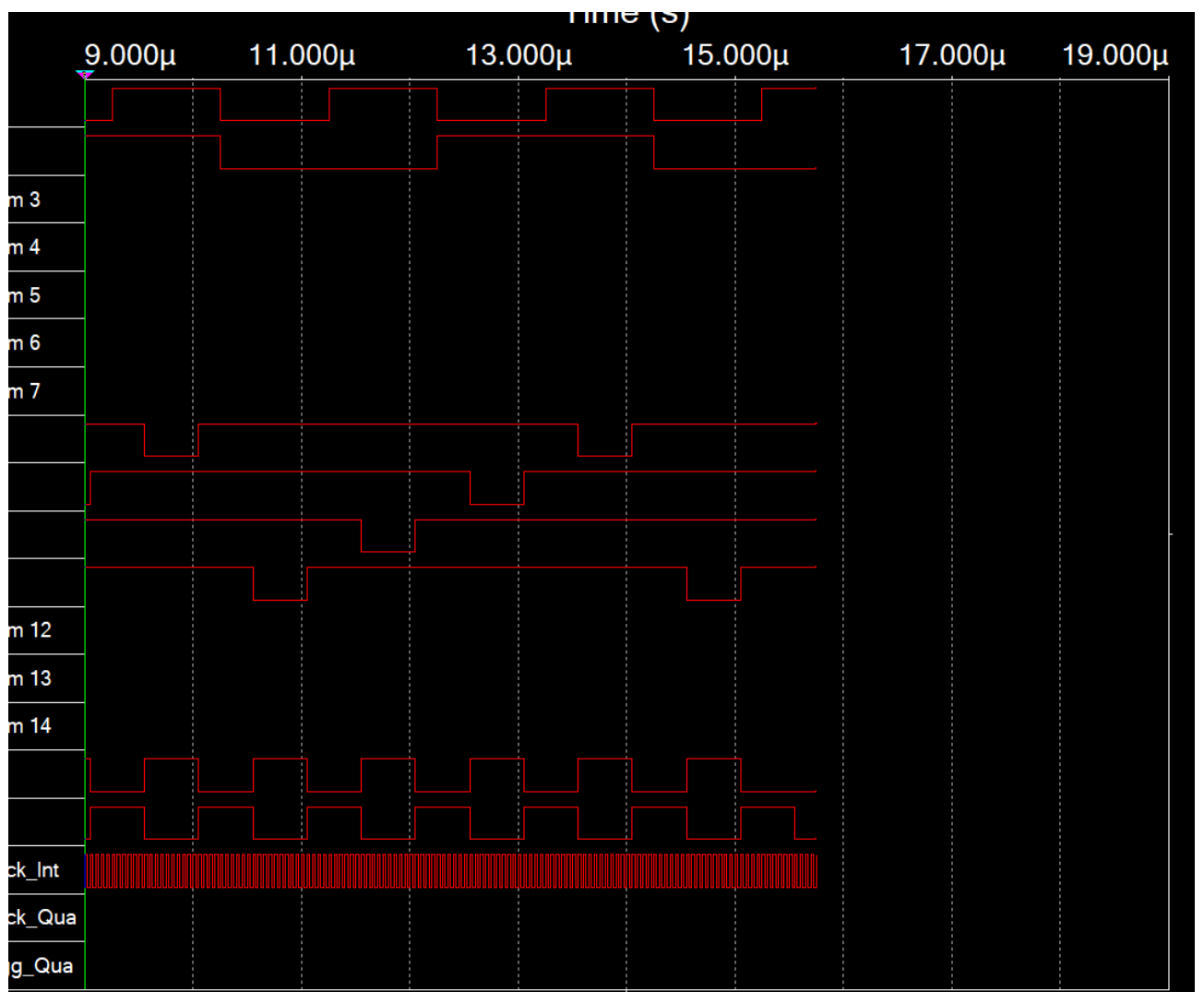
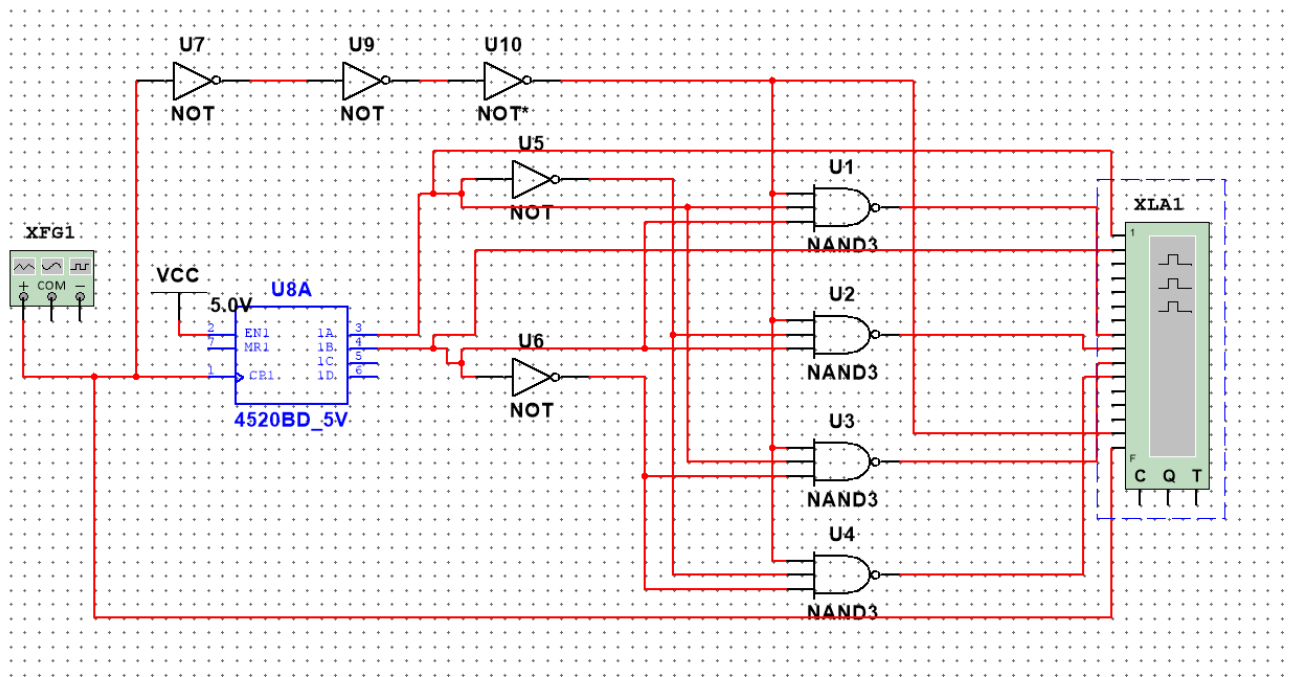
## Временная диаграмма дешифратора с генератором:





Длительность помех в данном случае: 190 нс

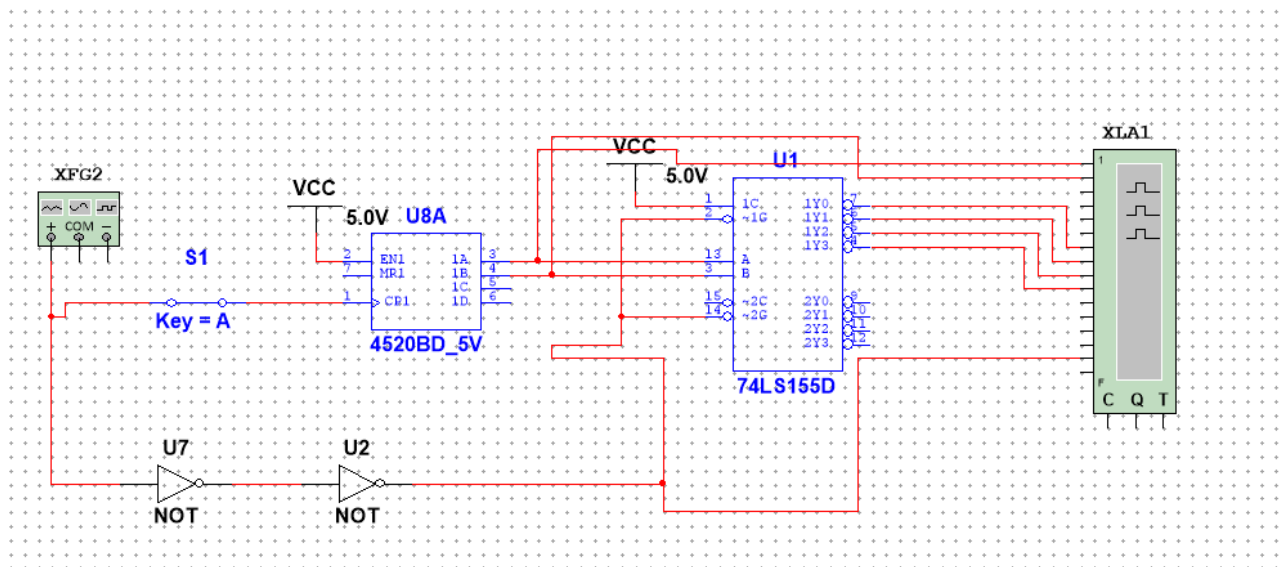
Дешифратор стробируемый инверсным сигналом генератора:



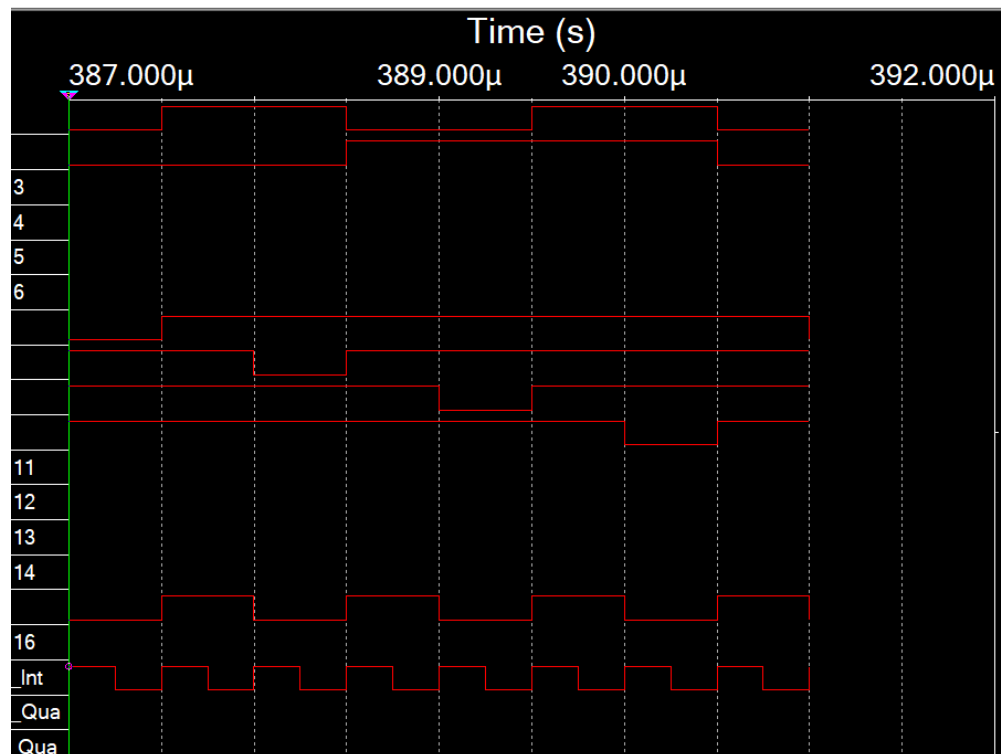
Как видно в данном случае помех не наблюдается, поэтому в данном случае время задержки для устранения помех — 3 нс(1 нс — задержка одного элемента не).

## 2. Исследование дешифраторов ИС K155ИД4 (74LS155)

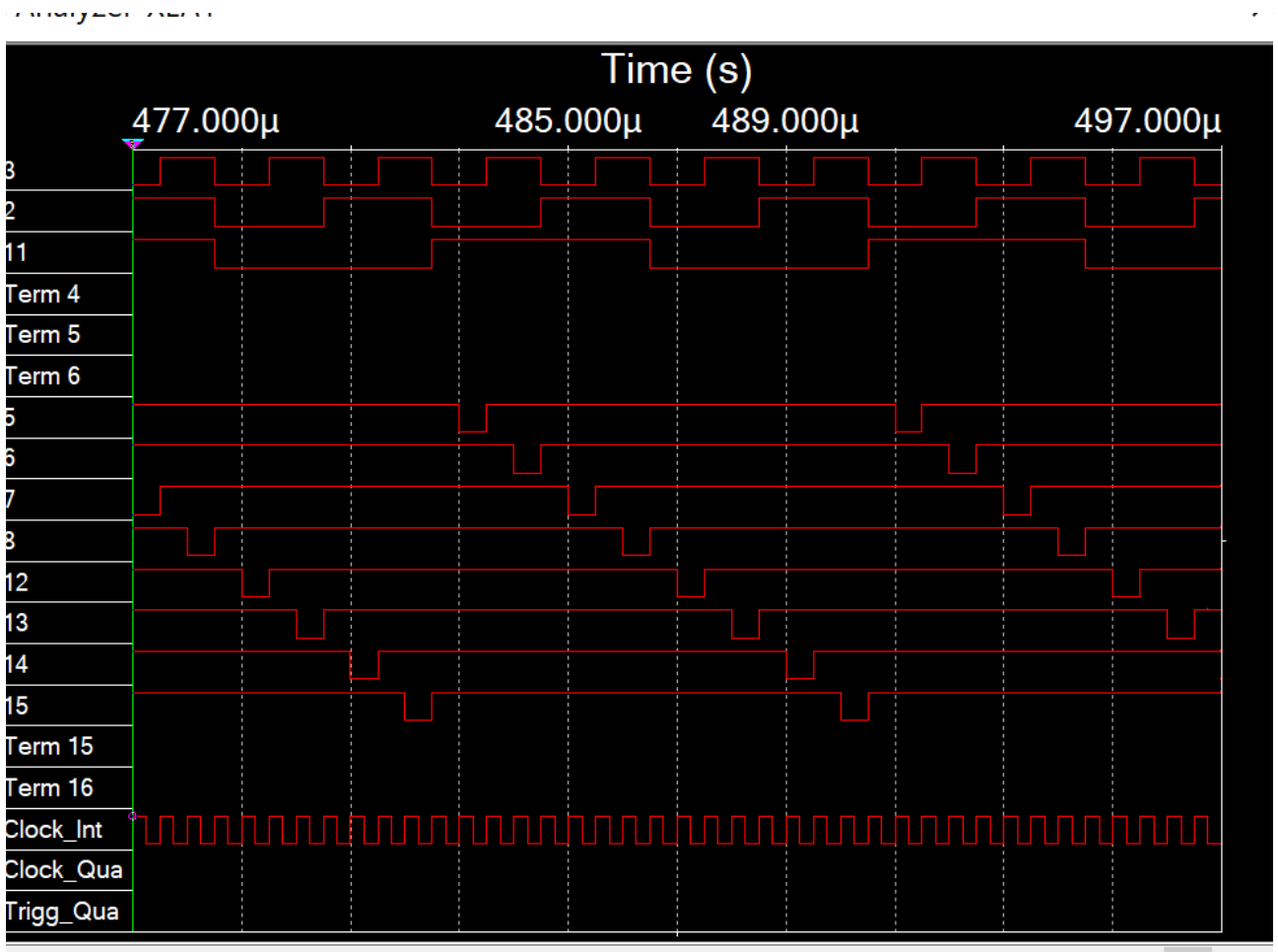
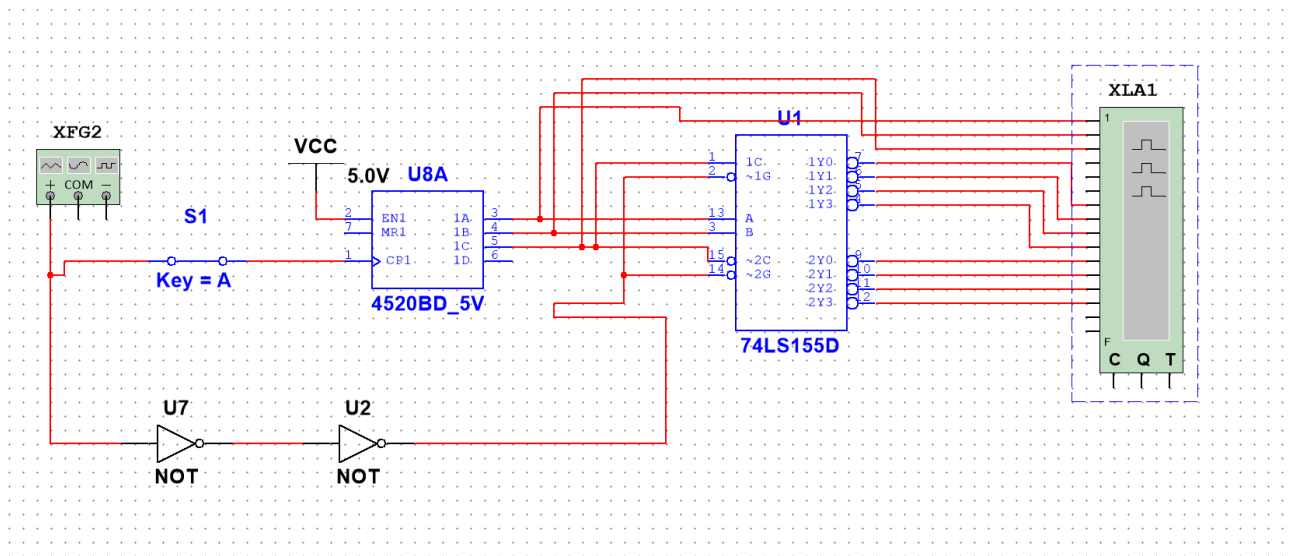
Схема ИС K155ИД4 с стробирующим генератором:



alyzer-XLA1



## Схема трёхвходового дешифратора:



Q0	Q1	Q2	A0	A1	A2	A3	A4	A5	A6	A7
0	0	0	1	1	1	1	0	1	1	1

0	0	1	1	1	1	1	1	0	1	1
0	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1
1	1	0	1	1	0	1	1	1	1	1
1	1	1	1	1	1	0	1	1	1	1

### 3. Исследование дешифраторов ИС КР531ИД14 (74LS139)

3-входной дешифратор на основе 74LS139:

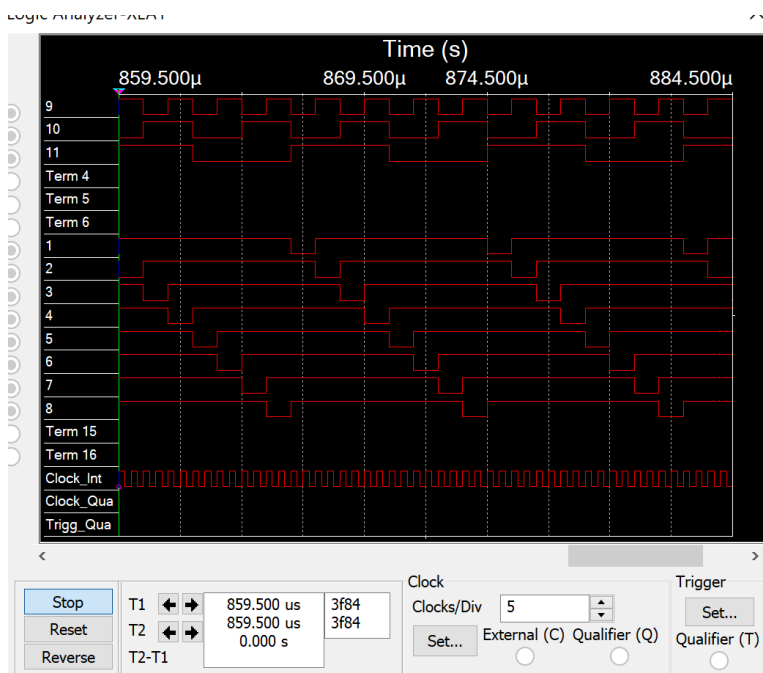
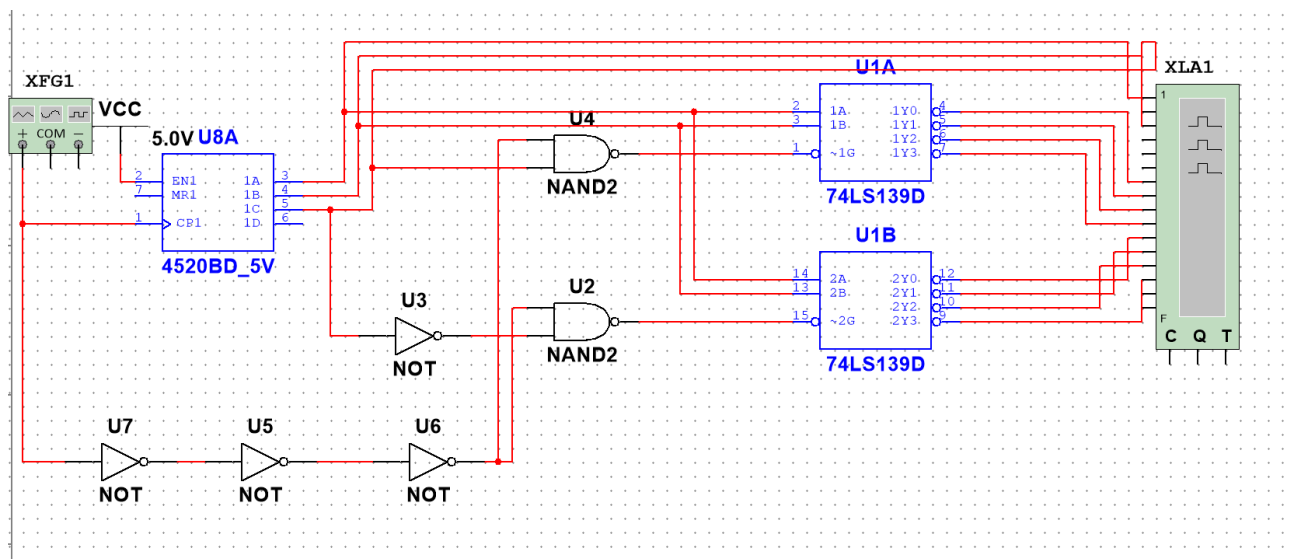
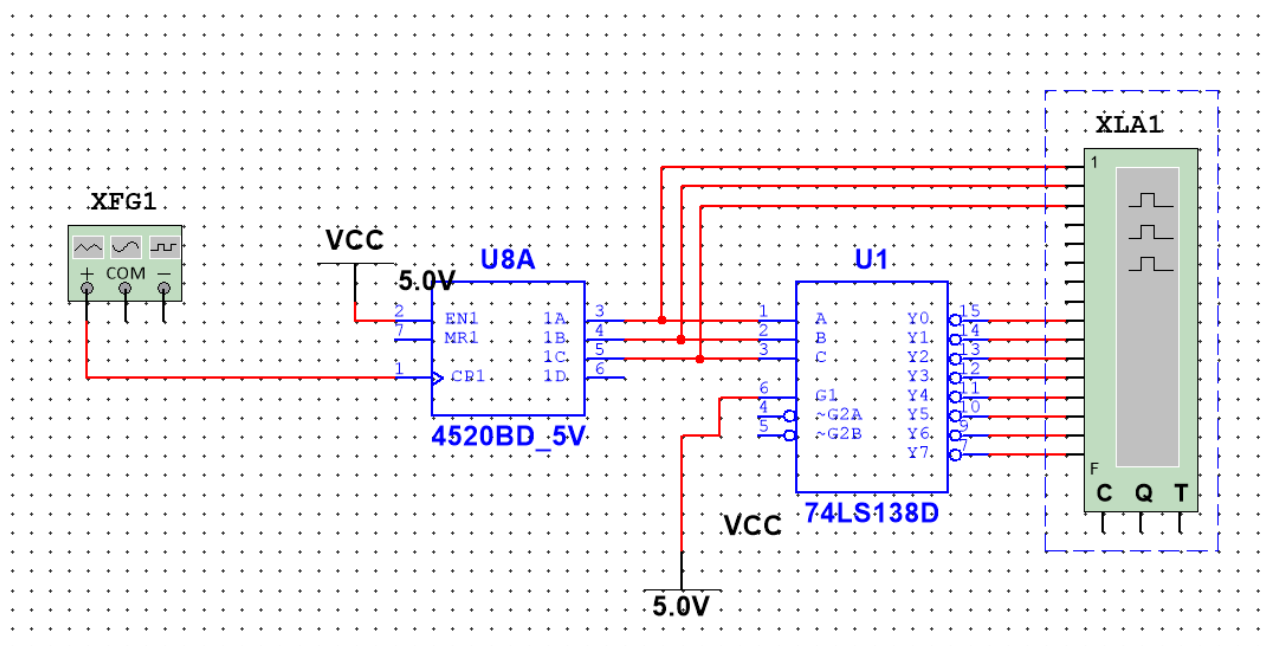


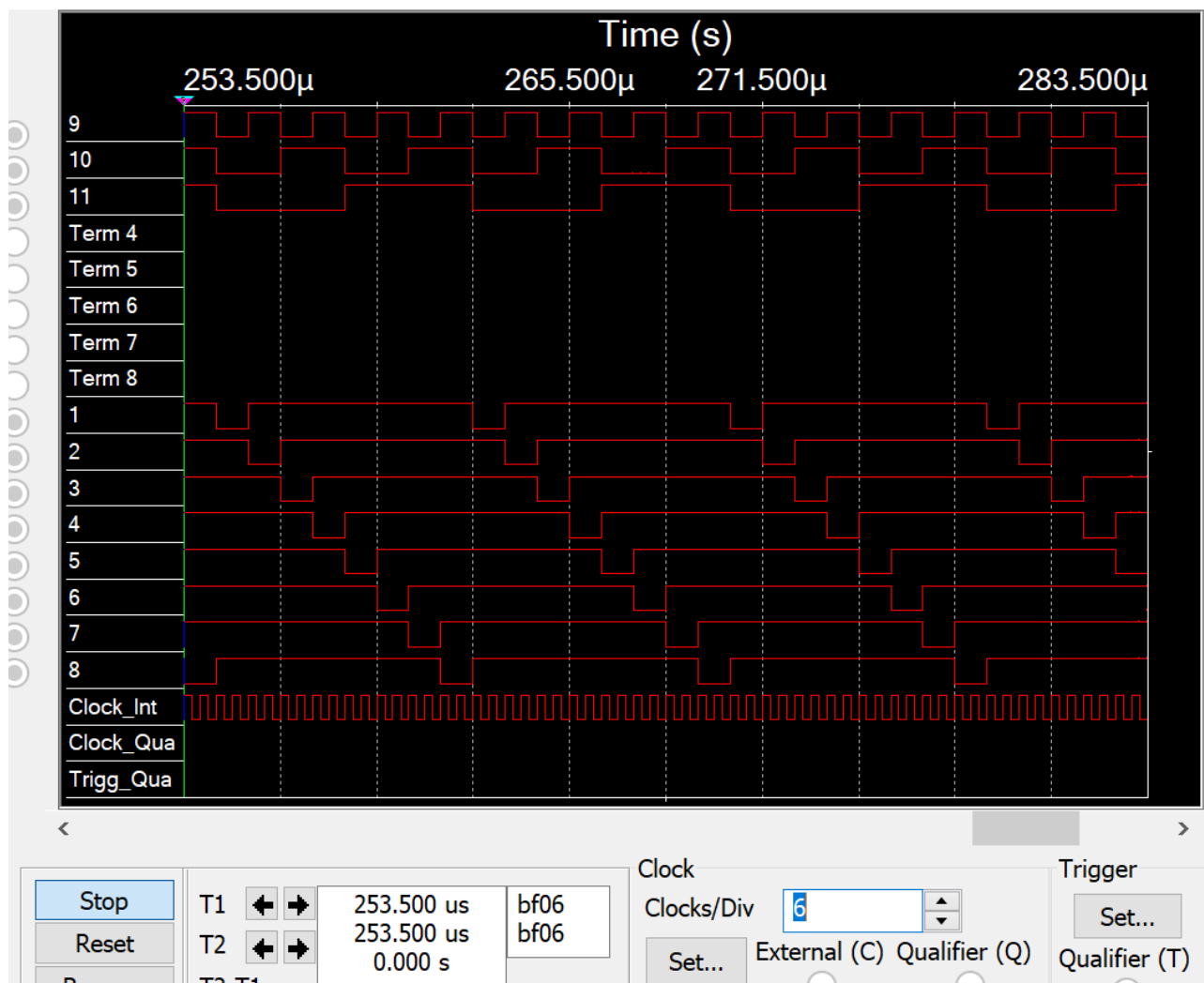
Таблица дешифратора:



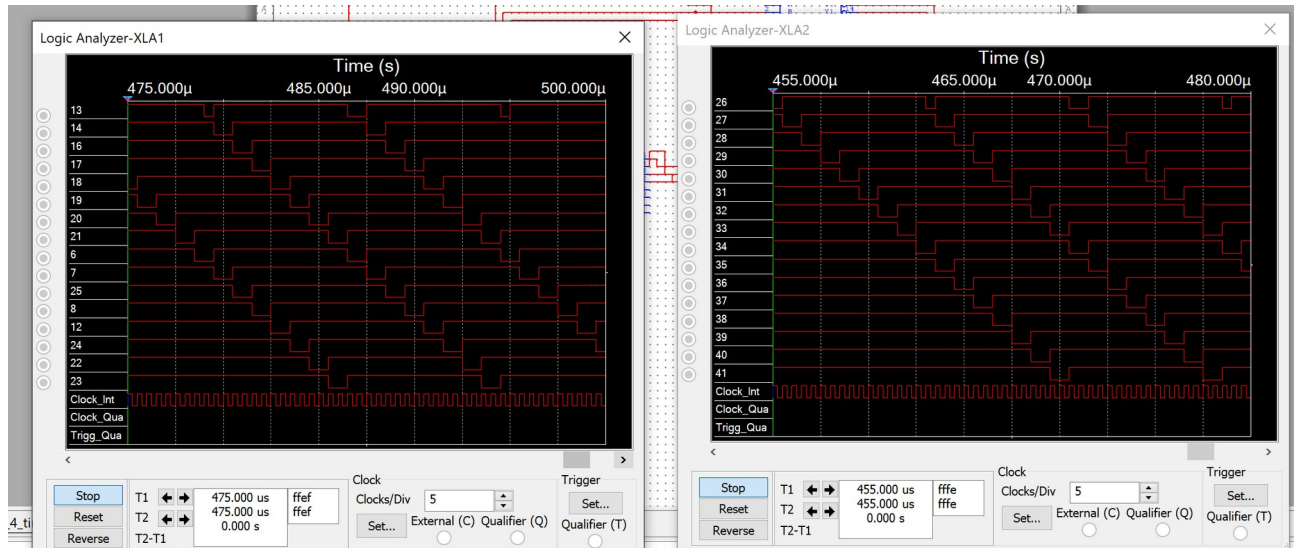
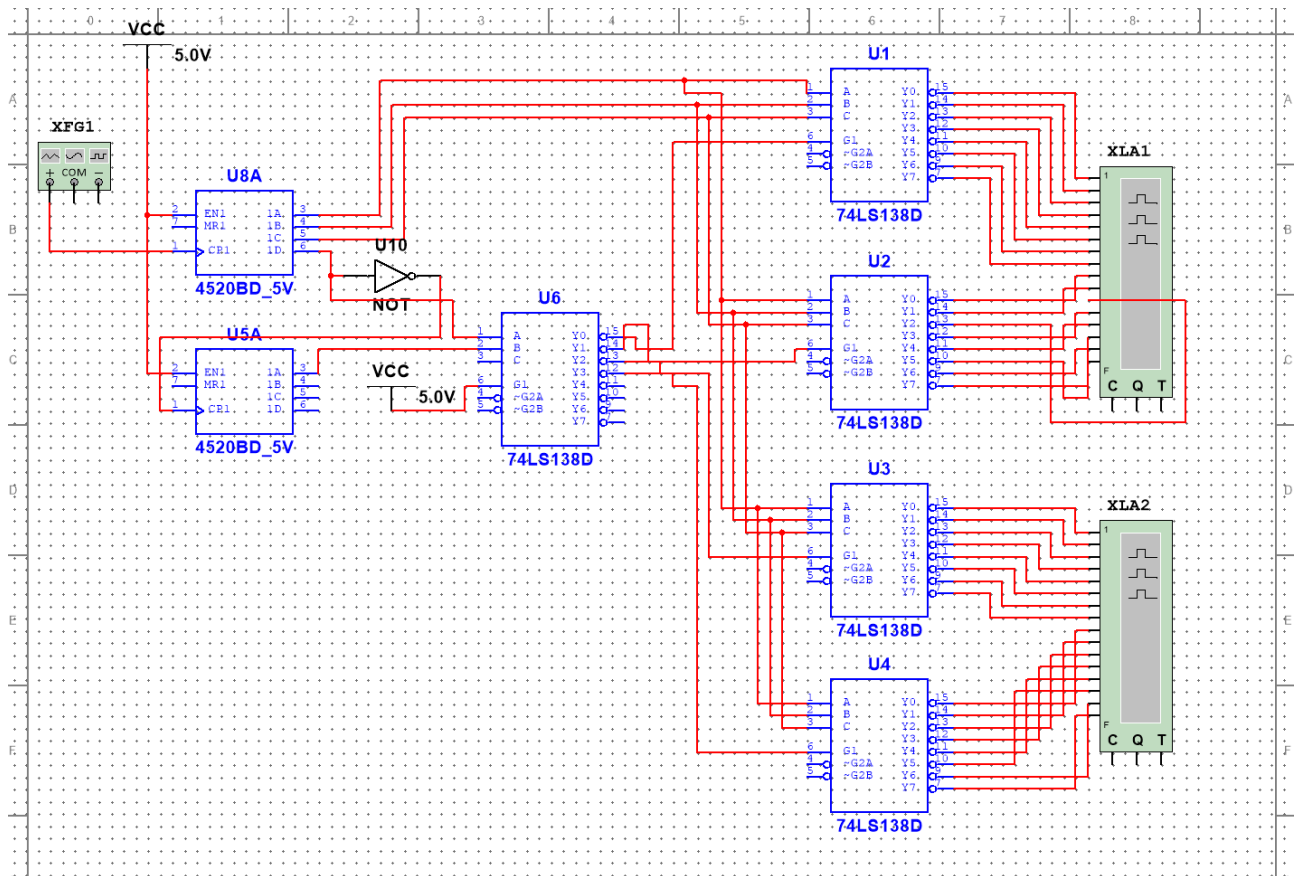
Q0	Q1	Q2	A0	A1	A2	A3	A4	A5	A6	A7
0	0	0	1	1	1	1	0	1	1	1
0	0	1	1	1	1	1	1	0	1	1
0	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1
1	1	0	1	1	0	1	1	1	1	1
1	1	1	1	1	1	0	1	1	1	1

#### 4. Исследовать работоспособность дешифраторов ИС 53ЗИД7 (74LS138)





Дешифратор 5-32 на 74ls138:



## Контрольные вопросы

1. Что называется дешифратором?

Дешифратор – комбинационный узел с  $n$  входами и  $N$  выходами, преобразующий каждый набор двоичных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

В дешифраторе с  $n$  входами и  $N$  выходами  $N \leq 2^n$ . Дешифратор, имеющий  $2^n$  выходов, называется полным, при меньшем числе выходов – неполным

3. Определите закон функционирования дешифратора аналитически и таблично

Функционирование дешифратора  $DC\ n - N$  определяется таблицей истинности:

Входы							Выходы					
$EN$	$A_{n-1}$	$A_{n-2}$	$A_{n-3}$	...	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	...	$F_{N-2}$	$F_{N-1}$
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

Аналитически описать дешифратор можно совокупностью логических функций в СДНФ:



приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора  $DC\ n - N$  используются простые дешифраторы  $DC\ n_1 - N_1$ , причем  $n_1 \ll n$ , следовательно и  $N_1 \ll N$ .

1) Число каскадов равно  $= n/n_1$ . Если  $K$  – целое число, то во всех каскадах используются полные дешифраторы  $DC\ n_1 - N_1$ . Если правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор  $DC\ n_1 - N_1$ .

2) Количество простых дешифраторов  $DC\ n_1 - N_1$  в выходном каскаде равно  $N/N_1$ , в предвыходном –  $N/N_1$ , в предпредвыходном –  $N/N_1$  и т.д.; во входном каскаде –  $N/N_1$ . Если  $N/N_1$  – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор. 3) В выходном каскаде дешифрируются  $n_1$  младших разрядов адреса сложного дешифратора, в предвыходном – следующие  $n_1$  младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому  $n_1$  младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие  $n_1$  младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4) Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов

предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и тд.