



Министерство науки и высшего образования Российской Федерации

**Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический
университет имени Н.Э. Баумана
(национальный исследовательский
университет)» (МГТУ им. Н.Э. Баумана)**

Лабораторная Работа №5 «Мультиплексоры»

Студент **Шахнович Дмитрий Сергеевич**

Группа **ИУ7-42Б**

Название предприятия **НУК ИУ МГТУ им. Н. Э. Баумана**

Студент Шахнович Д.С.

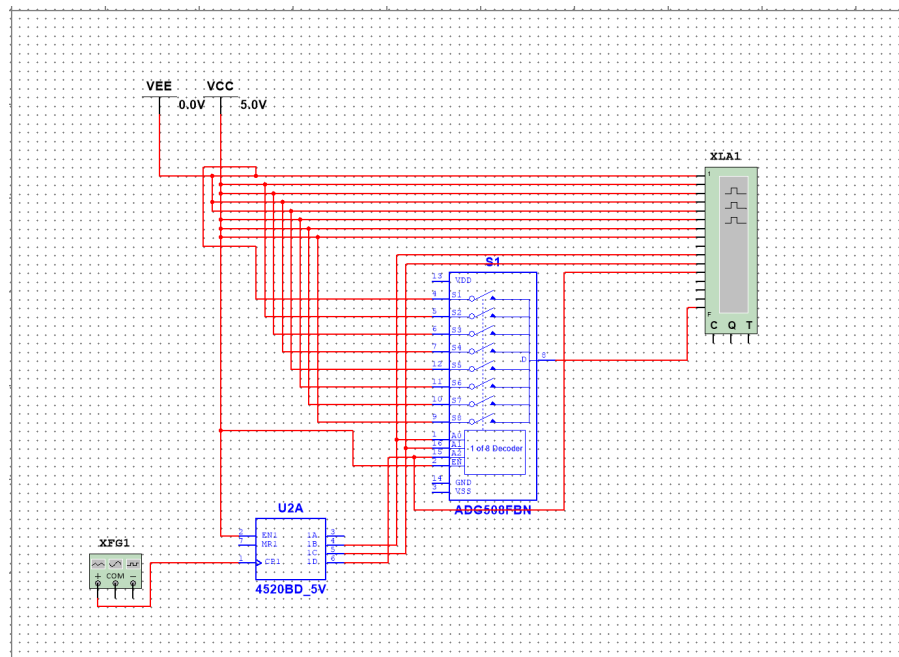
Оценка _____

2024 г.

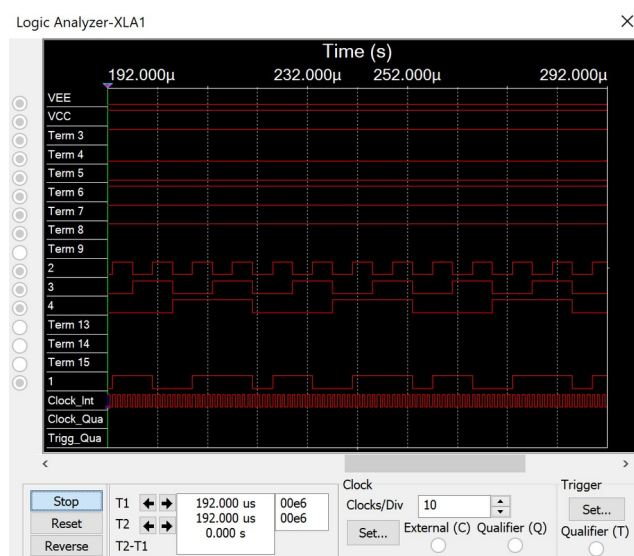
Цель работы – изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

Комбинация сигналов D₀-D₇(Вар. 20): 01100111

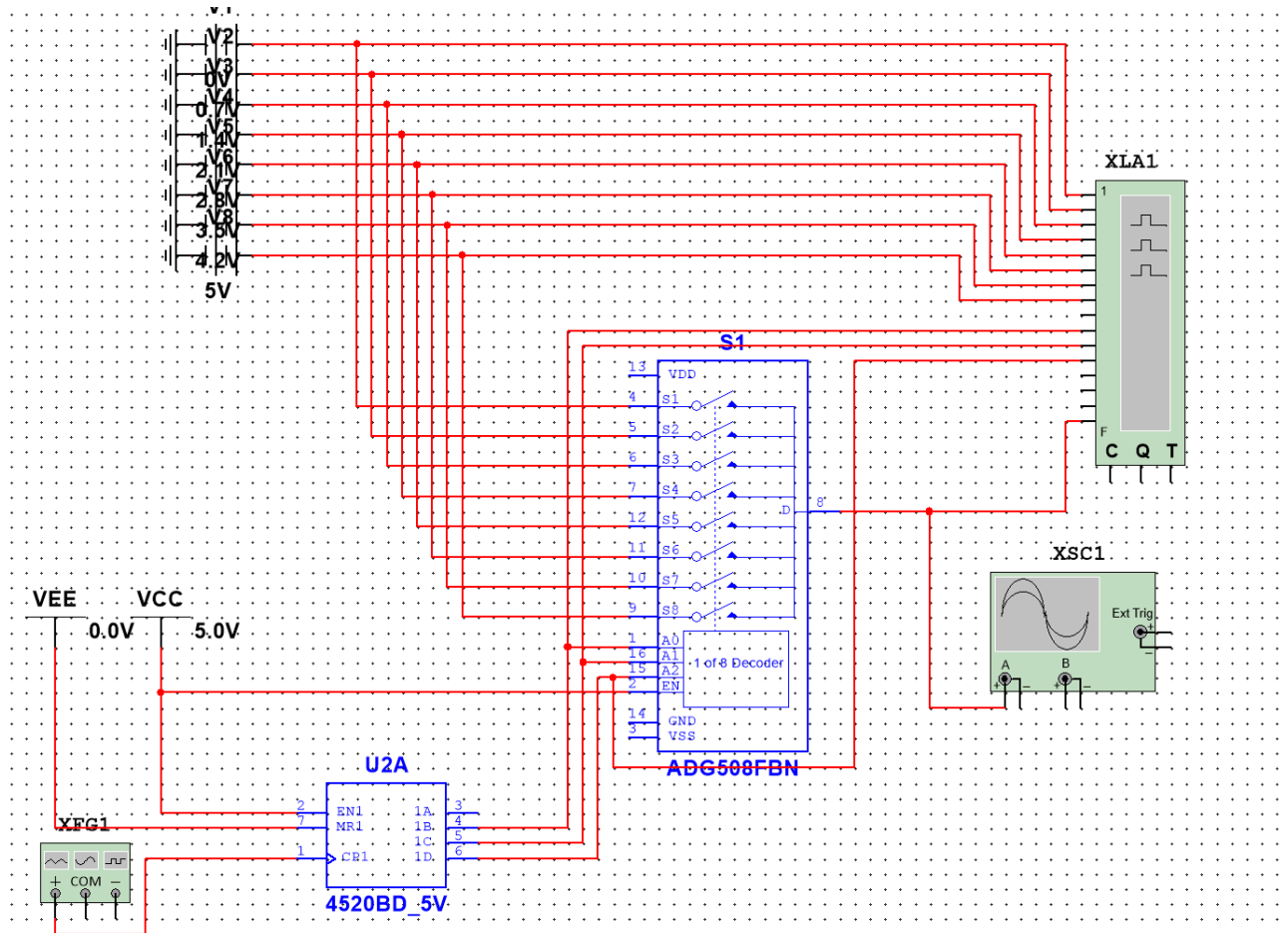


Как видно на выходе мультиплексора появляются заданные значения в зависимости от комбинации счётчика:

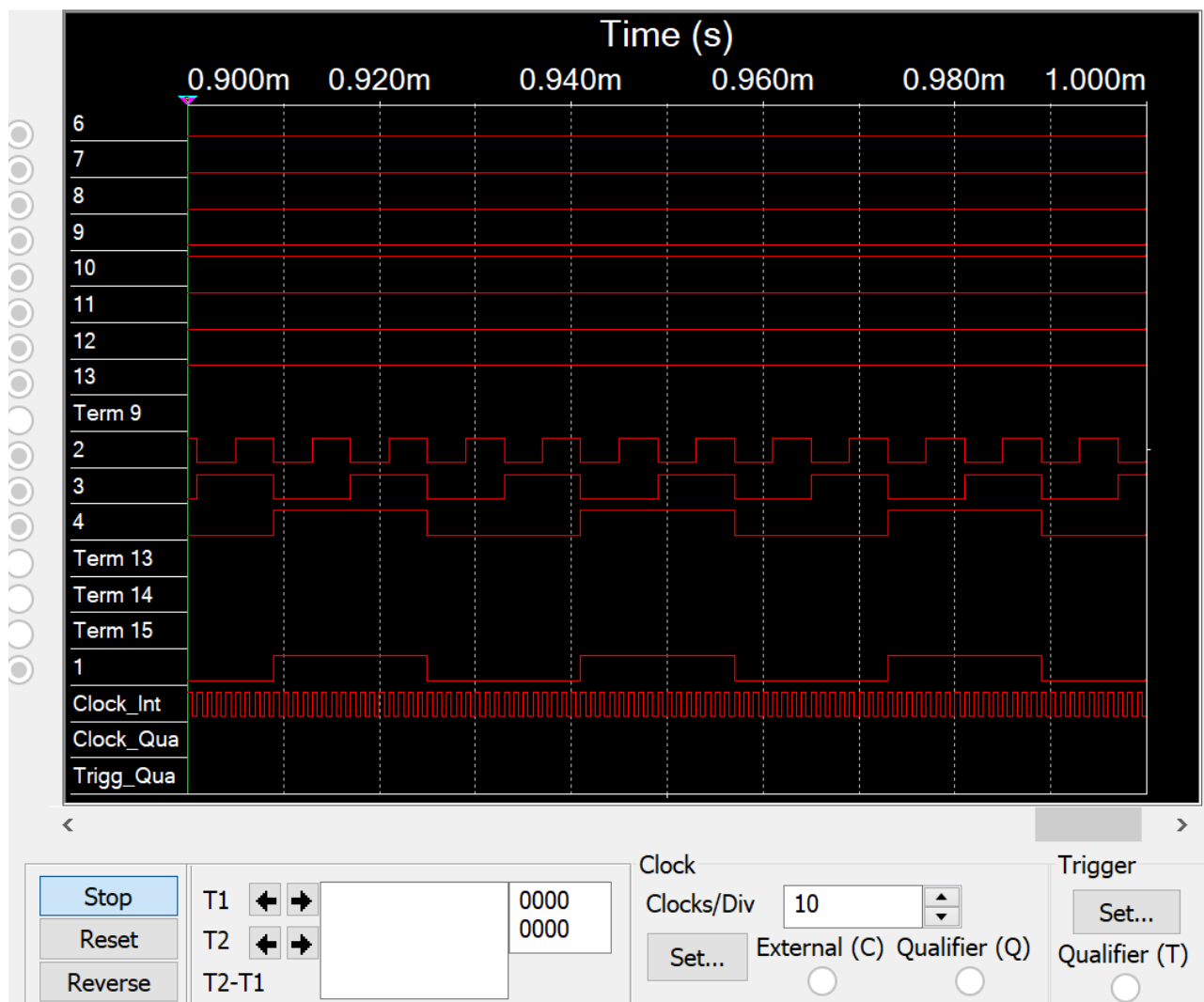


2. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

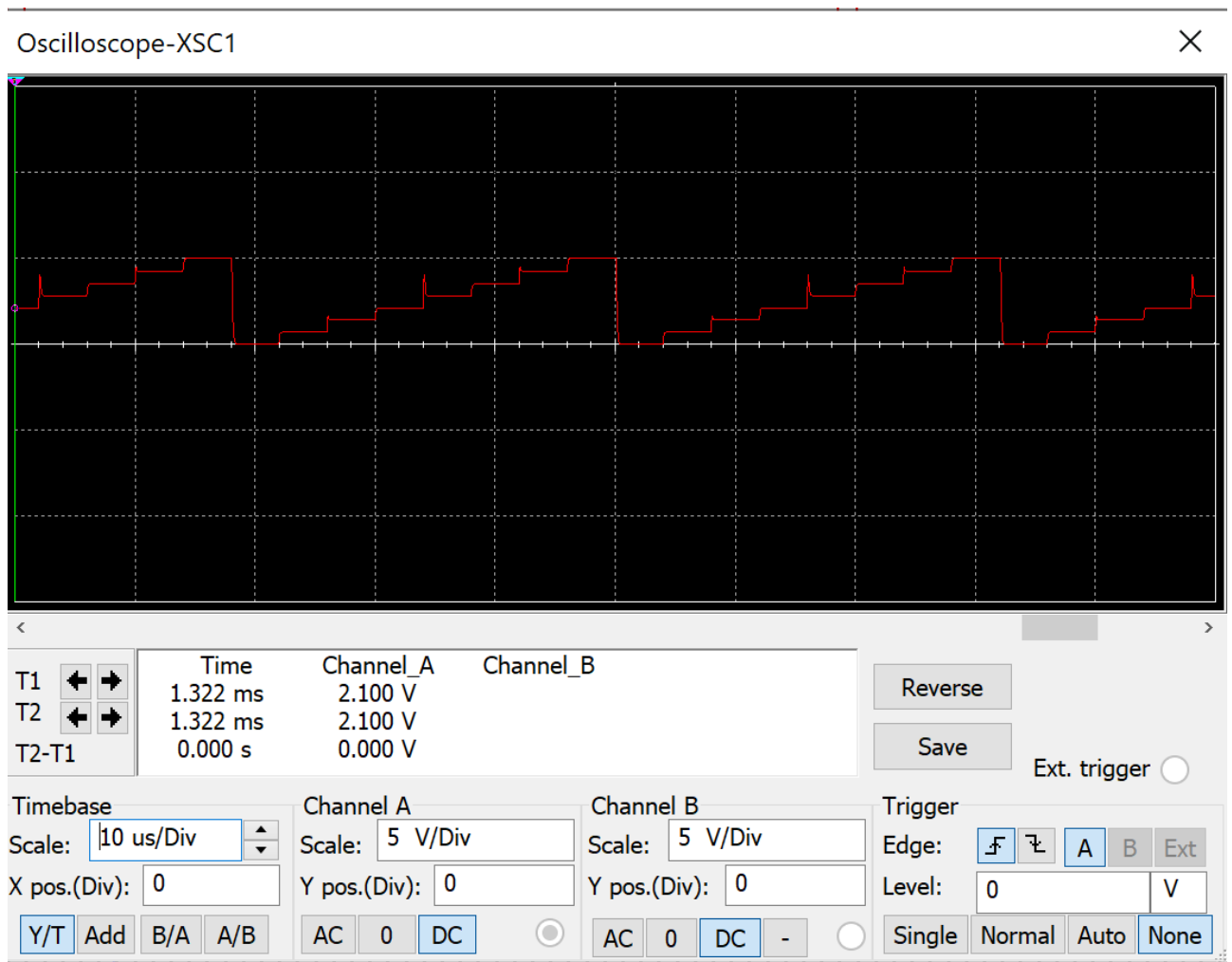
Подадим на входы мультимплексора напряжения 0, 0.7, 1.4, 2.1, 2.8, 3.5, 4.2, 5 В



С точки зрения логического анализатора напряжение выше 2.8 считаются 1:



А на осциллографе можно заметить, что выход мультиплексора имеет не дискретное значение, а зависит от уровня входного напряжения на соответствующем входе:



3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных.

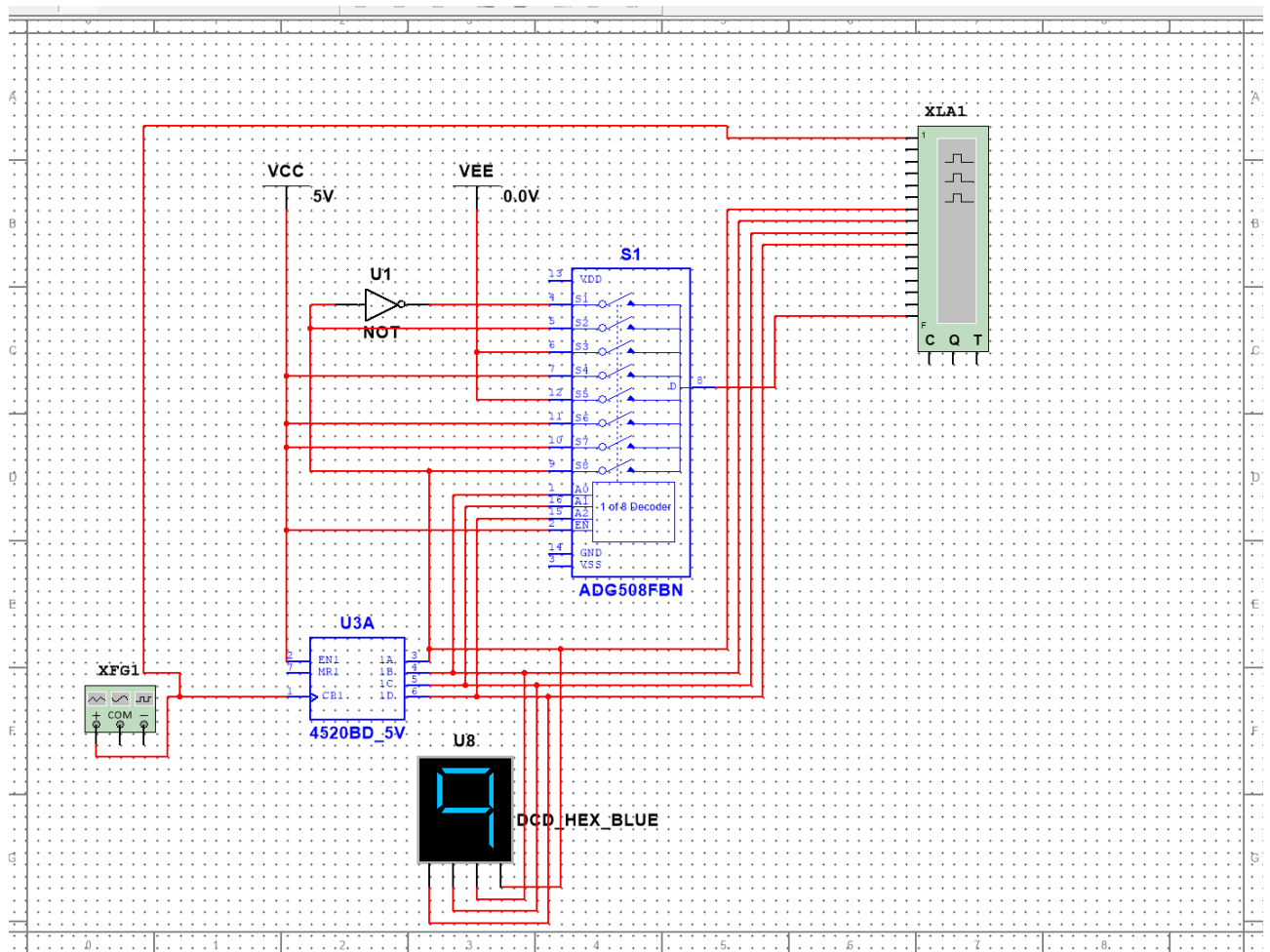
Фал моего варианта(20): 0, 3, 6, 7, 10, 11, 12, 13, 15

Составим таблицу для значений на входах мультиплексора относительно переменных:

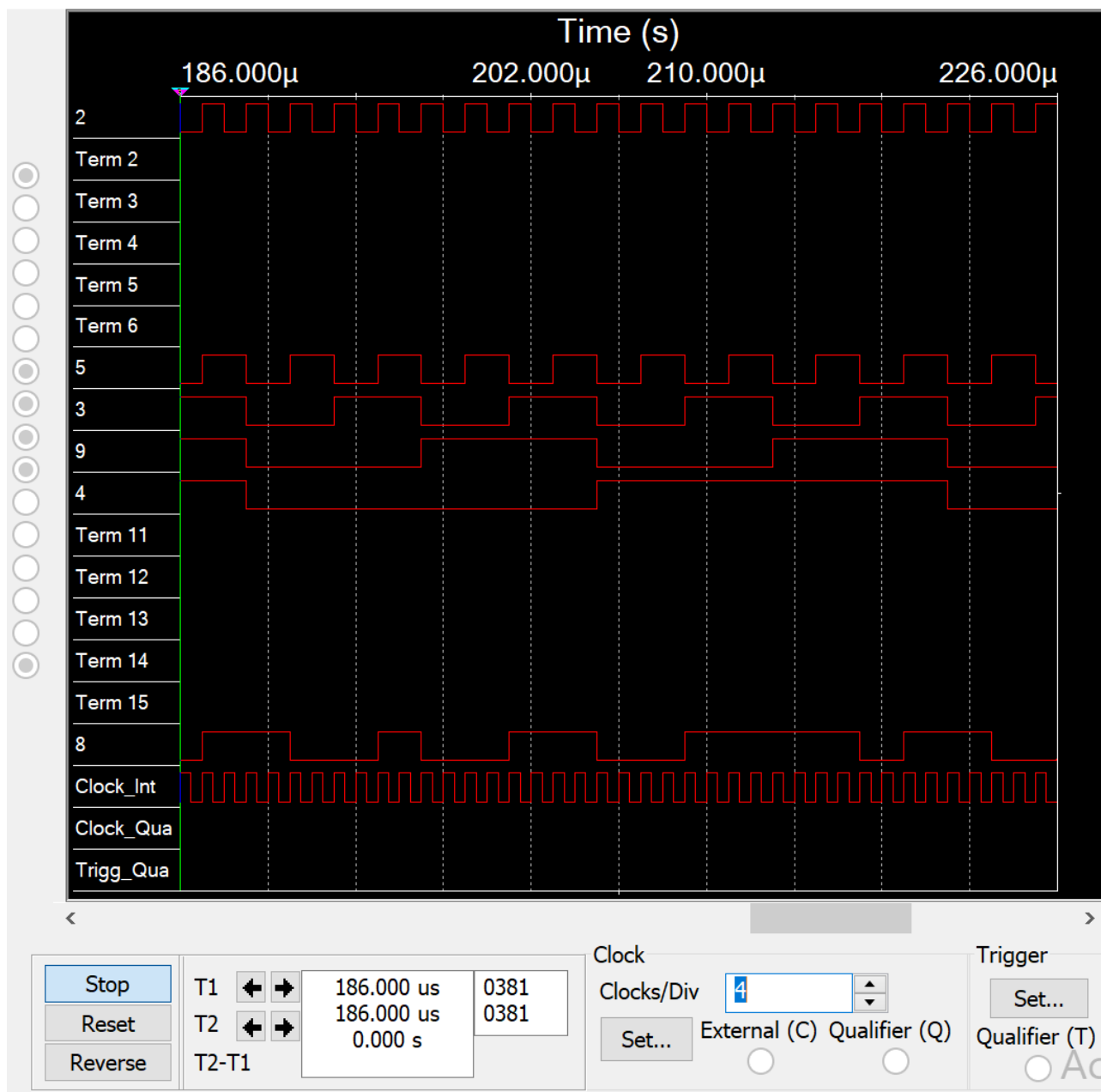
N_0	X_4	X_3	X_2	X_1	f	D
0	0	0	0	0	1	$D_0 = \text{not } X_1$
1	0	0	0	1	0	
2	0	0	1	0	0	$D_1 = X_1$
3	0	0	1	1	1	
4	0	1	0	0	0	$D_2 = 0$
5	0	1	0	1	0	
6	0	1	1	0	1	$D_3 = 1$
7	0	1	1	1	1	
8	1	0	0	0	0	$D_4 = 0$

9	1	0	0	1	0	
10	1	0	1	0	1	$D_5 = 1$
11	1	0	1	1	1	
12	1	1	0	0	1	$D_6 = 1$
13	1	1	0	1	1	
14	1	1	1	0	0	$D_7 = X_1$
15	1	1	1	1	1	

Составим схему по данной табличке в динамическом режиме:



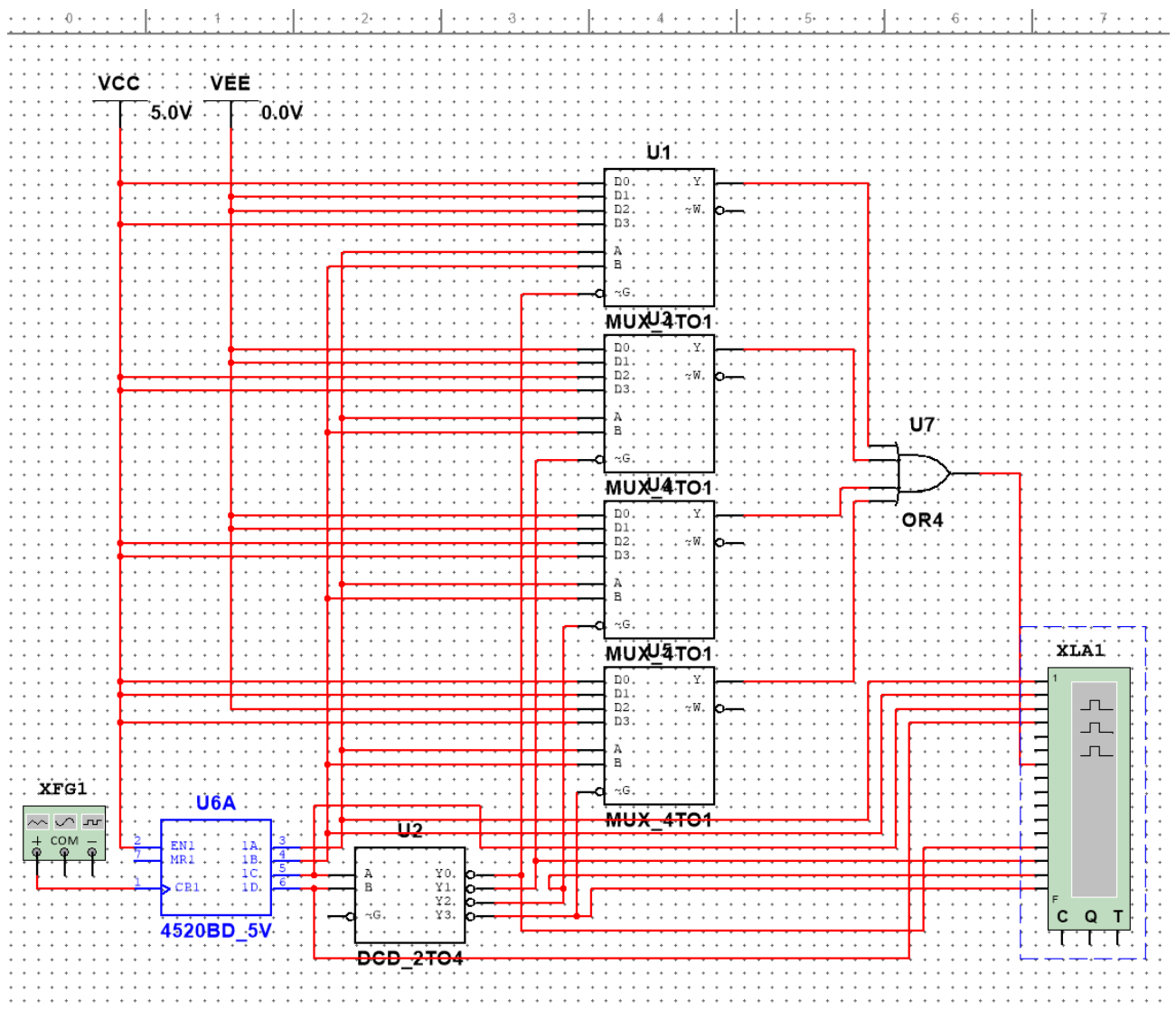
Полученная картина соответствует требуемой функции:



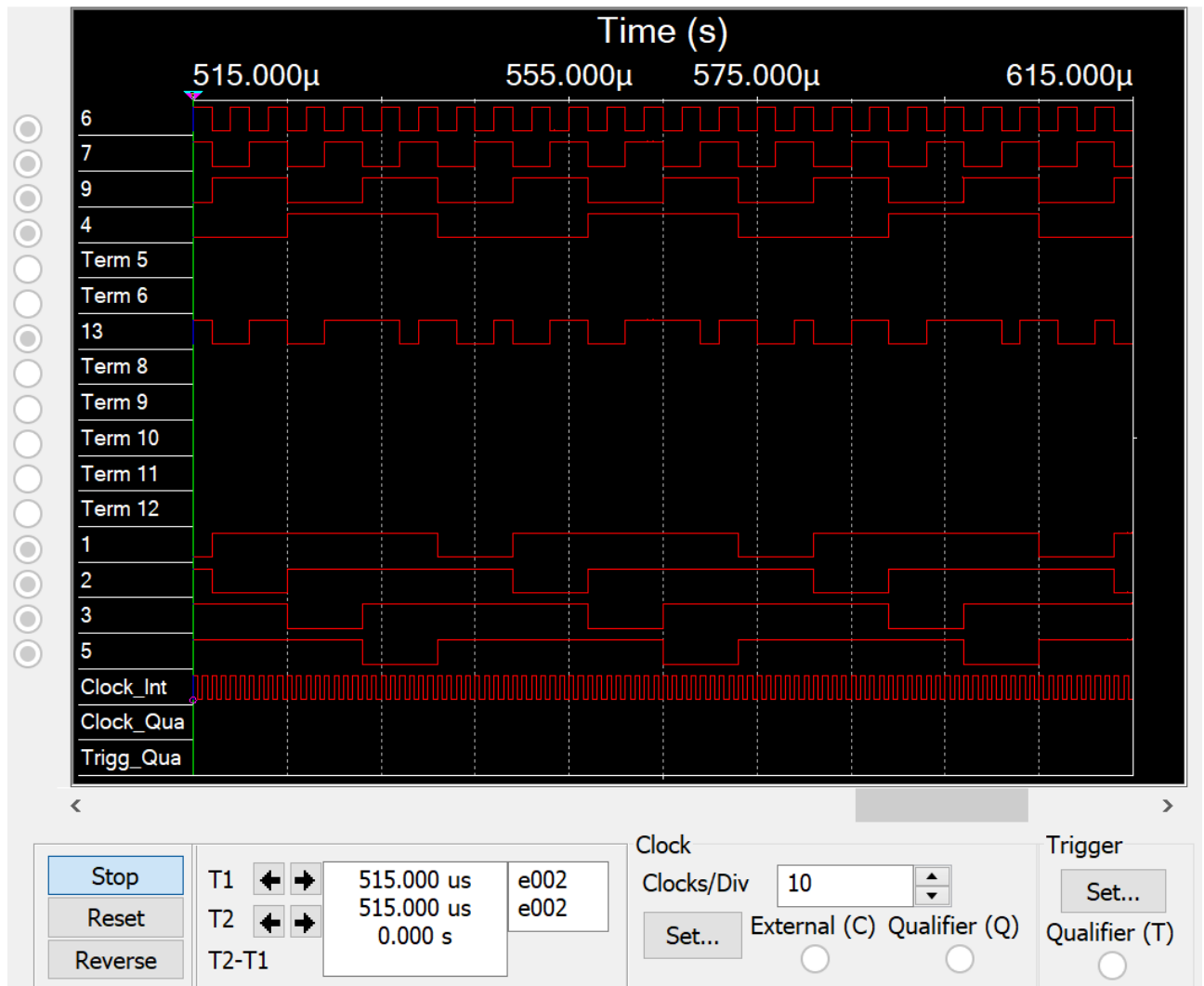
4. Нарастивание мультиплексора. Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4

Для варианта 20 комбинация $D_0...D_{16}$: 1001 0011 0011 1101

Полученная наращенная схема:



Получившаяся картина:



Контрольные вопросы

1. Что такое мультиплексор?

Мультиплексор – это функциональный узел, имеющий n адресных входов и $N = 2^n$ информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Мультиплексор переключает сигнал с одной из N входных линий на один выход

2. Какую логическую функцию выполняет мультиплексор?

$$Y = EN \bigvee_{j=0}^{2^n-1} D_j m_j(A_{n-1}, A_{n-2}, \dots, A_i, \dots, A_1, A_0)$$

A_i - адресные входы и сигналы

D_j - информационные входы и сигналы

m_j - конститuenta числа, образованному двоичным кодом сигналов на адресных входах

EN - вход и сигнал разрешения (стробирования)

3. Каково назначение и использование входа разрешения?

Вход EN используется для:

- разрешения работы мультиплексора
- стробирования
- наращивания числа информационных входов

При $EN = 1$, разрешается работа мультиплексора, при $EN = 0$ – работа запрещена.

4. Какие функции может выполнять мультиплексор?

Мультиплексоры широко применяются для построения:

- коммутаторов-селекторов,
- постоянных запоминающих устройств емкостью бит
- комбинационных схем, реализующих функции алгебры логики
- преобразователей кодов (например, параллельного кода в последовательный) и других узлов.

5. Какие способы наращивания мультиплексоров?

Существует два способа наращивания коммутируемых каналов:

- по пирамидальной схеме соединения мультиплексоров меньшей размерности
- путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса

мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

6. *Поясните методику синтеза формирователя ФАЛ на мультиплексоре?*
Для реализации ФАЛ $n + 1$ переменных на адресные входы мультиплексора подаются n переменных, на информационных входы $n+1$ -ая переменная (или ее инверсия), константы 0 или 1 (в соответствии со значениями ФАЛ)
7. *Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?*
Для исключения на выходе ложных сигналов (их вызывают гонки входных сигналов), вход EN используется как стробирующий. Для выделения 18 полезного сигнала на вход EN подается сигнал в интервале времени, свободном от действия ложных сигналов