

Автоматизированное проектирование БИС и СБИС

БИС и СБИС нашли широкое применение в самых разнообразных устройствах, например, в играх, игрушках, ЭВМ и бытовой технике. Это обусловило наличие широкого диапазона целей, к достижению которых стремятся при их проектировании.

В отличие от проектирования цифровых систем на дискретных компонентах при проектировании цифровых систем или ЭВМ на БИС/СБИС становится необходимым проведение стоимостного анализа, что связано с очень сложной зависимостью между стоимостью БИС/СБИС и методами проектирования.

На величину стоимости ИС влияют главным образом следующие факторы:

1. Начальные вложения. При разработке БИС/СБИС, требуется значительное время (месяцы или годы) на проектирование архитектуры, логической и электрической схем и топологии ИС. Затем проект проверяется на опытном образце ИС, и лишь после этого принятый вариант ИС подготавливается к серийному производству. Затраты на этом этапе состоят в основном из заработной платы инженеров и чертежников, стоимости машинного времени и стоимости оригиналов масок, пластин и ИС опытного образца.

Если степень интеграции невысока, то описанная выше стадия проектирования достаточно проста, а соответствующие начальные затраты (в частности, заработная плата) невелики.

2. Стоимость изготовления. Данный показатель состоит из затрат на изготовление каждой ИС, ее установку в корпус и проверку.

Приближенное значение стоимости изготовления одной ИС можно получить, разделив стоимость изготовления пластины на количество получаемых из нее бездефектных ИС. Прибавление к этой величине затрат на сборку и контроль ИС дает значение стоимости изготовления одной ИС.

С учетом вышесказанного стоимость одной ИС может быть выражена следующей зависимостью:

$$C = A/V + B,$$

Где A — начальные вложения, B — стоимость изготовления одной ИС, V — объем выпуска ИС.

Параметр A растет с увеличением степени интеграции ИС. Значение A составляет большую величину для БИС/СБИС и очень малую для СИС/МИС. Однако, при достаточно большом объеме выпуска изделий первый член в правой части уравнения становится пренебрежимо малым по сравнению со вторым членом B , а стоимость ИС — практически равной B .

Однако, как правило, с увеличением степени интеграции значение V уменьшается, так как область применения ИС сужается, если только она не является сверхуниверсальной.

Поскольку области применения цифровых систем охватывают широкий круг самых разнообразных устройств, цели, к достижению которых стремятся при проектировании, значительно различаются.

В каждой разработке преследуются свои цели, представляющие некий компромисс между высоким быстродействием, размером ИС, временем проектирования, простотой внесения изменений в проект и т.д.

Все это приводит к необходимости выбора соответствующего метода проектирования, определяющего степень использования дискретных компонентов, серийно выпускаемых, частично или полностью разрабатываемых ИС, организацию проектирования в своей фирме или размещение заказа на стороне и другие вопросы разработки. Часто сделать этот выбор непросто.

Рассмотрим некоторые примеры различных целей разработки.

1. Конструктору, разрабатывающему лабораторный электронный измерительный прибор, требуется устройство сопряжения этого прибора с ЭВМ. Поскольку это устройство предназначено для одноразового использования, конструктор не будет заказывать разработку специальной БИС. Ее стоимость была бы астрономической. Поэтому разработка устройства будет проводится внутри фирмы с использованием серийно выпускаемых ИС.

2. Фирма предполагает разработать мощную ЭВМ с высоким быстродействием, отводя на это несколько лет. Использование серийно выпускаемых ИС исключается, т.к. по быстродействию разрабатываемая ЭВМ не будет отличаться от существующих. Следовательно, потребуется оригинальная разработка схем с повышенным быстродействием.

Причем наличие конкуренции заставит производить разработку внутри фирмы.

С точки зрения стоимости не имеет смысла добиваться минимизации размеров ИС, так как затраты на периферийные и запоминающие устройства значительно превосходят стоимость логических схем.

Вместе с тем размеры ИС влияют на быстродействие и выход годных ИС при их производстве.

Объем производства любой ЭВМ намного меньше серийно выпускаемых микропроцессоров. Следовательно, в данном случае целесообразно применять компромиссный метод частичного проектирования, а не полного.

Кроме быстродействующих ИС в ЭВМ может быть использовано большое количество логических схем со средним быстродействием. Такие схемы могут быть реализованы на серийно выпускаемых ИС или заказаны у других фирм.

3. Проектирование БИС, которые предполагается выпускать миллионными сериями, должно осуществляться совсем другими методами. Поскольку начальные затраты на проектирование и внедрение распределяются на большое число ИС, доминирующую роль в стоимости каждой ИС будет играть стоимость производства одной ИС. Поэтому проектировщики стремятся минимизировать размеры ИС с использованием метода полного проектирования.

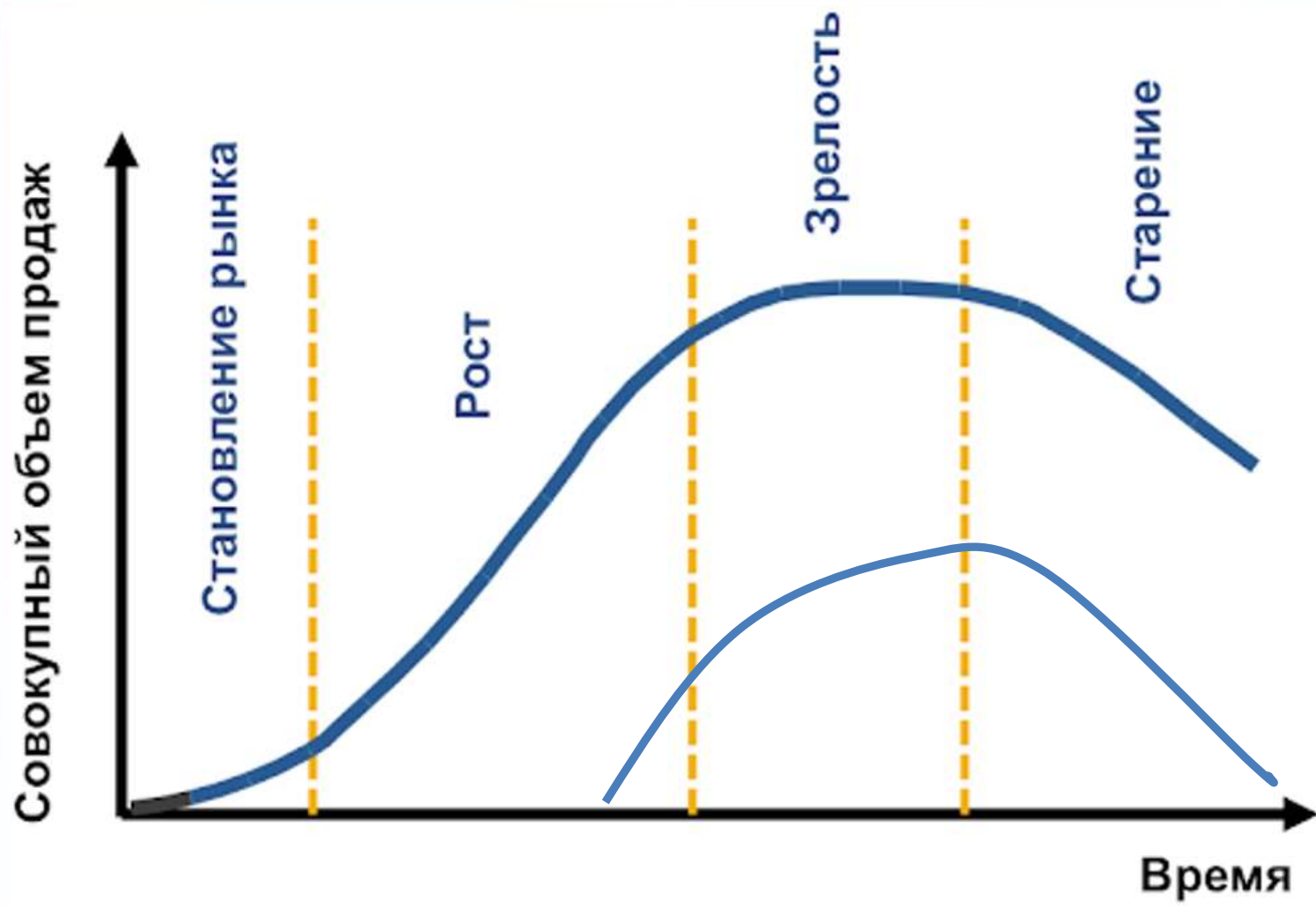
На разработку процессора 80486 фирмой Intel за 5 лет было вложено 100 млн. долл.

Стоимость кремниевой пластины в процессе производства возрастает с 6 (для пластины диаметром 7,62 см) и 15 (при диаметре 110,16 см) долларов соответственно до 40 и 1150 долл.

Следовательно, если пластина содержит 10 бездефектных ИС, то каждая из них стоит $\sim 4 - 15$ долл. Если же пластина включает 1000 бездефектных ИС, то их стоимость составляет 4—15 центов.

Между рассмотренными крайними случаями имеется широкий спектр промежуточных ситуаций, характеризующихся другими целями проектирования.

Сокращение времени проектирования ведет не только к сокращению затрат на проектирование при сохранении количества персонала. Оно имеет важное значение и для успешного решения проблем сбыта. В общем случае, изготовитель, первым выпускающий изделие, может захватить «львиную» долю рынка и получить гораздо большую общую прибыль, чем фирмы, начавшие производить аналогичные изделия позже него. И чем больше задержка, тем больше разница.



Таким образом, для некоторых изделий «быстрое» проектирование может оказаться более выгодным, чем «тщательное» проектирование.

Проектирование БИС/СБИС занимает очень большое время и по трудоемкости и сложности сравнимо с разработкой таких объектов, как ЭВМ, летательный аппарат и других больших систем.

Учет времени и стоимости проектирования является очень важной задачей системного проектирования БИС/СБИС, при решении которой определяются способы и методология проектирования.

Различают три метода проектирования:

Различают три метода проектирования:

1. Проектирование с использованием дискретных компонентов и серийно выпускаемых ИС.
2. Полностью заказное проектирование.
3. Частичное проектирование (проектирование полузаказных ИС).

1. Проектирование с использованием дискретных компонентов

Применяется в тех случаях, когда системы должны выпускаться в небольших объемах или ожидаются частые изменения проекта.

Начальные вложения на единицу продукции намного ниже чем у заказного проектирования. Однако с увеличением объема производства производственные затраты на один блок становится больше чем на изготовление БИС..

2. Полностью заказное проектирование

Метод полного проектирования на заказ позволяет получить устройство с максимальным быстродействием и минимальными размерами кристалла. Его реализация требует наибольших начальных затрат. При заказном проектировании широко используют *ручной, символический и иерархический* методы.

Ручные методы. Решение принимает человек с использованием графических систем проектирования. Основное преимущество – высокая плотность упаковки создаваемых схем. *символический и иерархический* методы.

Символический метод. Суть метода состоит в отказе от подробного описания топологической структуры ИС.

Проектировщик разрабатывает символьную топологию, где:

X – Моп-транзистор,

| – металлический слой,

O – контактное окно,

— – диффузионная область,

+ – пересечение.

При этом правила разработки не учитываются.

Программа автоматически начертит топологическую схему, удовлетворяющую правилам с максимально плотной упаковкой. Известны САПР SLIC и STICKS.

Поскольку символьную топологию готовит проектировщик, весь процесс разработки все еще требует больших затрат времени, хотя и меньших, чем ручное проектирование (до 10 раз). Размеры ИС больше на 15 – 30%.

Иерархический подход. При традиционном подходе возникают две проблемы:

1. Необходимо получить решение всей задачи за приемлемое время.
2. Необходимо решить задачу без размещения в ОЗУ всей информации об объекте.

Решение обеих проблем может быть найдено в рамках иерархического подхода.

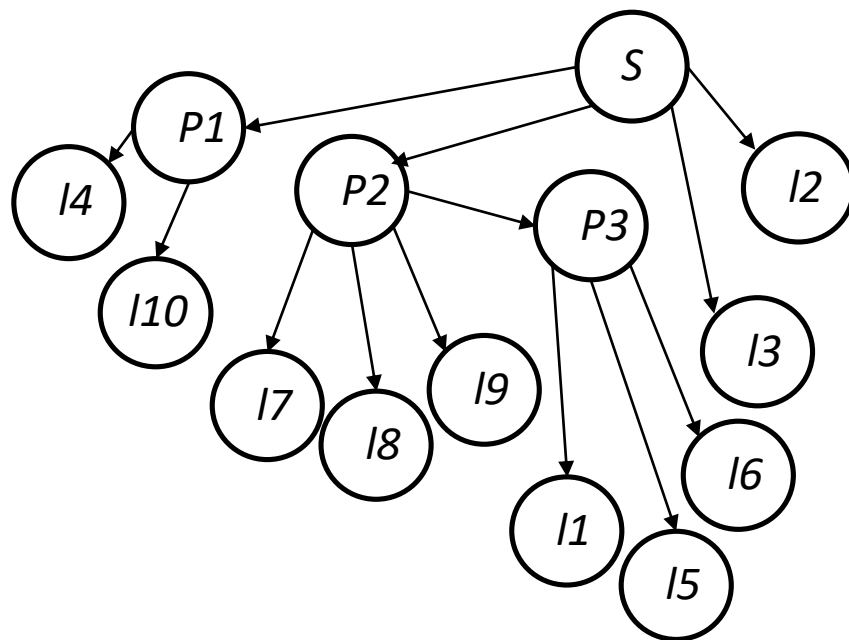
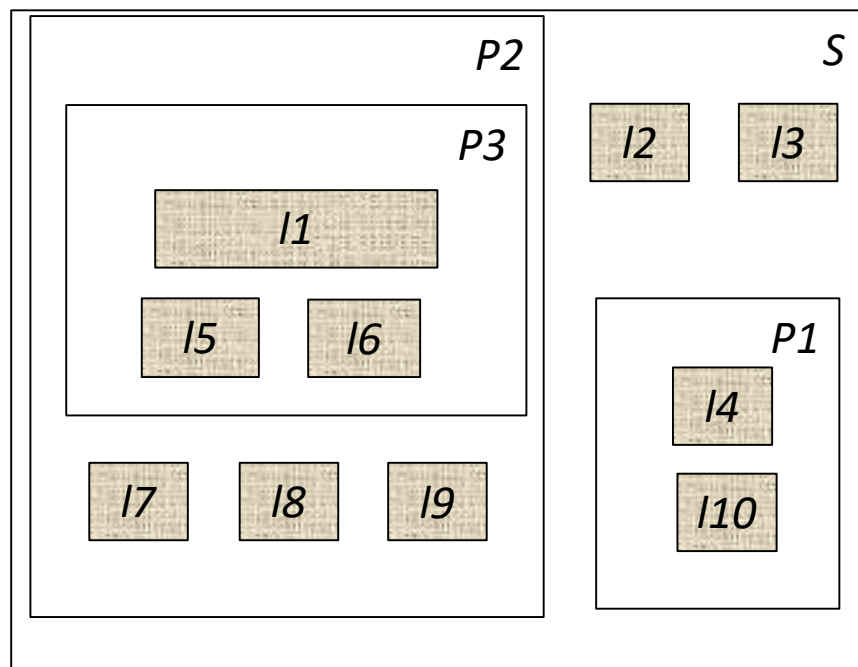
Структура объекта представляется ориентированным графом D без циклов (*корневое дерево*), в котором имеется единственная вершина S без входящих ребер (*корень*).

Между вершинами графа и частями объекта устанавливается взаимно однозначное соответствие. Вершина S отображает весь объект, а каждая дуга $(a \rightarrow v)$ показывает, что фрагмент v входит во фрагмент a .

В дуге ($a \rightarrow v$) a называется отцом v , а v – сыном a .

Вершины, не имеющие выходящих ребер, называются *листьями*. Каждый лист соответствует фрагменту низшего уровня иерархии.

Пример. Необходимо разместить прямоугольники. Листья заштрихованы.



Процесс решения исходной задачи заменяется многократным решением аналогичных задач меньшей размерности. Число таких задач равно числу внутренних вершин дерева D . Так, размещение проводится следующим образом: размещаются $I1, I5, I6$ внутри $P3$; $L7, I8, I9, P3$ – внутри $P2$; $I4, I10$ – внутри $P1$; $P1, P2, I2, I3$ – внутри S .

Важно, что порядок решения указанных подзадач может быть выбран произвольно. Например, можно решать задачи «сверху вниз», когда подзадача – сын решается после подзадачи – отца. Возможна и обратная стратегия «снизу вверх».

При разработке СБИС проектирование схем осуществляется на основе нисходящего подхода с поэтапно возрастающей степенью детализации. А топологическое проектирование – по восходящему принципу.

Первый этап топологического проектирования заключается в разработке общего плана кристалла на уровне крупных блоков и глобальных межсоединений (шин).

На его основе всю работу можно распределить между несколькими группами конструкторов.

Полностью заказное проектирование применяется для разработки устройств, которые планируют выпускать серийно, например, БИС памяти и микропроцессоры.

3. Методы поуказного (частичного) проектирования

В тех случаях, когда метод полного проектирования на заказ требует слишком больших затрат времени или не оправдан финансовыми соображениями, а использование серийно выпускаемых ИС ведет к недопустимому увеличению размеров устройств, разумным компромиссом является метод частичного проектирования.

Суть метода ЧП состоит в том, что проектировщик использует какие-то готовые объекты, которые спроектированы и изготовлены заранее.

В настоящее время используются следующие методы ЧП:

1. Программируемые логические устройства (ПЛУ).
2. Стандартные элементы (СЭ).
3. Базовые матричные кристаллы (БМК).

1. ПЛУ имеют матричную структуру и шинную организацию элементов (каждый элемент соединяется с вертикальными и горизонтальными шинами).

Существует три разновидности ПЛУ:

- 1) Программируемые логические матрицы (ПЛМ).
- 2) ППЗУ.
- 3) ПЛИС.

ПЛУ могут программироваться в условиях производства (масочное программирование – заказной фотошаблон) и потребителем (физическим воздействием на отдельные элементы матриц (пережигание перемычек, пробой диодов ...).

В ПЗУ информация хранится в форме таблицы истинности, а в ПЛМ в виде логических выражений, поэтому в ПЛМ избыточность меньше. Однако, в ПЛМ необходимо использовать минимизацию многовыходных булевых функций.

ПЛИС— электронный компонент, используемый для создания цифровых интегральных схем. В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования.

Здесь под программируемостью понимается возможность изменения внутренней структуры ИС таким образом, чтобы она обеспечивала реализацию заданных функций алгебры логики (ФАЛ) на аппаратном уровне.

Структура ПЛИС основана на ФАЛ (булевой алгебры) и содержит следующие логические элементы: — конъюнкторы; — дизъюнкторы; — инверторы; — буферные элементы с прямыми, инверсными и тристабильными выходами; — Исключающее ИЛИ; — триггеры D- и T-типа; — мультиплексоры конфигурации.

Поскольку любая логическая функция может быть представлена в виде суммы произведений — дизъюнктивной нормальной формы (ДНФ), базовыми структурными компонентами ПЛИС являются матрицы элементов «И» и «ИЛИ».

На выходе матриц расположены так называемые макроячейки (Macrocells), конфигурация которых зависит от типа ПЛИС. Макроячейки могут содержать различные триггеры, тристабильные буферы, элементы управления полярностью сигнала и др. Пути прохождения сигнала в макроячейке (конфигурация) могут быть жестко заданы структурой ПЛИС или управляться посредством мультиплексоров. Размерность логических матриц и конфигурация макроячеек определяют степень интеграции и функциональные возможности ПЛИС. ПЛИС также содержат многочисленные обратные связи (ОС), позволяющие использовать текущие состояния и формировать последовательностные автоматы различных классов.

ПЛУ имеют ряд преимуществ перед заказными БИС.

1. Отсутствует трудоемкий этап логического проектирования и еще более трудоемкий этап разработки их топологии. Поэтому существенно уменьшается время проектирования, упрощается процесс внесения изменений, облегчается тестирование и контроль.

2. Поскольку изготавливается только одна маска, производство ПЛУ относительно дешево.

3. Т.к. технология изготовления ПЛУ проще технологии заказных БИС, результат проектирования не зависит от технологии производства ИС.

С другой стороны, заказные БИС имеют большее быстродействие и занимают меньшую площадь чем ПЛУ.

При разработке и выпуске нового оборудования небольшими партиями применение ПЛУ оказывается очень удобным.

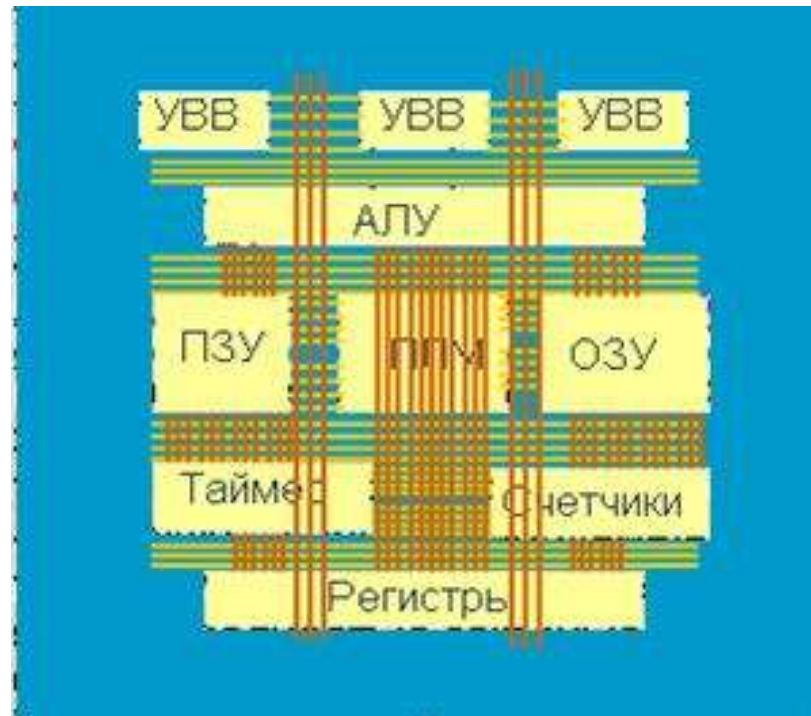
2. Проектирование БИС на стандартных элементах

На СЭ базируется широкий класс конструктивных решений топологии БИС. СЭ являются элементной базой проектирования и реализуют простейшие функциональные блоки (вентили, триггеры и т.п.)

Принципиальные схемы СЭ и их топология тщательно отрабатываются и в процессе проектирования конкретной БИС не изменяются. Рисунок внутренних межсоединений элемента хранится в библиотеке.

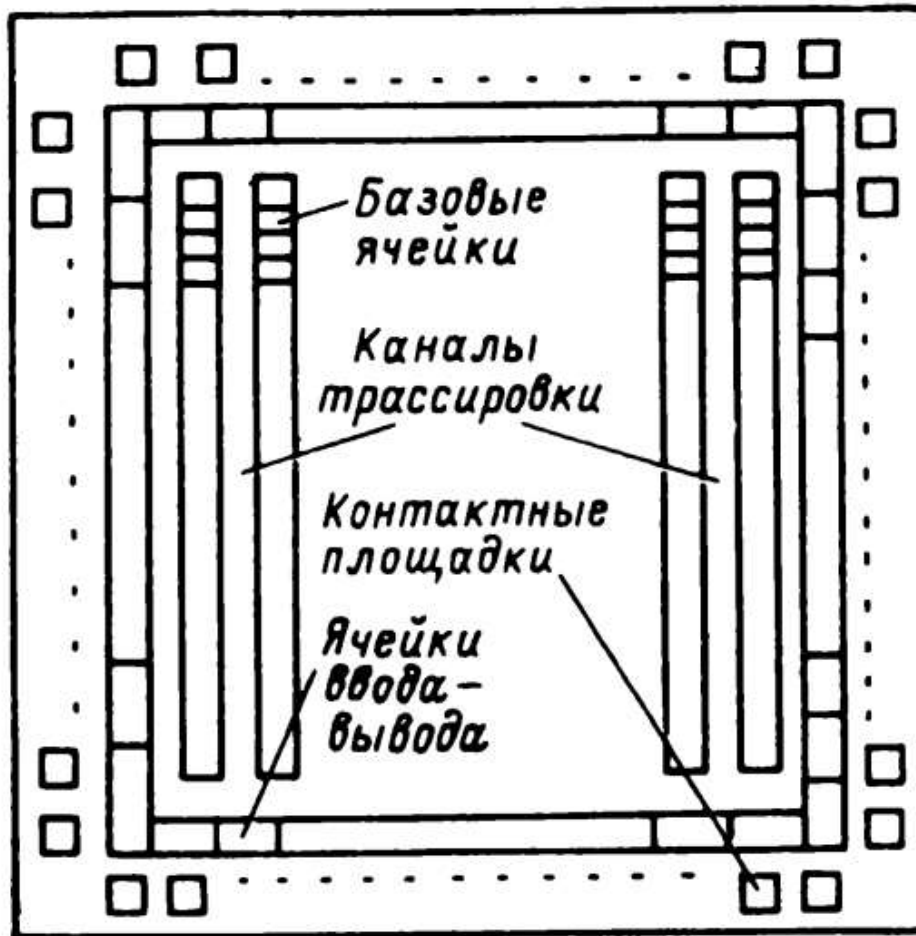
Широкое распространение получили МОП БИС с элементами одинаковой высоты и разной ширины. Расположение выводов в СЭ единообразны для всех ячеек набора. Как правило, выводы располагаются с одной или двух сторон по периферии элемента.

По мере повышения степени интеграции требуется выделение иерархии конструктивно-функциональных блоков разной степени сложности. В состав СБИС включаются сложные функциональные блоки, например, память.



3. Проектирование БИС на БМК

БМК содержит сформированную заранее матрицу базовых ячеек, расположенную в центральной части, и группу буферных ячеек (ячеек интерфейса ввода-вывода)



В состав ячеек входят группы нескоммутированных элементов (транзисторов, резисторов, конденсаторов). Из элементов ячеек с помощью электрических связей формируются различные функциональные элементы (логические элементы, триггеры, счетчики, регистры и др.), буферные элементы и соединения между ними. Полузаказные интегральные схемы на основе БМК для разработчиков и производителей сложной электронной аппаратуры являются незаменимой палочкой-выручалочкой в многочисленных случаях:

- когда требуется быстро разработать и начать производство изделия;
- когда объём производства изделия относительно невысок, а подходящих БИС среди выпускаемых нет;
- при создании специфичной аппаратуры с оригинальной схемотехникой;

- при переработке ранее созданной аппаратуры на новую элементную базу;
- при желании заказчика самостоятельно разработать БИС с целью, например, скрыть своё “know-how”.

Во всех этих и многих подобных случаях возникают противоречивые требования: обеспечение высокой степени интеграции БИС с быстротой создания и относительно низкими объёмами производства, экономически нерентабельными для разработки заказных БИС.

1-ая патентная заявка на конструкцию БМК была подана в 1972 г. На основе БМК в 1975 году фирма Amdahl Corp. Разработала ЭВМ Amdahl 470V/6. В состав ЭВМ вошли 2000 матриц ЭСЛ-типа, 102 различных типов. Для исследований влияния МаБИС на производительность и надежность ЭВМ был изготовлен прототип на ИС.

Анализ показал, что С МаБИС задержки в вентилях уменьшились в 2 раза, а в соединениях в 3,5 раза. В пересчете на вентиль частота отказов снизилась в 7 раз. Сверхбыстродействующие МаБИС применяются в супер ЭВМ Cyber 205 и Cray X-MP.

Для реализации конкретной полузаказной схемы на основе БМК нужны только шаблоны рисунков межсоединений. Например, при внедрении первых БМК в фирме Amdahl Corp для заказных схем требовалась разработка 13 шаблонов, а для полузаказных БМК только трех.

Сходство методов проектирования на БМК и стандартных элементах состоит в использовании библиотек функциональных элементов.

Различие в том, что в БМК элементы уже изготовлены и требуется только их соединить. В СЭ их надо изготавливать. Количество фотошаблонов в методе СЭ больше.

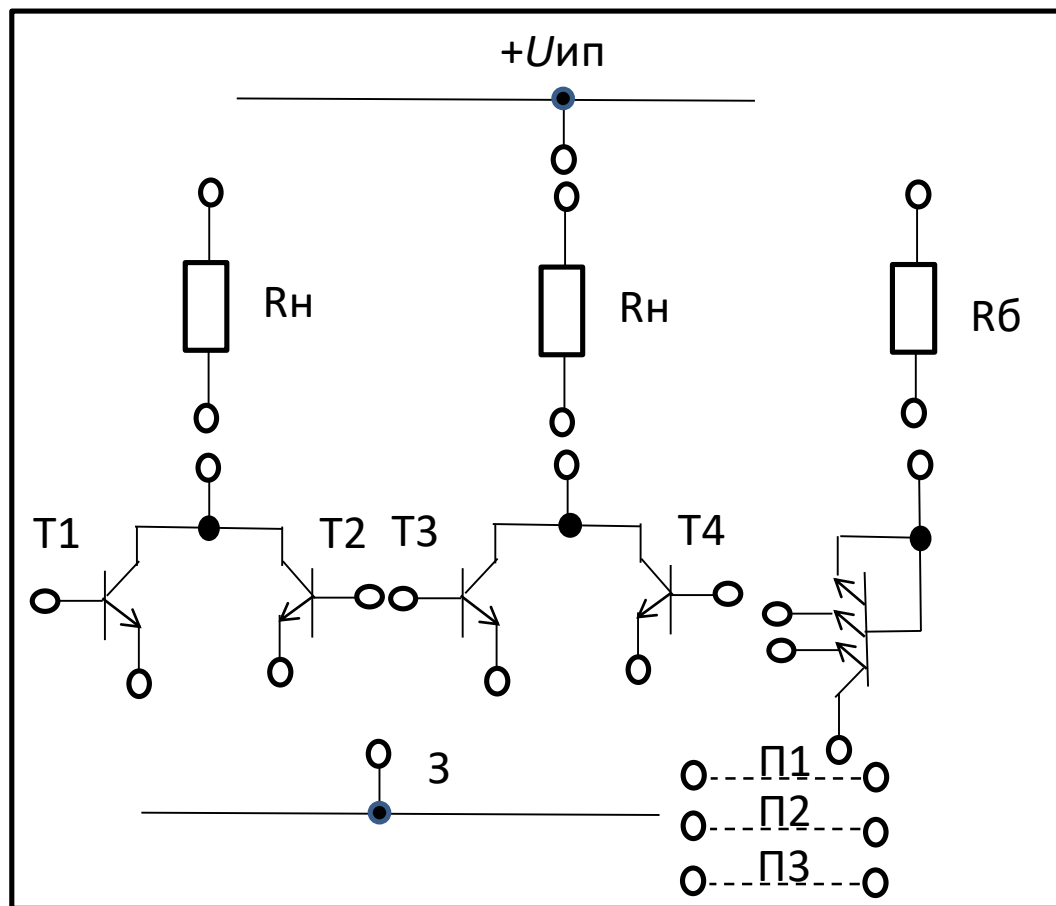
Все наиболее дорогостоящие и длительные процедуры проектирования, производства и аттестации БИС выполняются на этапе создания БМК.

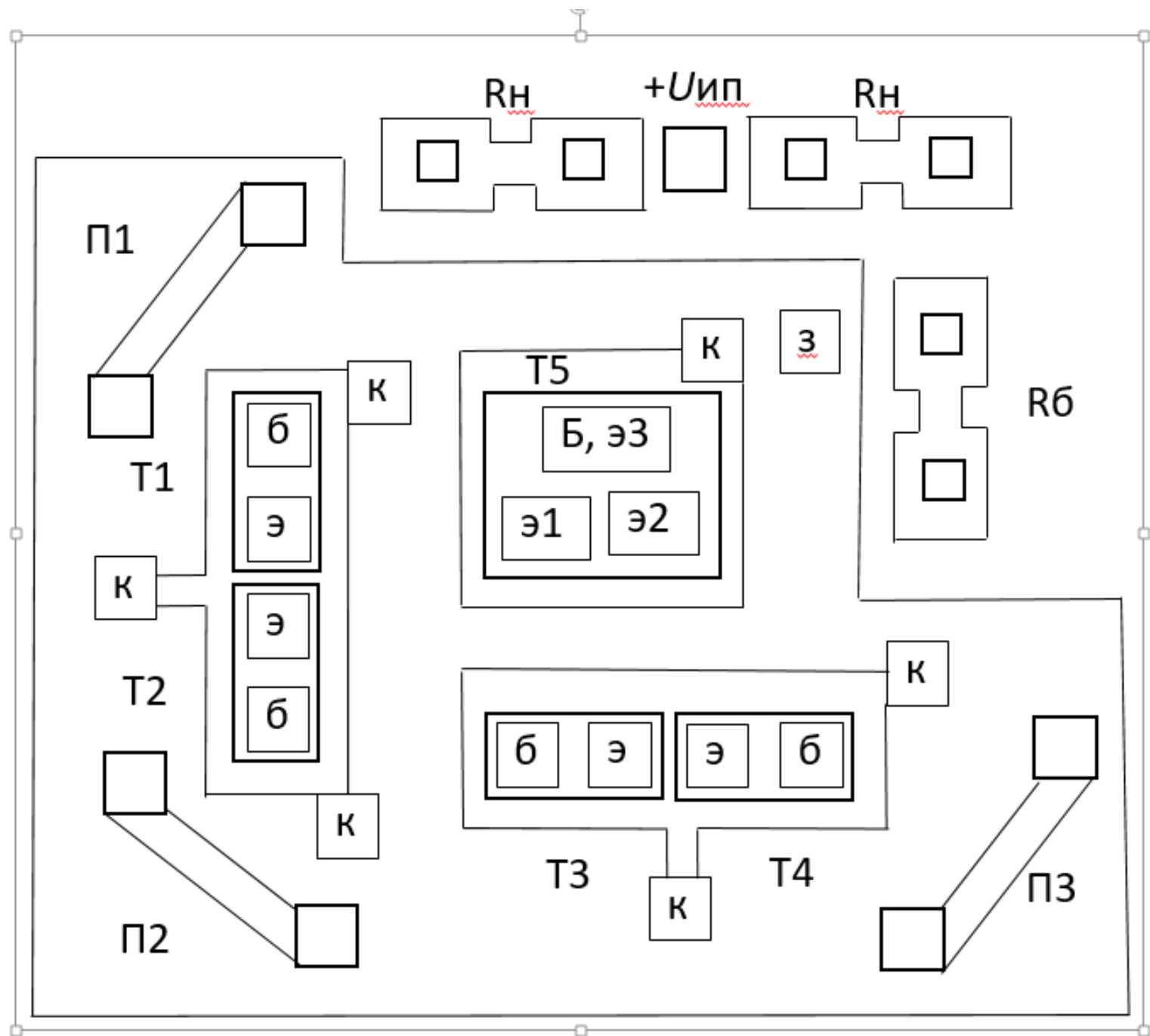
Для создания БИС выбирается соответствующий БМК (заготовка). Проектирование заключается в разработке топологии 1–2 верхних слоёв металлизации кристалла (определяется электрической схемой устройства и по назначению эквивалентна топологии печатной платы), а производство — в нанесении этих слоёв на ранее изготовленные типовые заготовки.

Рассмотрим пример ячейки БМК.

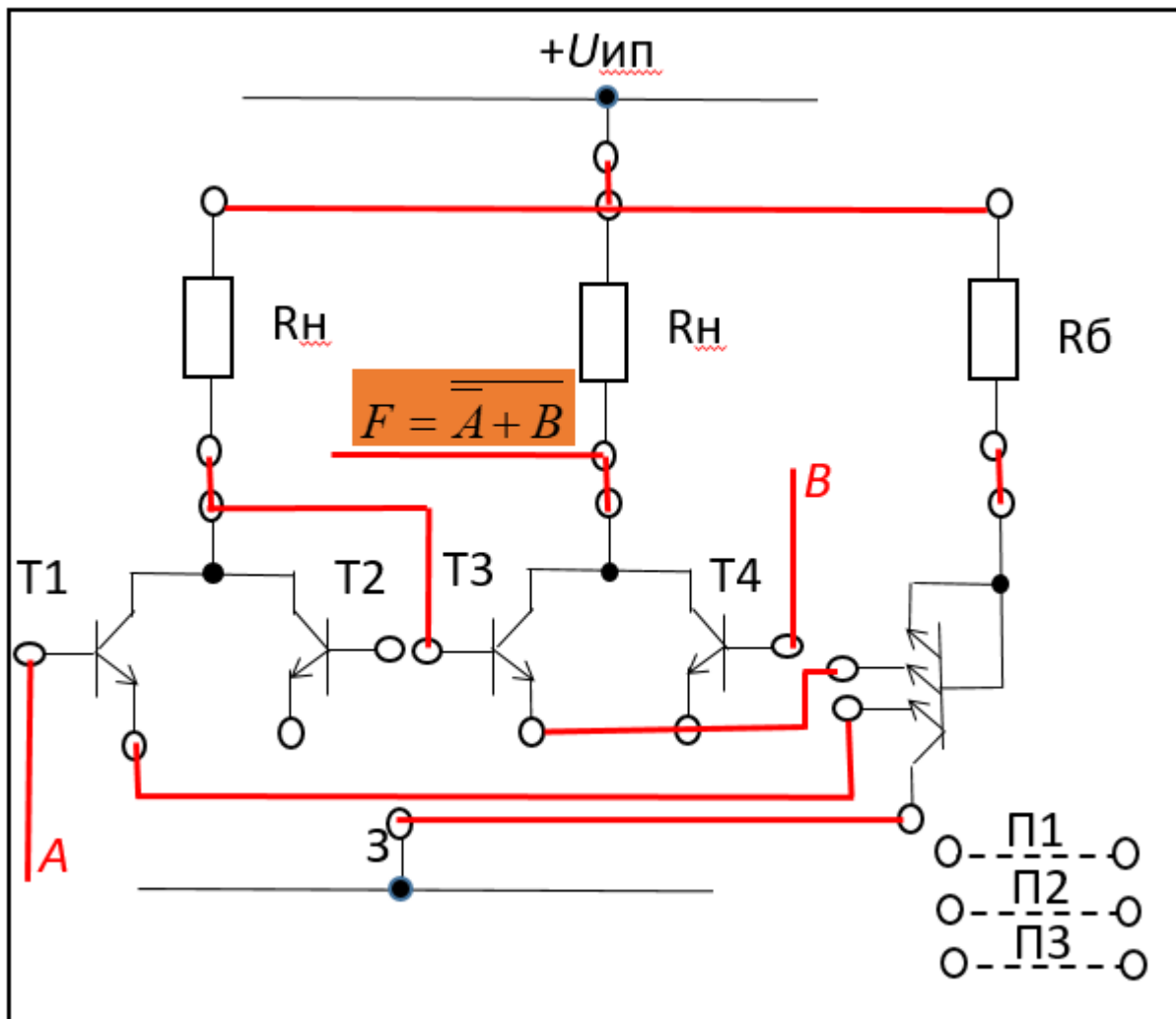
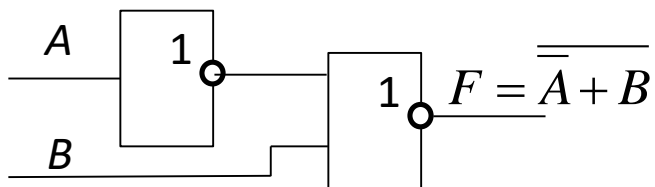
Схема на переключателях токов фирмы Ferranti.

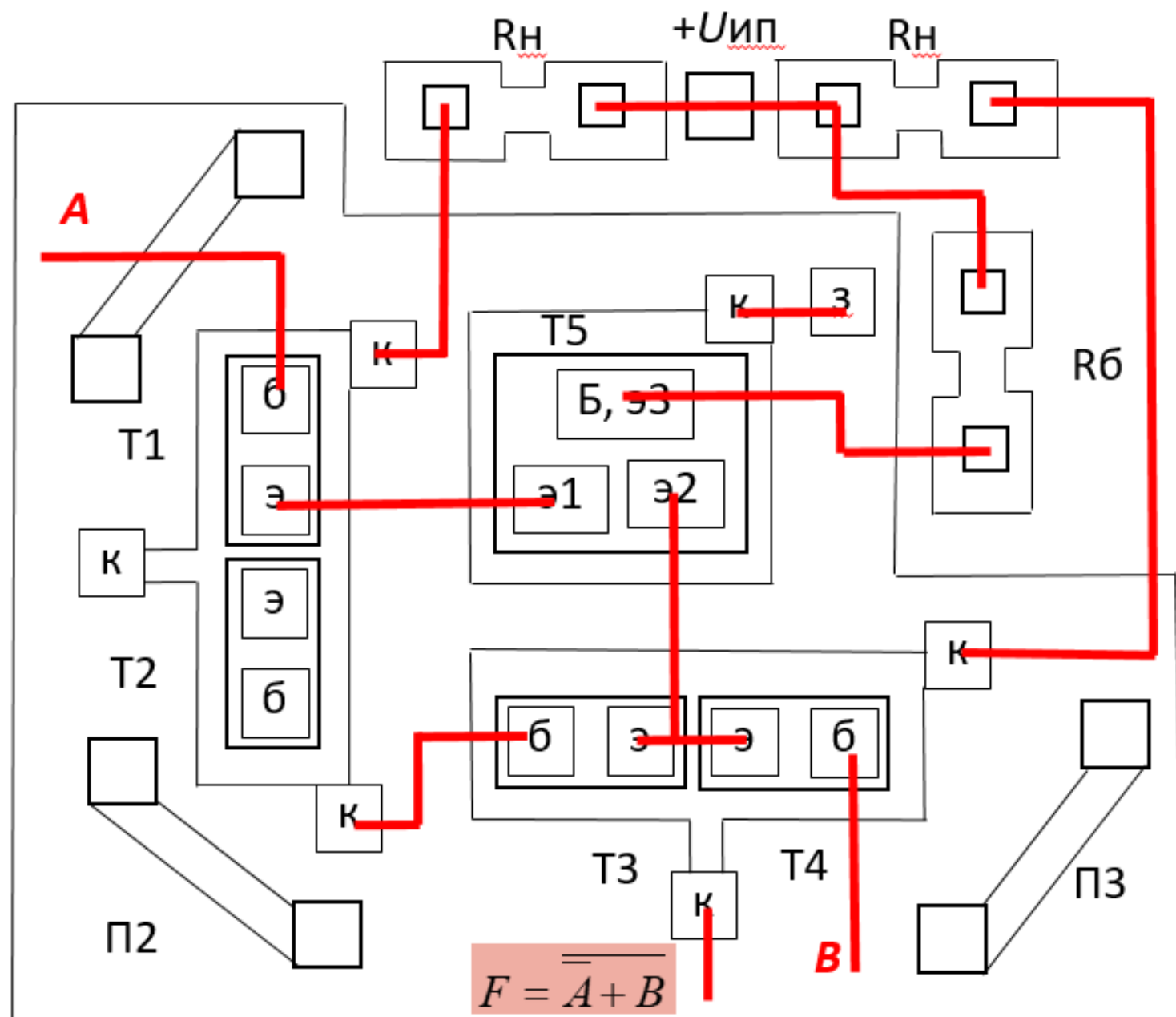
В качестве источника токов используется инверсно включенный много эмиттерный n-p-n транзистор с одним закороченным эмиттерным переходом. Для реализации пересечений используются высоколегированные перемычки П1, П2 и П3.





Реализовать логическую функцию $F = \overline{\overline{A} + B}$.





Поскольку требования к функциональной сложности и основным характеристикам реализуемых БИС различны, эффективным является использование наборов из нескольких БМК, составляющих единое семейство.

Например, логические матрицы с разным количеством вентилей, с ЗУПВ разной емкостью.

Характеристики БМК зависят от типа активного компонента. В качестве основных компонентов используются биполярные или МОП-транзисторы. Биполярные схемы отличаются меньшей задержкой. Элементы на КМОП-транзисторах потребляют меньшую мощность.

При разработке БМК необходимо выбрать компонентный состав базовых ячеек, определить число БЯ, определить площадь для трассировки межсоединений и число контактных площадок.

Число внешних связей (входных и выходных контактов) функционального узла ЭВМ с произвольной логикой можно определить с помощью правила Рента.

$$N_{\text{св}} = \alpha N^P,$$

где $N_{\text{св}}$ - число внешних связей,

α - число внешних связей логического элемента (ЛЭ),

N – число ЛЭ в узле (степень интеграции),

P – показатель Рента, характеризующий быстродействие логической структуры ($0 < P < 1$).

Экспериментальные значения P для процессоров различной производительности равны 0,5 – 0,75. Причем более высокие значения P относятся к высокопроизводительным ЭВМ, а низкие – к ЭВМ средней производительности.

Для правила Рента существуют ограничения:

1. Оно не применимо к схемам ЗУ, имеющим регулярную структуру.
2. Оно используется только для незаконченных функциональных частей логической схемы.
3. Предполагается, что информация между отдельными узлами передается параллельно.

Показатель Рента определяется глубиной логических цепей. Чем меньше глубина, тем выше быстродействие схем и больше показатель Рента.

Для определения трассировочной способности БМК используется формула Кииза, дающая значение средней длины связей для сложных логических БИС высокопроизводительных ЭВМ.

$$\overline{l_{\text{CB}}} \approx a \sqrt[3]{N} / 3,$$

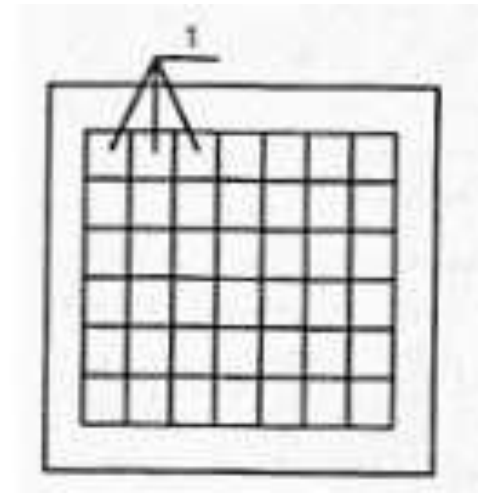
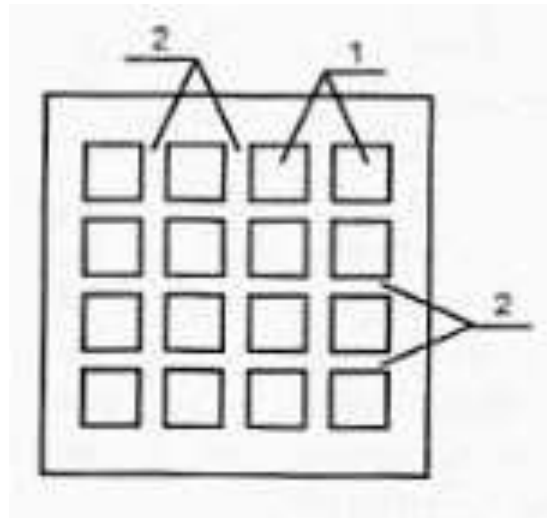
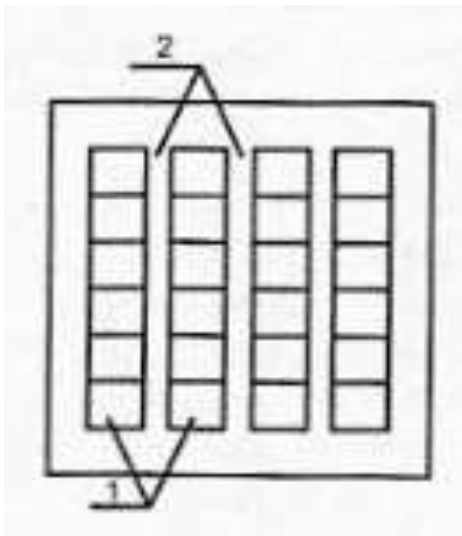
где $a = \sqrt{S_{\text{кр}}/N}$ - усредненный шаг размещения ЛЭ на кристалле,

$S_{\text{кр}}$ - площадь кристалла,

N – число ЛЭ на кристалле (степень интеграции).

Различают следующие конструкции БМК:

1. Линейчатые – макроячейки располагают вплотную друг к другу, образуя горизонтальные или вертикальные каналы. Для связи между каналами используют неиспользованные ячейки.
2. Ячеистые – однородные макроячейки, разделенные вертикальными и горизонтальными каналами.
3. «Море вентиляей» – все поле заполнено одинаковыми ячейками, каналов для трассировки нет.



линейчатые ячеистые «море вентиляй»
 1 – базовые ячейки, 2 каналы для связи.

Маршрут проектирования БИС на основе БМК

Процесс создания МаБИС обычно начинается с декомпозиции функционально-логической схемы устройства и выделения таких ее частей, которые будут изготавливаться в виде БИС.

При этом разработчик аппаратуры стремится минимизировать число типов МаБИС, по возможности сделать их функционально - законченными, минимизировать число входов и выходов.

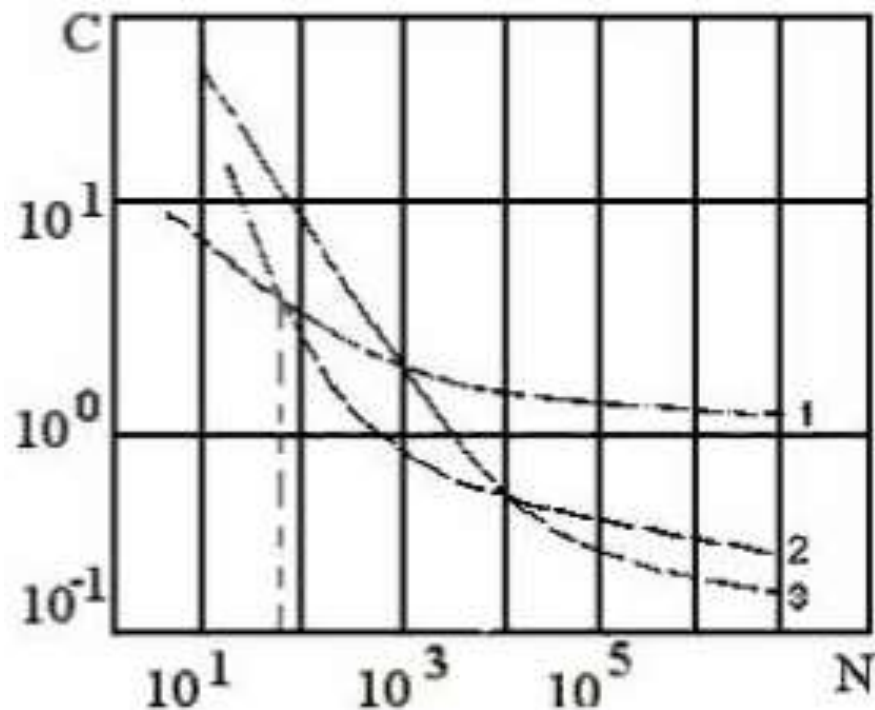
После декомпозиции схемы устройства необходимо покрыть ее библиотечными элементами БМК. При этом критерием качества является обеспечение требуемых электрических характеристик при минимальном числе используемых ячеек.

Предварительный логический проект МаБИС завершается логическим моделированием, формированием временных диаграмм, определением набора тестовых последовательностей для контроля работоспособности устройства и технических норм на электрические параметры МаБИС.

Затем осуществляется подготовка информации для программы автоматического размещения элементов и трассировки соединений между ними в МаБИС.

Результаты работы по разработке топологии влияют и на логическую схему, и на электрические параметры МаБИС. Следовательно после создания функционально-логической схемы, покрытия ее элементами библиотеки БМК, размещения и трассировки соединений может потребоваться внесение изменений как в функционально – логическую схему (если не удовлетворяются требования технического задания), так и в принципиальную (заменить одни элементы другими, обеспечив работу на заданную емкостную нагрузку).

Сравнение методов проектирования БИС

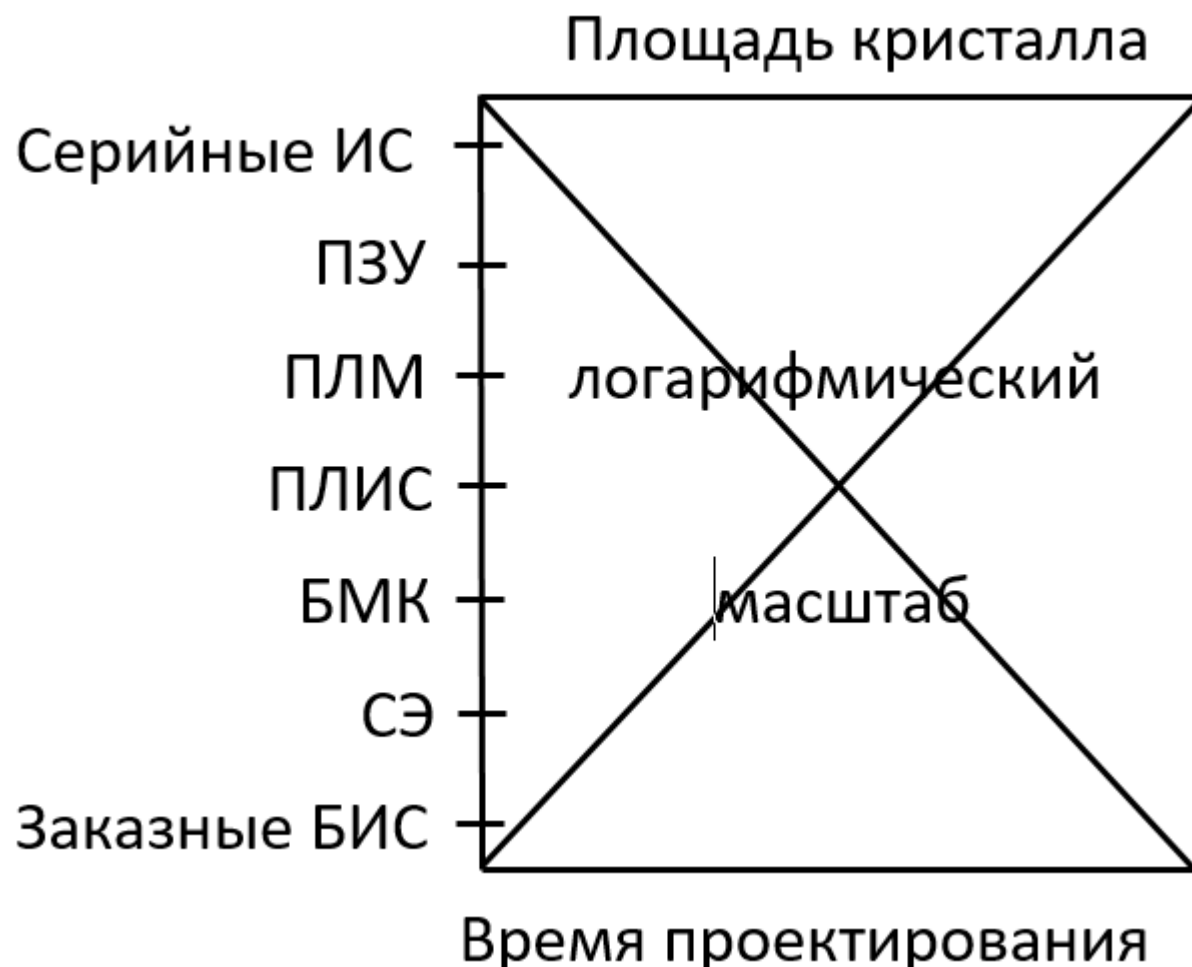


Стоимость – объем выпуска

1. На серийных ИС

2. БМК

3. Заказные БИС



Дальнейший рост степени интеграции и повышение быстродействия потребуют увеличение мощности, рассеиваемой на кристалле. В настоящее время БМК рассеивают до 20 Вт при воздушном охлаждении.

Фирма *ETA System* для своего суперкомпьютера использовала МАБИС, охлаждаемые жидким азотом. Созданы БМК с микроканалами на кристаллах, по которым циркулирует охлаждающая жидкость. Это позволило повысить рассеиваемую мощность до сотен Вт.

Еще одна проблема, возникающая при проектировании БИС – создание радиационно-стойких СБИС.

Воздействие ионизирующего облучения могут испытывать СБИС в системах управления роботами, техпроцессами на АЭС, атомных подлодках и ледоколов, космических аппаратах, околоземной орбитальной станции.

При ликвидации последствий аварии на Чернобыльской АЭС системы управления роботов, направленных в зону 4-го блока, немедленно выходили из строя под действием мощных потоков ионизирующего облучения.

Установлены уровни ионизирующего гамма-излучения для различных объектов ($1 \text{ рад} = 0,01 \text{ Дж/кг}$): для ИСЗ - 10^2 ; при воздействии атомного оружия 10^{12} ; для межпланетных ракет 10^{30} ; внутри ядерных реакторов 10^{100} рад (единица поглощенной дозы ионизирующего излучения).

Наиболее эффективным методом создания радиационно-стойких ИС считается использование КНС технологии. Другой метод состоит в уменьшении геометрических размеров элементов СБИС.

Третий метод основан на совершенствовании технологии производства СБИС (снижении рабочих температур и изменении режимов ионного легирования).

Наивысшая стойкость к радиационному облучению отмечена у схем на GaAs (в 100 раз больше чем у кремниевых ИС).

Выпускаются МаБИС, выдерживающие до 10^7 рад.

Ведутся работы по созданию кремневых компиляторов. КК – это система, которая автоматически вырабатывает топологию ИС на основе схемных описаний высокого уровня. Основные составляющие КК: язык, архитектура, библиотечные элементы, генератор топологии.

В кремниевых компиляторах в качестве исходных данных задается либо [описание алгоритма](#), который должна реализовать СБИС и который представлен в виде некоторой микропрограммы, либо описание схемы на языке уровня регистровых передач. Результатом работы кремниевого компилятора должно быть описание топологии кристалла, выдаваемое в форме управляющей информации для оборудования для изготовления фотошаблонов.

Все операции по преобразованию исходных данных в окончательный результат выполняются автоматически это разбиение исходного описания на фрагменты, трансляция фрагментов исходной информации в фрагменты функциональной схемы и далее в фрагменты топологической схемы, выбираемые из заранее разработанного набора типовых ячеек, трассировка межсоединений, перевод топологии в управляющую информацию для фотонаборных установок.

Кремниевая компиляция уступает по показателю использования площади кристалла, но выигрывает по оперативности и стоимости проектирования по сравнению с автоматизированным проектированием СБИС.

Достоинства КК.

- Сокращение времени и стоимости проектирования;
- Легко вносить схемные изменения (язык высокого уровня);

- Быстро подготавливаются и анализируются альтернативные варианты;
- Несколько уровней моделирования;
- Отсутствие ошибок в топологии, связанных с нарушением технологических проектных норм.

Недостатки КК.

- Неэффективность топологии (площадь);
- Фиксированная архитектура (конкретный КК разрабатывает схемы определенного типа);
- Ограниченное вмешательство человека (нельзя использовать решения опытного разработчика).

Еще одним примером использования СБИС являются

Комбинированные СБИС.

Кроме БМК с цифровыми логическими элементами существуют комбинированные матричные СБИС, в частности матрицы с аналоговыми и цифровыми элементами.

Они могут содержать несколько операционных усилителей, компараторов, генераторов, отдельных резисторов, конденсаторов и собственно логических вентилей.

Кроме этих цифровых и аналоговых элементов, внутри кристалла сформированы также схемы, обеспечивающие взаимодействие аналоговой и цифровой частей между собой, согласование уровней и формирование выходных сигналов. Такая комбинированная структура позволяет собирать из элементов этой матричной СБИС большое многообразие систем с преобладанием цифровых или аналоговых функций – это цифро-аналоговые и аналого-цифровые преобразователи (ЦАП и АЦП), активные фильтры, генераторы функций, сигналов и т.д.

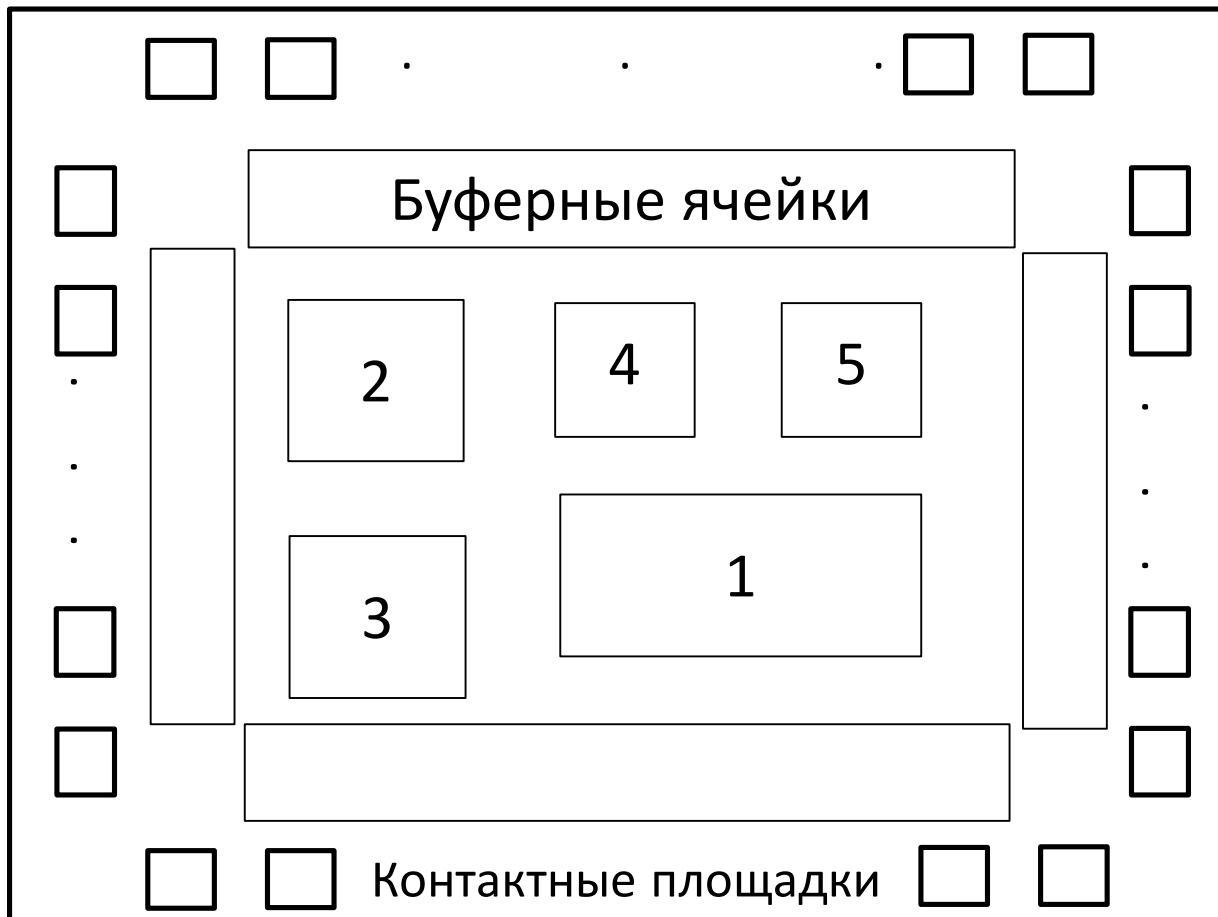
СБИС с изменяемой внутренней структурой. В этом методе внутри кристалла СБИС размещают несколько функциональных элементов, выпускавшихся ранее как самостоятельные интегральные схемы.

Это могут быть, например, схемы памяти, процессоры, контроллеры, логические устройства. Размещая такие крупные элементы внутри кристалла матричных СБИС, в дополнение к сети ее логических вентилей, можно получать законченные схемы для конкретного применения.

Спроектированная таким образом СБИС, является работоспособной практически с первого включения, т.к. топология входящих в нее элементов разработана ранее и проверена в работе.

Отличительной особенностью таких СБИС является то, что коэффициент полезного использования кристалла приближается к 100%.

Примером такой СБИС может служить МаБИС MSX фирмы Toshiba. Площадь кристалла $S_{кр}=7,6 \times 8,2$ мм.



1. Микропроцессор Z80 фирмы Zilog.
2. Интерфейс 8255 Intel.
3. Счетчик/таймер с генератором синхроимпульсов Toshiba N6497.
4. Из вентилей МаБИС блок программируемого ввода/вывода.
5. Логические схемы для тестирования кристалла.