



Universidade Federal do Rio Grande do Norte
Departamento de Engenharia de Computação e
Automação

Relatório de Circuitos Digitais
1º projeto avaliativo de laboratório

Alunos	Inaldo Marinho de Queiroz Neto Gabriel Ribeiro de Freitas Ramon de Oliveira Silva Junior
Professores	Kennedy Reurison Lopes Emanoel Raimundo Queiroz Chaves Junior
Subturma	01A

Natal
2018

Conteúdo

1	Introdução	1
2	Desenvolvimento	1
3	Conclusões	4

1 Introdução

VHDL é uma linguagem de programação de descrição de hardware VHSIC (Very High Speed Integrated Circuits) e é usada para facilitar o design e a implementação de circuitos digitais em CPLDs, FPGAs e ASICs. A FPGA, (hardware que utilizamos neste projeto), é um circuito integrado projetado para ser configurado, (usando portas lógicas ou VHDL), por um projetista.

Neste relatório será mostrado um exemplo básico de como se implementar, com VHDL, um cofre utilizando o hardware da FPGA e os conceitos de máquinas de estados, FLIP FLOPs, entre outros adquiridos nas aulas práticas e teóricas da disciplina de Circuitos Digitais. A placa utilizada foi a ALTERA Cyclone II.

2 Desenvolvimento

De início, foi-se pensado em como seria a máquina de estados do circuitos (FSM). Assim como na teoria, a máquina foi desenhada pensando no que acontece em cada estado e como seria implementado este estado. Como resultado, obteve-se um circuito descrito na FSM da figura 1 abaixo.

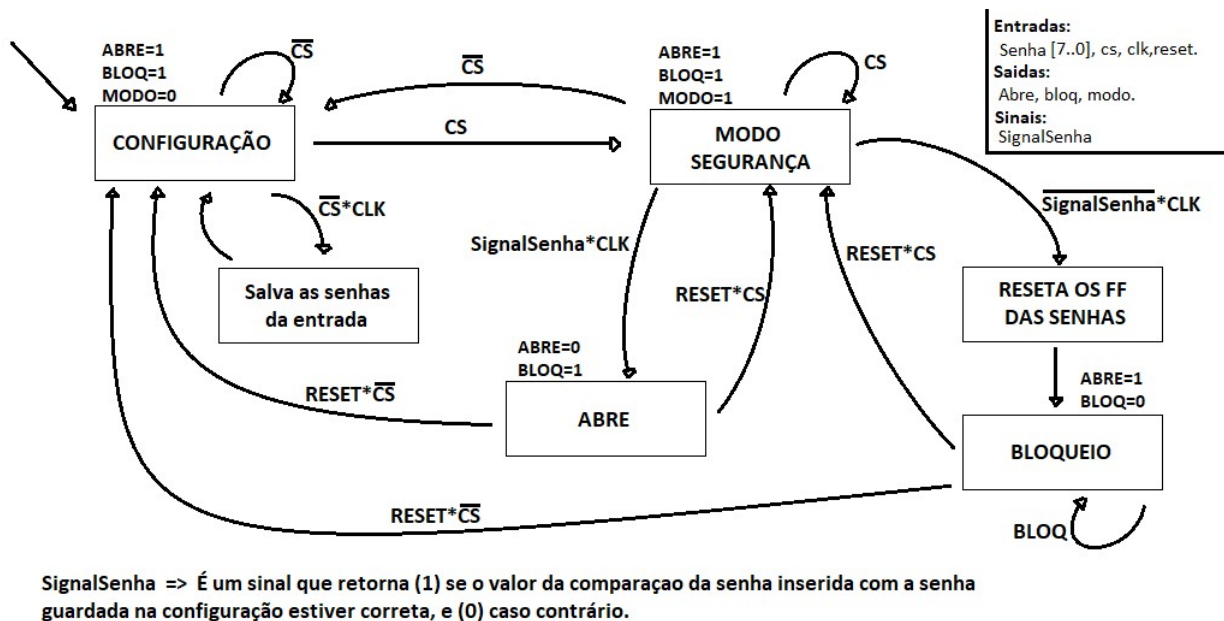


Figura 1: Máquina de estados - FSM

A partir daí, iniciou-se a implementação do código em VHDL. O circuito contém 3 saídas (bloq, abre, modo) e 11 entradas (senha de 8 bits, clk, reset, CS). O estado inicial é o de configuração, onde o usuário insere a senha e, logo após, aciona o 'clk' (clock) para salvar a senha nos FLIP FLOPs que foram implementados no código (segundo estado). Quando 'CS' for acionado, a máquina passa para modo de segurança (terceiro estado), onde o usuário confirma senha inserida anteriormente. Se o utilizador acertar, o cofre será aberto (quarto estado), caso contrário, o sistema apagará a senha inicial armazenada nos FLIP FLOPs (quinto estado) e será bloqueado (sexto estado), de modo que só sairá deste estado quando o botão de reset for acionado, que levará o usuário de volta para o estado inicial ou de segurança, dependendo do 'CS'.

A lógica de bloqueio do sistema é implementada da seguinte maneira: existe um FLIP FLOP que é responsável por armazenar o estado do bloqueio, o mesmo começa inicialmente com o valor 1 na sua saída, caso a senha seja digitada errada, esse FLIP FLOP recebe o valor de 0 e bloqueia o sistema ate que o mesmo seja resetado com o botão de reset e retorne ao valor 1. Ele bloqueia o sistema através de um sinal que sai da saída do FLIP FLOP bloqueio e entra em uma porta logica AND com a comparação das senhas. Assim, se a senha estiver correta (SignalSenha = '1'), e o FLIP FLOP estiver bloqueado (em '0'), o resultado da porta AND será '0' e o cofre permanece fechado e bloqueado.

Para ficar mais claro o entendimento de como o circuito funciona, a figura 2 abaixo mostra a simulação de WaveForm do circuito em questão.

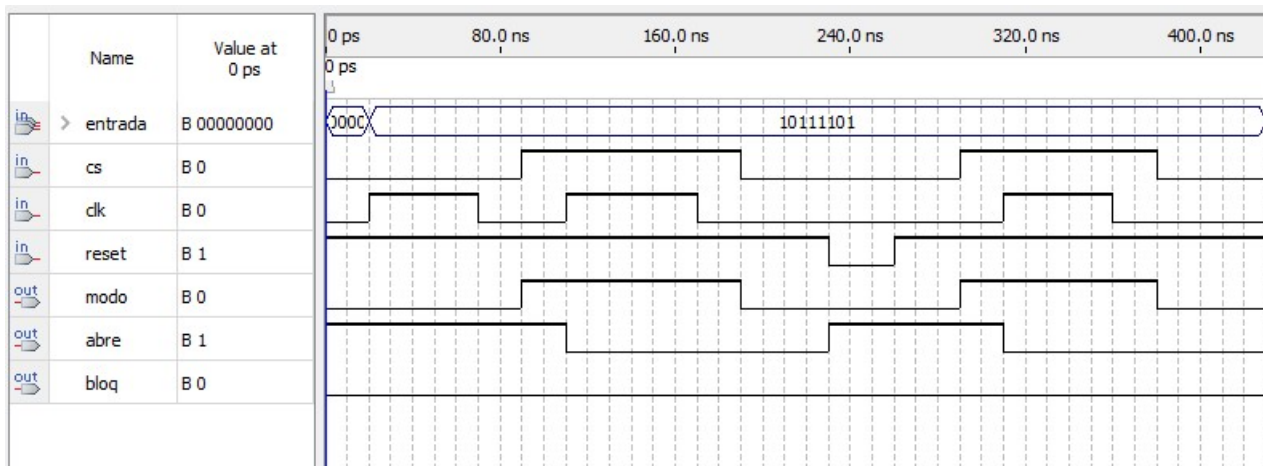


Figura 2: WaveForm 1 - Caso em que o usuário insere a senha correta

Neste caso, o usuário insere uma senha, testa a senha corretamente e o circuito abre, e, após isso, preciona o botão de reset, (que inicia em '1' pois o botão para esta função, na FPGA, possui lógica inversa), que faz com que o cofre feche novamente. Após isso, a senha é testada novamente, mais uma vez correta, fazendo com que o cofre abra mais uma vez.

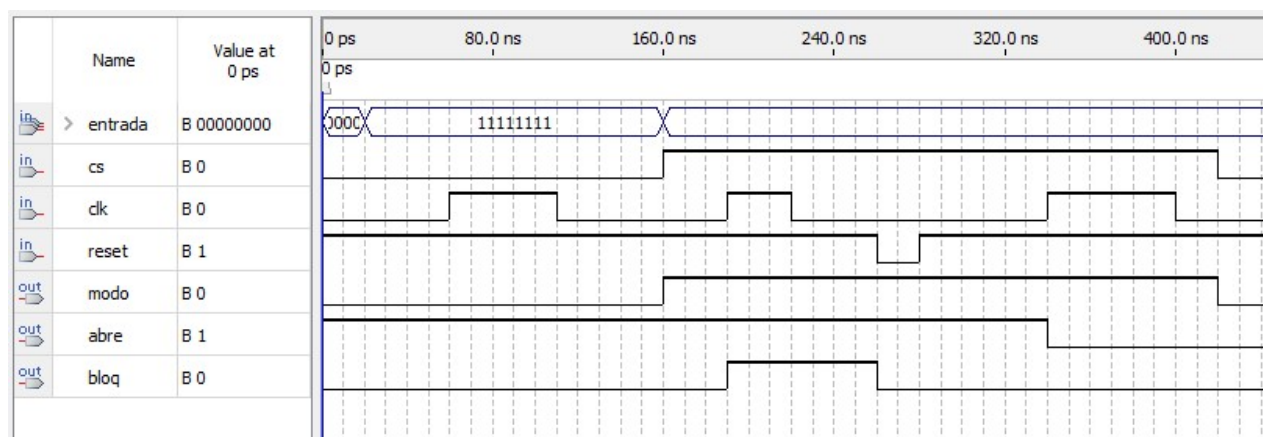


Figura 3: WaveForm 2 - Caso em que o usuário insere a senha incorreta

Já no caso da figura 3 acima, o usuário insere uma senha que não condiz com a inserida inicialmente e faz com que o sistema apague a senha armazenada e entre em modo de bloqueio,

que permanece até o botão de reset ser pressionado, fazendo com que o circuito seja desbloqueado. Após fazer isso, o usuário digita a senha '00000000' e o cofre é aberto, verificando que os FLIP FLOPs foram reinicializados com '0's.

A figura 4 abaixo mostra o RTL do circuito, gerado pelo software Quartus a partir do código-fonte em VHDL.

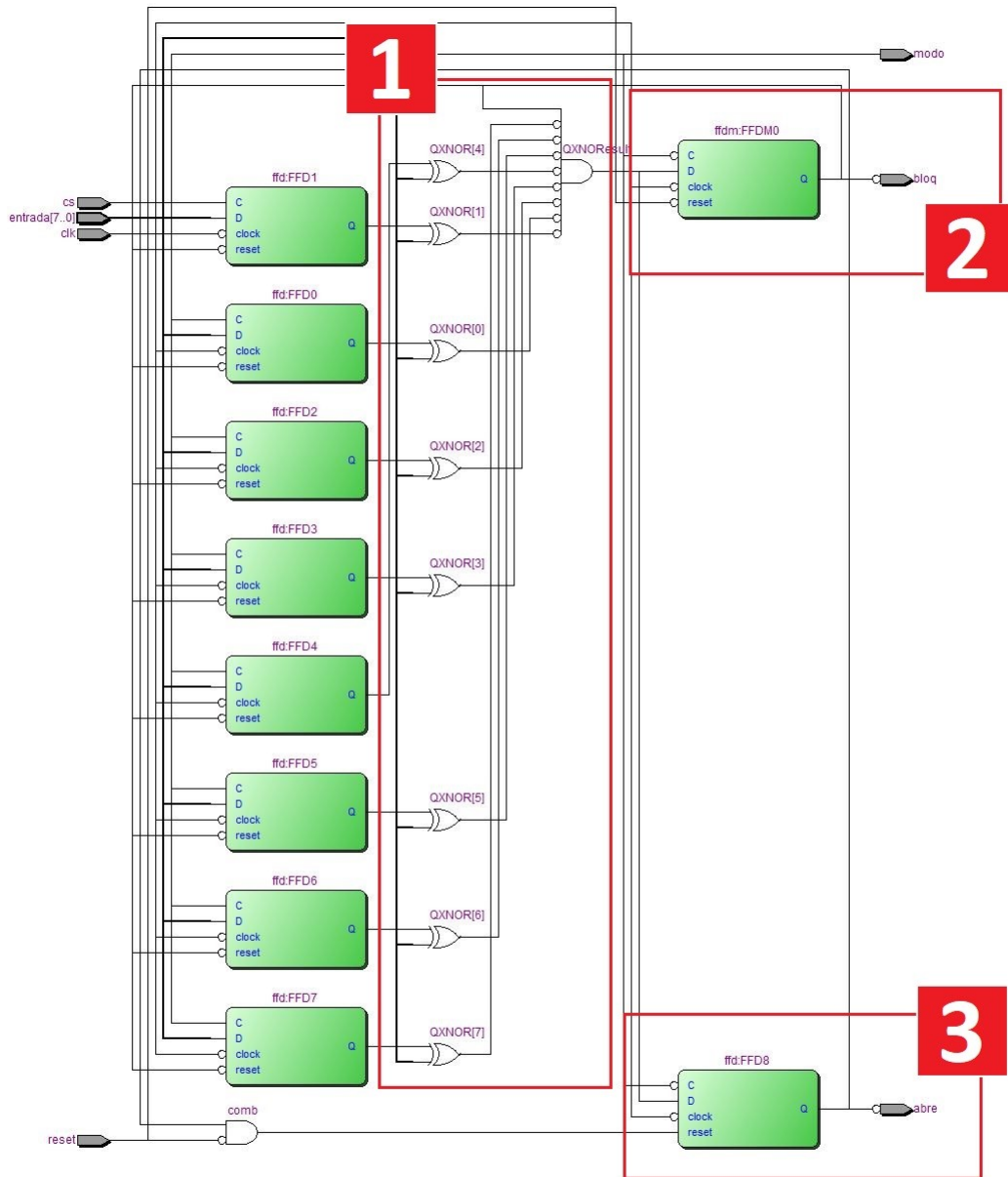


Figura 4: RTL do circuito

Os 8 FLIP FLOPs do lado esquerdo são os armazenadores da senha, que depois será passada por portas XNORs, (identificadas no quadro 1, que compara a senha bit a bit), que terão suas saídas como entrada em uma porta AND, (também identificada no quadro 1, que verifica se todos os bits comparados anteriormente são iguais), onde há a comparação da senha por inteira.

Nos quadros 2 e 3 são mostrados os FLIP FLOPs que armazenam as saídas 'bloq' e 'abre' respectivamente. Cada um guarda informações de um estado diferente, por isso foi necessário usar este artifício.

No caso em que o usuário possa ter mais de uma tentativa para inserir a senha correta, seria necessário um registrador, que é formado por um conjunto de FLIP FLOPs, a fim de armazenar o numero de tentativas, e caso esse número ultrapasse a quantidade configurada o sistema será bloqueado. No caso do nosso circuito, seria criada uma logica para o 'SignalBloq' receber '0' quando o numero de tentativas fossem excedidas e, assim, o sistema bloquear.

Se existisse uma senha cadastrada de fábrica, a implementação poderia ser feita da seguinte maneira: seria necessário um conjunto de FLIP FLOPs para armazenar esta. Os mesmos já inicializariam setados com o valor da senha e não são alterados por nenhuma entrada. Assim, quando uma senha fosse digitada na entrada ela seria comparada tanto com as senhas do FLIP FLOP padrão de fabrica com uma porta XNOR, como com a senha salva no FLIP FLOP do circuito que salva a senha configurada pelo usuário também por uma XNOR. E a saída das duas comparações seria uma porta OR, onde se uma das duas senhas estivessem correta o cofre abriria.

3 Conclusões

Através desse projeto foi possível observar e concluir que a partir dos conhecimentos adquiridos ate o momento sobre circuitos digitais é possível realizar diversas aplicações como demonstrado do exemplo acima.