|  |  |  |
| --- | --- | --- |
| **NOMBRE** |  | **Vargas Jhon** |
| **EMAIL** |  | [jhary3000@hotmail.com](mailto:jhary3000@hotmail.com) |
| **PROYECTO** |  | Poncho Educativo **2.0** |
| **REPO** |  | <https://github.com/IngJhonVargas/Poncho-Educativo-v2.0.git> |
| **CORRECCION (Fecha)** |  | **Primera 1/07/15** |
| **Curso CESE - PCB** | Docente | Diego Brengi |
| **Documentación** | Archivo hoja de proyecto en /doc | Falta colocar la hoja en el directorio doc. El directorio doc colocarlo DENTRO del proyecto, incluir la licencia y el Readme. |
|  | Archivos de revisiones en /doc | Falta. Incluir esta revisdión y la del revidor designado. |
|  | Revisor designado | Falta mencionar |
| **Esquematico** | Bibliotecas | Quitar todas al finalizar el esquemático. |
|  | Rótulo | Falta el revisor. Agregar que el curso es de la CESE. Mencionar el archivo de licencia. |
|  | Jerarquía |  |
|  | Campos KiCost |  |
|  | Prolijidad conexiones | En XA1B, pin 67 y 77, las uniones (junction) no van. |
|  | Referencias | La etiqueta local para GND en U2, intentar evitarla, no es buena práctica. Hacer lugar para la etiqueta de GND, es preferible ponerla acostada. |
|  | Comentarios | Los valores de las resistencias colocarlos fuera del cuerpo, de esa manera es más clara su visualización. |
|  |  |  |
|  |  |  |
|  |  |  |
|  | ERC | OK |
| **Asociación** | Configuración bibliotecas huellas | OK |
|  |  |  |
| **PCB** | Notas en PCB: Grila pos, ruteo. Pista min, Vía min, aguj. min, capas, terminación superficial. | Falta |
|  | Rótulo | Similar al esquemático |
|  | Encapsulados | Parecen adecuados |
|  |  | Así como estan los conectores de Poncho está bien resuelto, pero tener en cuenta que deben mantenerse alineados según la plantilla. Hay un componente que se llama "conn poncho sin borde", que es un solo componente con los dos conectores a la distancia correcta. En caso de usarlo hay que usar en el esquematico XA1A y XA1B, en vez de los actuales XA1A y XA2B. |
|  |  |  |
|  | Borde del PCB |  |
|  | Ancho de pistas |  |
|  | Tamaño de vía |  |
|  | DRC |  |
|  | Ruteo |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  | Fiduciales |  |
|  | Placement | Evaluar colocar los SMD en capa bottom porque tal vez facilite el ruteo. |
|  | Serigrafía |  |
|  |  |  |
|  | Textos en cobre o en serigrafía, logos |  |
|  |  |  |
|  | Dimensiones |  |
|  | Fijación |  |
|  | Belleza/Alineación |  |
|  | Vista 3D |  |
|  | Areas de cobre |  |

|  |  |  |
| --- | --- | --- |
| **NOMBRE** |  | **Vargas Jhon** |
| **EMAIL** |  | [jhary3000@hotmail.com](mailto:jhary3000@hotmail.com) |
| **PROYECTO** |  | Poncho Educativo **2.0** |
| **REPO** |  | <https://github.com/IngJhonVargas/Poncho-Educativo-v2.0.git> |
| **CORRECCION (Fecha)** |  | **Segunda 26/07/17** |
| **Curso CESE - PCB** | Docente | Diego Brengi |
| **Documentación** | Archivo hoja de proyecto en /doc | OK |
|  | Archivos de revisiones en /doc | Falta. Incluir esta revisdión y la del revisor designado. |
|  | Revisor designado | Juan Carlos Suarez |
| **Esquematico** | Bibliotecas | Quitar todas al finalizar el esquemático. C:/Program Files/KiCad/share/kicad/library/conn |
|  | Rótulo | OK |
|  | Jerarquía | OK |
|  | Campos KiCost | Da un error que no puede detectar porqué. Si lo descubro te lo mando por email. |
|  | Prolijidad conexiones | OK |
|  | Referencias de tensión | OK |
|  | Comentarios | OK |
|  |  | Hay un problema con las tierras que no estan bien conectadas en el PCB. El problema esta generado en el esquemático y tiene que ver con el uso de etiquetas locales en el nodo de tierra. Borrar la biblioteca de esquemático power que esta localmente. Agregar la biblioteca power del sistema. Borrar todos los símbolos de tierra que no estan conectando y reemplazarlos por el símbolo de GND nuevo. |
|  |  |  |
|  |  |  |
|  | ERC | OK |
| **Asociación** | Configuración bibliotecas huellas | OK |
|  |  |  |
| **PCB** | Notas en PCB: Grila pos, ruteo. Márgen, Pista min, Vía min, aguj. min, capas, terminación superficial. | El diámetro de vía y taladro de vía estan anotados. Colocar también el margen. |
|  | Rótulo | OK |
|  | Encapsulados | Parecen adecuados |
|  |  | Así como estan los conectores de Poncho está bien resuelto, pero tener en cuenta que deben mantenerse alineados según la plantilla. Hay un componente que se llama "conn poncho sin borde", que es un solo componente con los dos conectores a la distancia correcta. En caso de usarlo hay que usar en el esquematico XA1A y XA1B, en vez de los actuales XA1A y XA2B. |
|  |  |  |
|  | Borde del PCB | Dejar por lo menos un milímetro del borde del pcb al borde de las pistas. |
|  | Ancho de pistas | Ok. De ser necesario en algunas zonas se pude bajar a 0,3 |
|  | Tamaño de vía | OK |
|  | DRC |  |
|  | Ruteo | Sobre DS1 y DS2 hay superpuestas varias pineras (4) que impiden rutear. Se llaman Pin1, Pin2, Soc1 y Soc2. |
|  |  | Verificar que las tierras esten todas interconectadas. |
|  |  |  |
|  |  |  |
|  | Fiduciales | OK |
|  | Placement | Evaluar colocar los SMD en capa bottom porque tal vez facilite el ruteo. |
|  | Serigrafía | Las referencias de DS1 y DS2 deben caer dentro de la placa. |
|  |  | Educativo 2.0 se vería mejor en capa serigrafía. |
|  | Textos en cobre o en serigrafía, logos | Colocar industria argentina en el cobre. |
|  |  |  |
|  | Dimensiones | OK |
|  | Fijación | Faltan agujeros para montaje de los displays. |
|  | Belleza/Alineación | OK |
|  | Vista 3D | No funciona. Ver instrucciones de uso de la variable $KIPRJMOD en la ruta del modelo 3D en Kicad Escuela. Colocar los models 3D dentro del directorio footprints.3dshapes en el proyecto. |
|  | Areas de cobre | FALTA |