

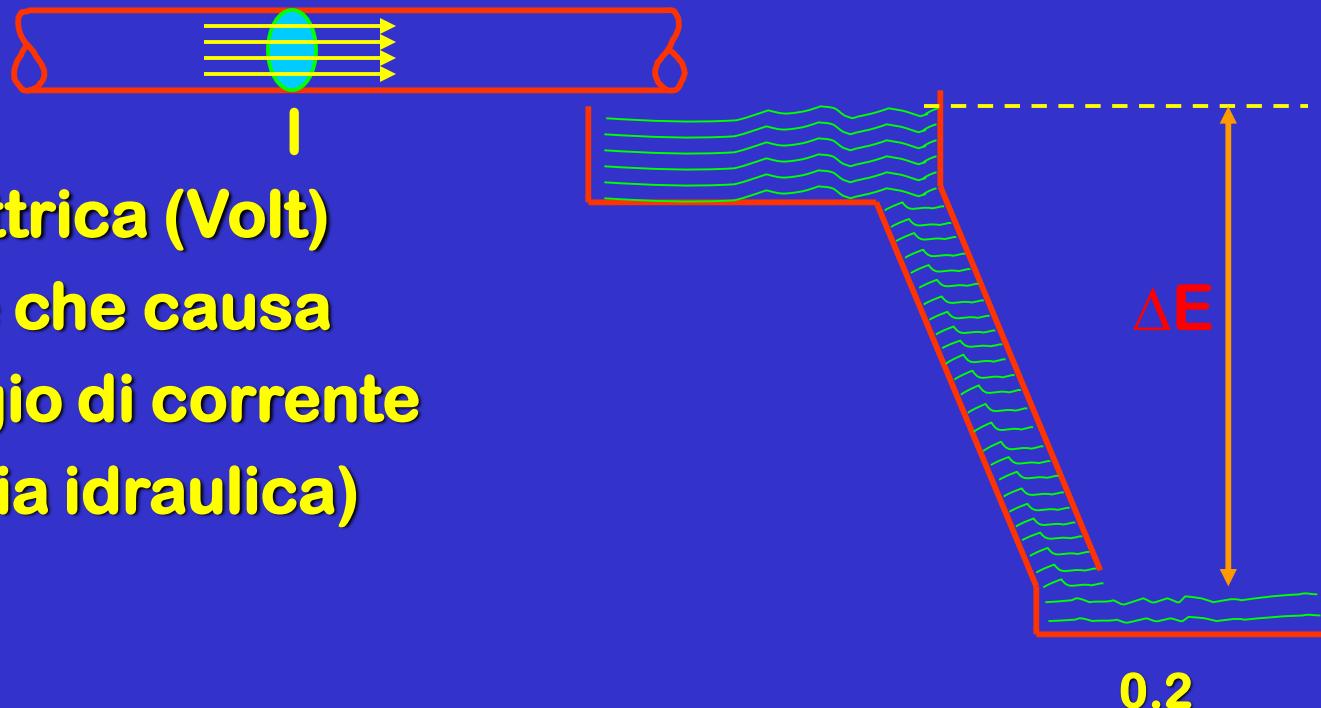
Sistemi Elettronici per Automazione e Robotica

Richiami di Teoria dei Circuiti

Prof. Sergio Saponara

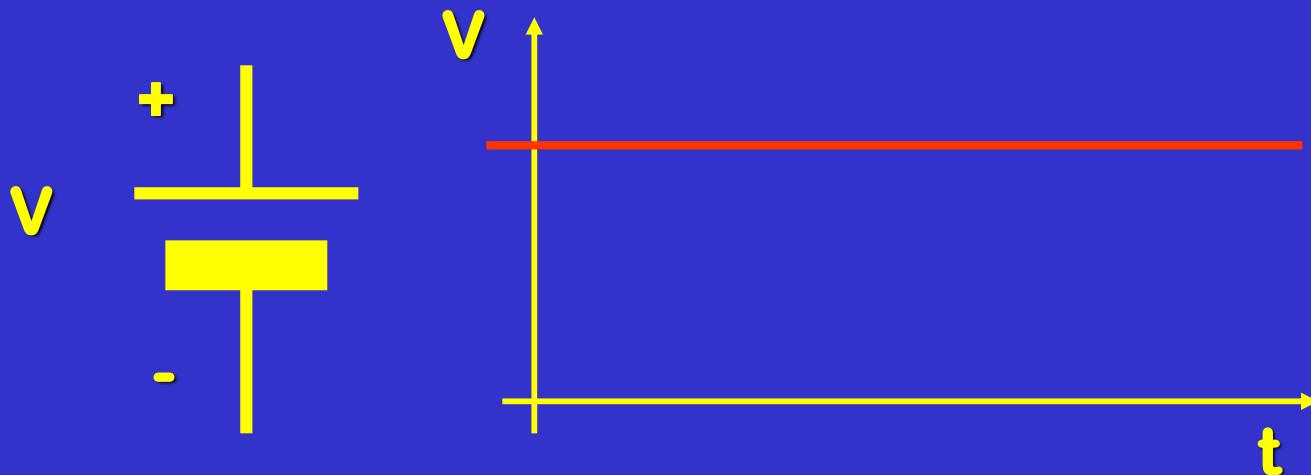
Grandezze Elettriche 1

- Corrente elettrica (Ampere)
 - Quantità di carica elettrica (es. elettroni) Q che attraversano una sezione nell'unità di tempo
 - (analogia idraulica) $I=Q/t$



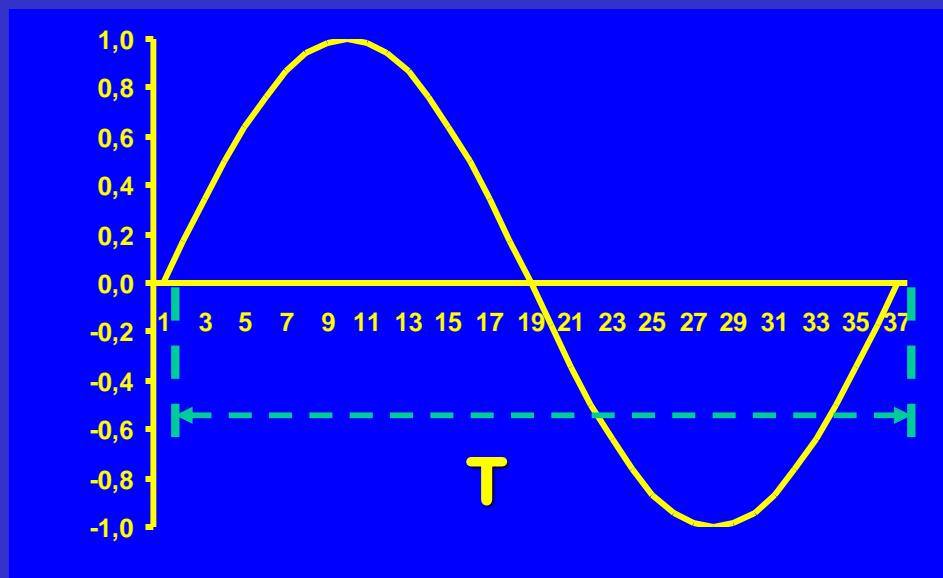
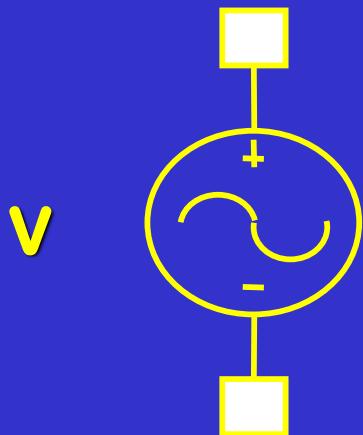
Grandezze Elettriche 2

- Differenza di potenziale, si misura in Volt - V
 - Generatore di tensione continua - DC



Grandezze Elettriche 3

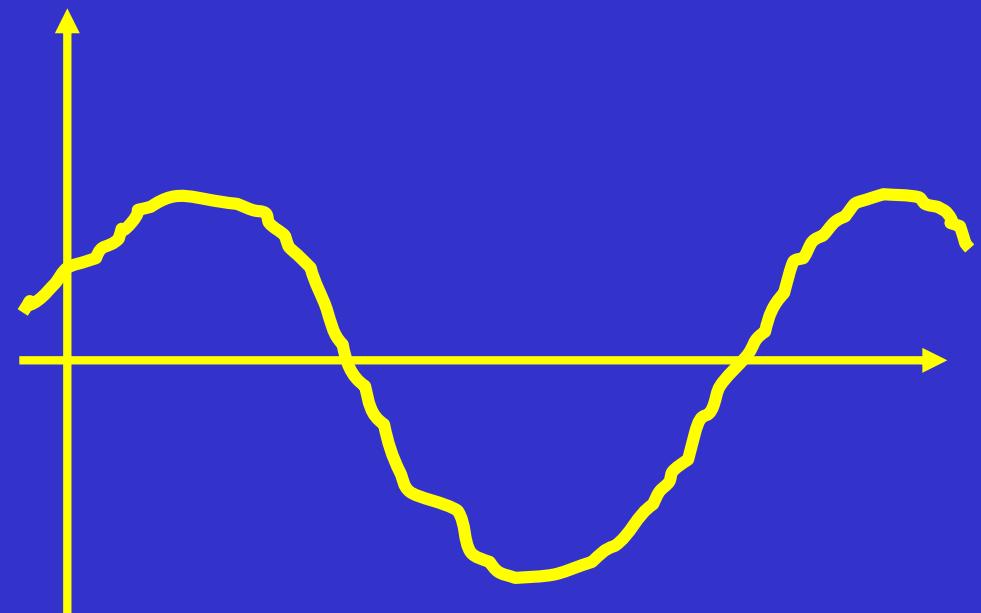
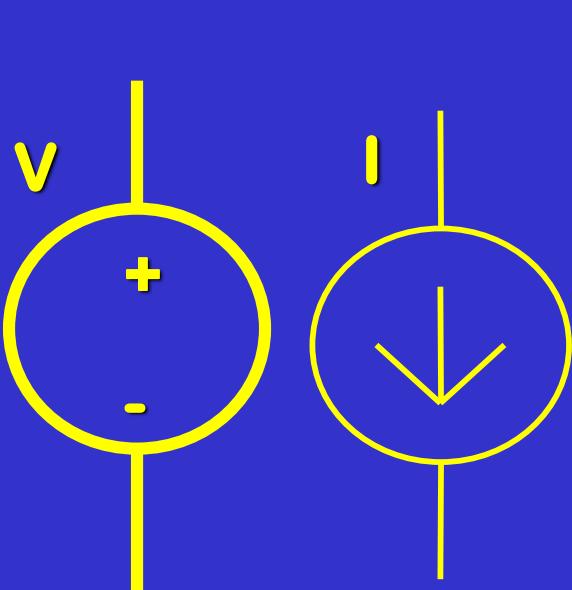
- Differenza di potenziale
 - Generatore di tensione alternata - AC



Frequenza si misura in Hertz - Hz, T in secondi - s
 $F = 1 / T$ (se $T=37$ ms $\rightarrow F=1/37$ kHz)

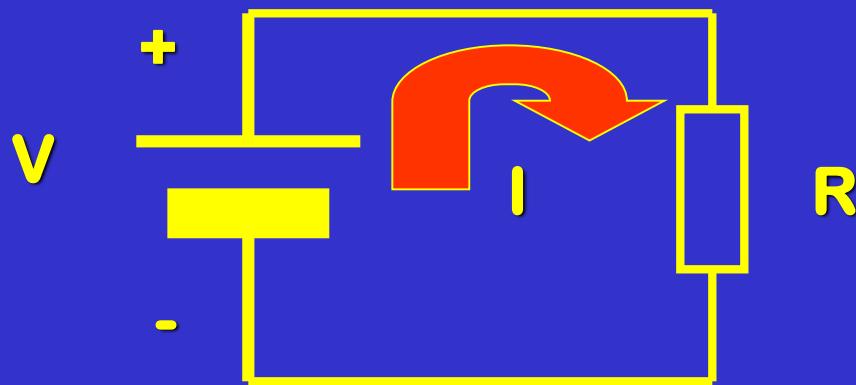
Grandezze Elettriche 4

- Segnale qualunque
(continuo nel tempo e nelle ampiezze)



Legge Di OHM

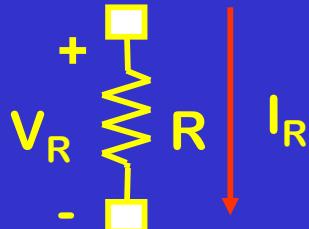
(resistenza si misura in Ohm- Ω
corrente si misura in Ampere -A)



$$\frac{V_1}{I_1} = \frac{V_2}{I_2} = \frac{V_3}{I_3} = R$$

Elementi circuituali [Elementi Passivi]

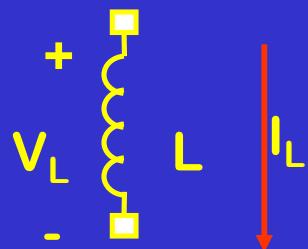
- Resistenza (inverso è la conduttanza $G=1/R$ che si misura in Siemens $S=\Omega^{-1}$)



$$v_R = R \cdot i_R$$

[dissipativo; R in Ohm Ω]

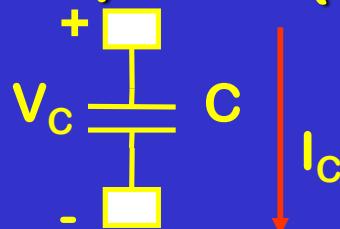
- Induttanza (elemento reattivo)



$$v_L = L \cdot \frac{di_L}{dt}$$

[L in Henry H;
conserva energia;
 $E=0.5LI^2$]

- Capacità (elemento reattivo)

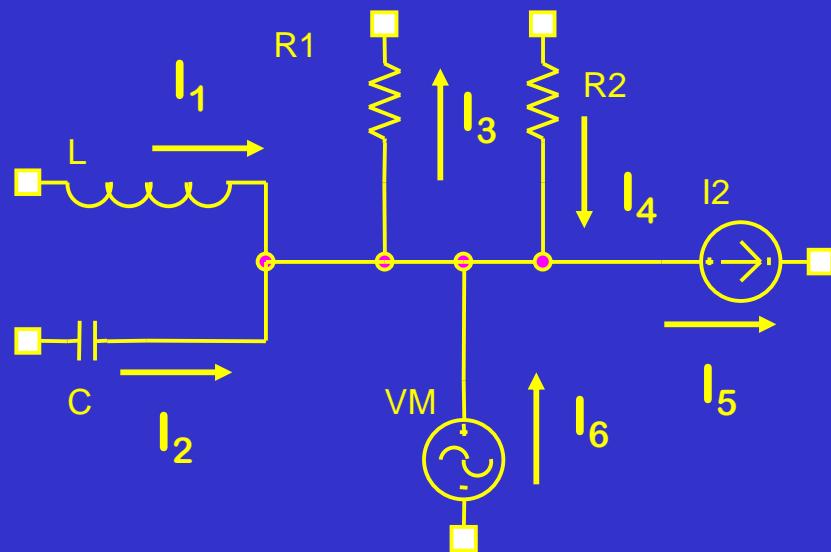


$$v_C = \frac{1}{C} \cdot \int i_C \cdot dt$$

[C in Farad F;
conserva energia;
 $E=0.5CV^2$]

Prima legge di Kirchhoff [KIL]

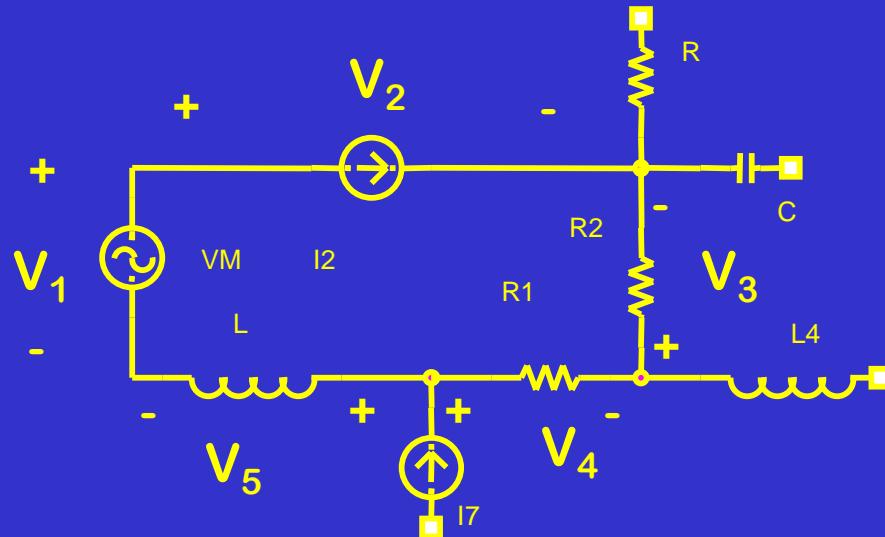
- La somma algebrica di tutte le correnti che confluiscono in un nodo è nulla in ogni istante



$$I_1 + I_2 - I_3 + I_4 - I_5 + I_6 = 0$$

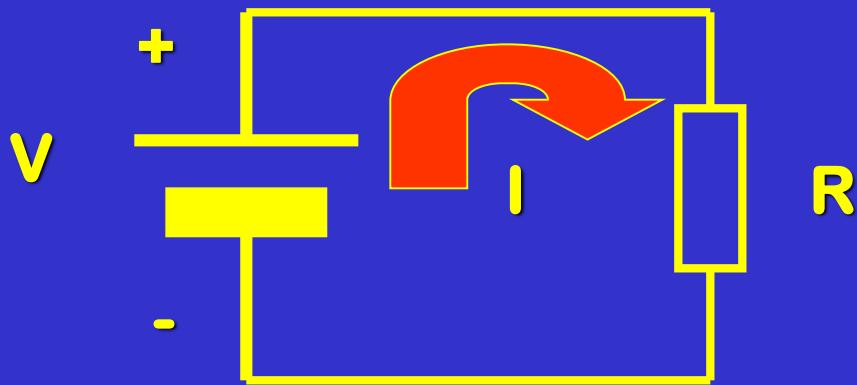
Seconda legge di Kirchhoff [KVL]

- La somma algebrica di tutte le cadute di tensione lungo qualunque percorso chiuso di un circuito deve essere nulla in ogni istante
 - Un percorso chiuso in un circuito si definisce anello o maglia



$$V_1 - V_2 + V_3 + V_4 - V_5 = 0$$

Potenza in Un Circuito Elettrico (potenza si misura in Watt –W)

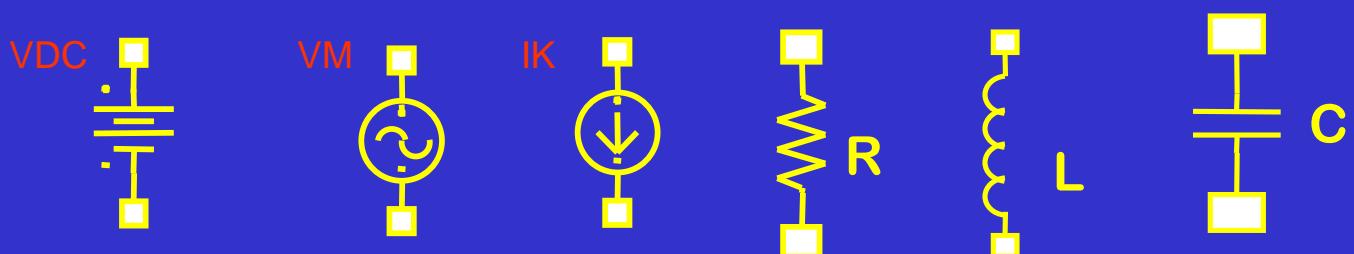


$$P = V \bullet I$$

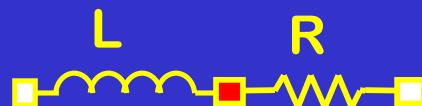
$$P = R \bullet I^2 = \frac{V^2}{R}$$

Anali di un circuito 1

- **Circuito elettrico**
 - Costituito da “m” rami e “n” nodi
- **Ramo** elemento circuitale con due estremità costituito da un solo elemento

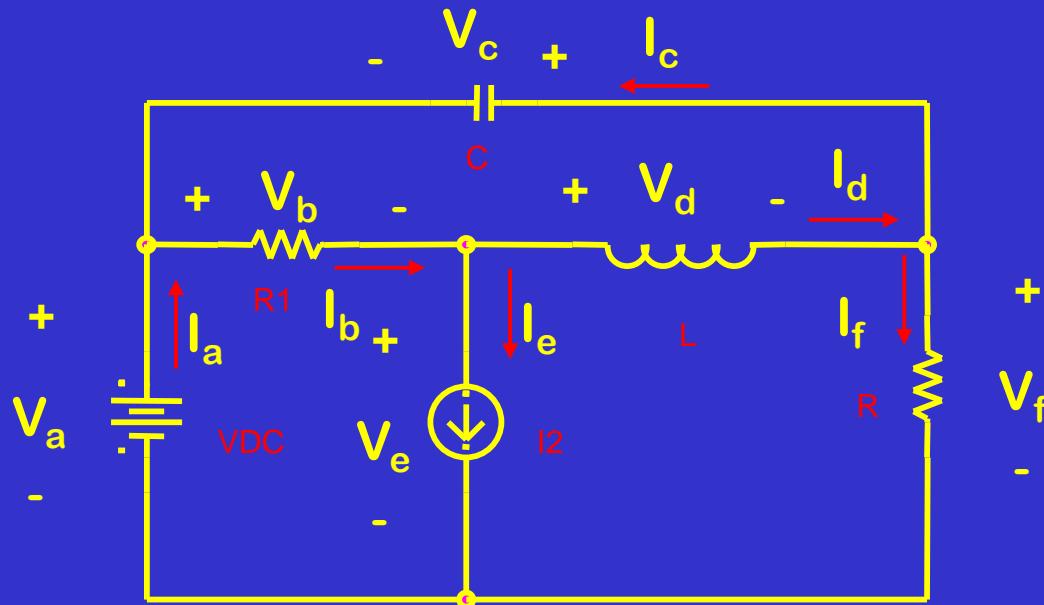


- **Nodo** Punto di unione fra almeno due rami



Anali di un circuito 2

- Se il circuito è costituito da “m” rami ($m=6$ in esempio), allora si hanno $2m$ (12 in esempio) grandezze elettriche (m correnti di ramo la I_b I_c I_d le I_f , m tensioni di ramo V_a V_b V_c V_d V_e V_f)

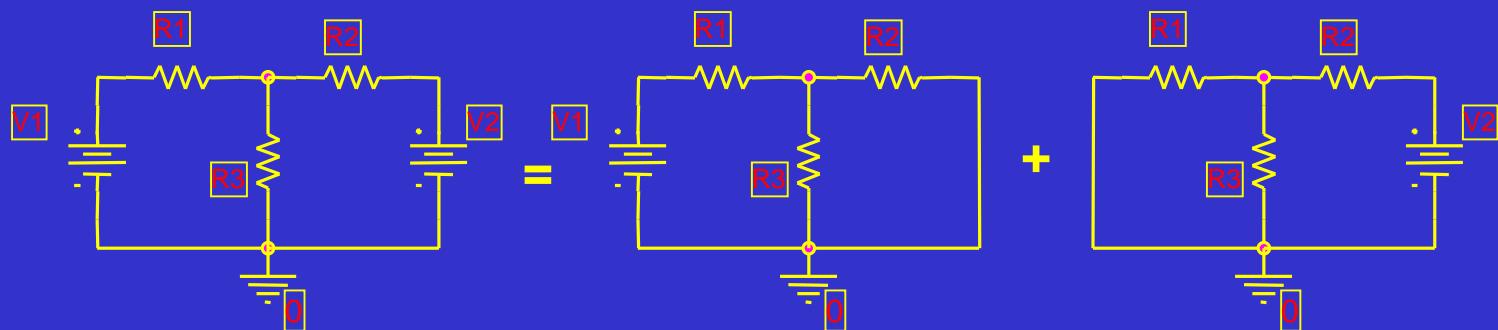


Anali di un circuito 3

- Risolvere la rete vuol dire determinare le $2m$ grandezze elettriche
 - Si deve scrivere un sistema di $2m$ (12 in esempio) equazioni in $2m$ (12 in esempio) incognite
- m (6 in esempio) equazioni sono di tipo fisico
 - (es. legge di Ohm)
- m (6 in esempio) equazioni di tipo topologico
 - (es. leggi di Kirchhoff, 3 equazioni ai nodi e 3 equazioni alle maglie)

Principio i sovrapposizione degli effetti

- La risposta di una rete lineare che contiene più generatori indipendenti può essere ricavata un singolo generatore per volta e sommando le risposte così ottenute

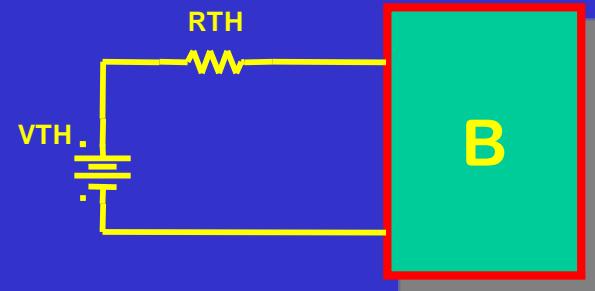
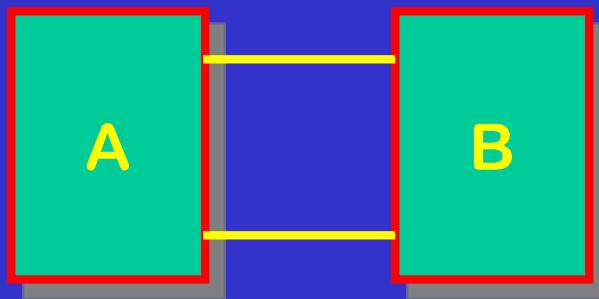


Teorema di Thevenin

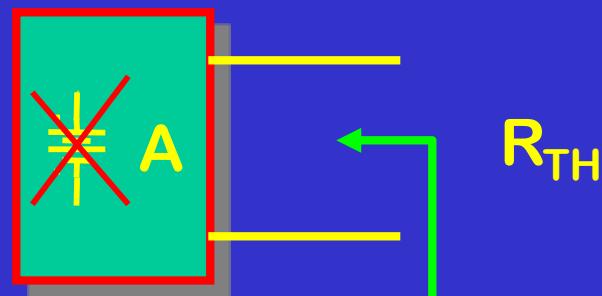
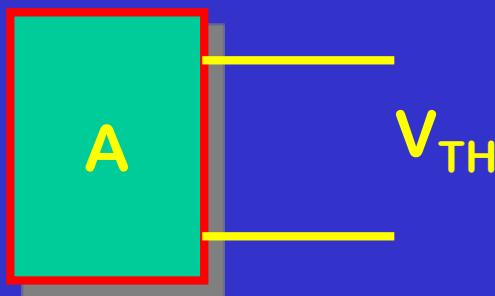
- Una qualunque rete lineare, rispetto a una coppia di suoi nodi, può essere sostituita da un generatore di tensione V_{TH} (pari alla tensione a circuito aperto) in serie a una resistenza R_{TH} vista fra i due terminali.
 - Per determinare R_{TH} occorre sostituire tutti i generatori di tensione indipendenti con dei cortocircuiti e tutti i generatori di corrente indipendenti con circuiti aperti.

Esempio 1

- Rete “A” lineare, rete “B” qualunque

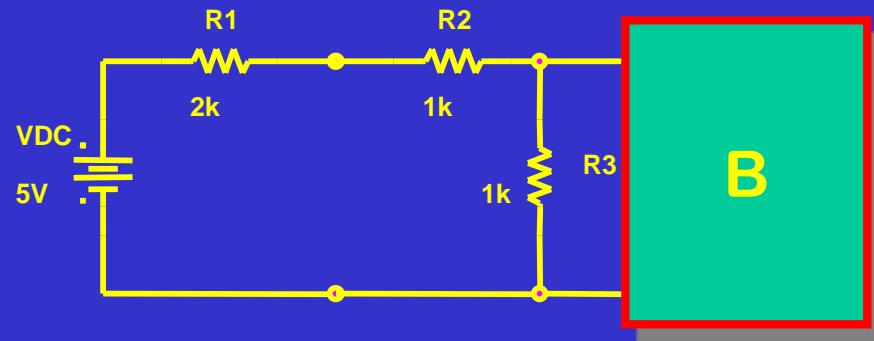


- V_{TH} tensione a vuoto, R_{TH} resistenza vista



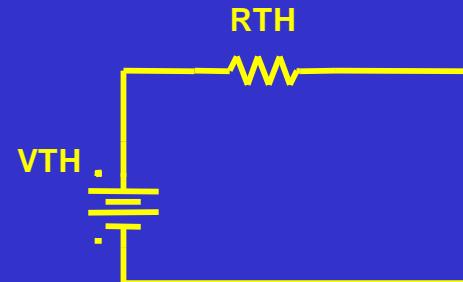
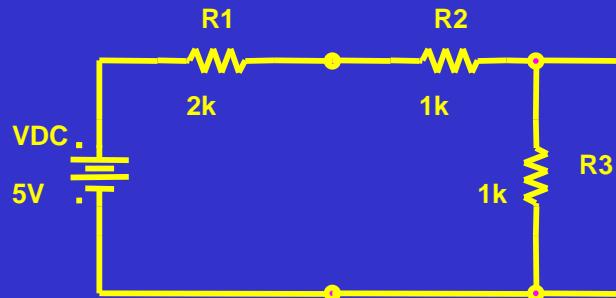
Esempio 2.1

- Equivalente di Thevenin



Esempio 2.2

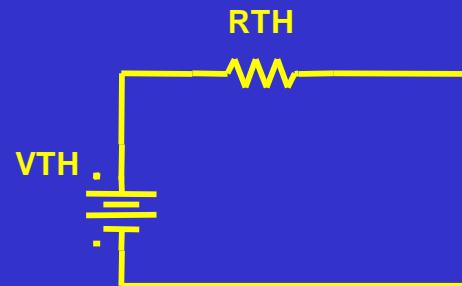
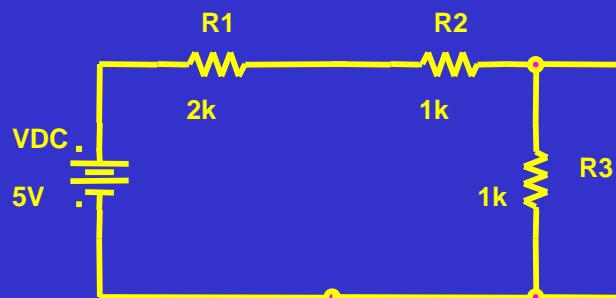
- Calcolo di V_{TH}



$$V_{TH1} = \frac{V_{DC}}{R_1 + R_2 + R_3} R_3 = \frac{5}{2+1+1} 1 = 1.25 \text{ V}$$

Esempio 2.3

- Calcolo di R_{TH}



- Cortocircuitando il generatore di tensione

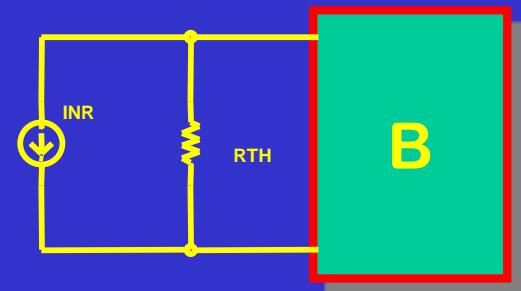
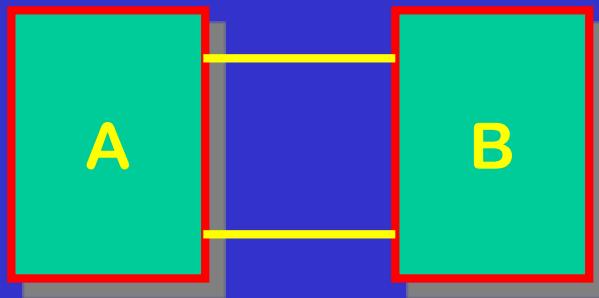
$$R_{TH} = R_3 \parallel (R_1 + R_2) = \frac{R_3 \cdot (R_1 + R_2)}{R_1 + R_2 + R_3} = \frac{1 \cdot (1+2)}{2+1+1} = 0.75 \text{ k}\Omega$$

Teorema di Norton

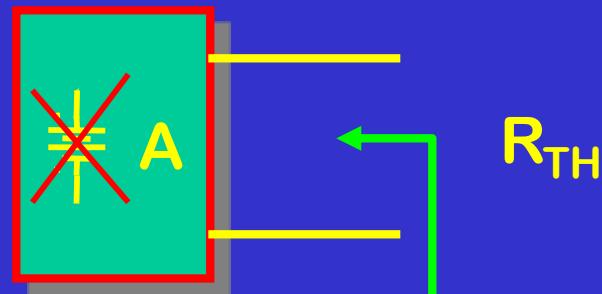
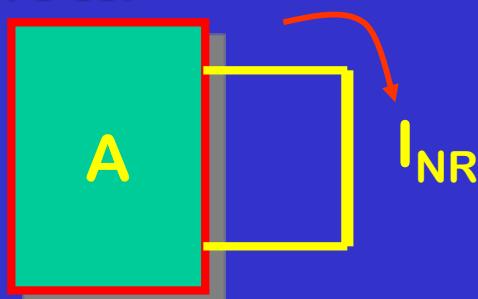
- Una qualunque rete lineare, rispetto a una coppia di suoi nodi, può essere sostituita da un generatore di corrente I_{NR} (pari alla corrente di cortocircuito) in parallelo a una resistenza R_{TH} vista fra i due terminali.
- (dualità delle reti elettriche)

Esempio 3

- Rete “A” lineare, rete “B” qualunque

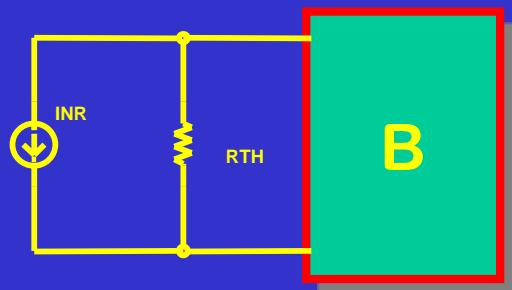


- I_{NR} corrente di cortocircuito, R_{TH} resistenza vista



Esempio 3

- Con riferimento a circuito di slide 0.18
- R_{TH} è la stessa ($0.75 \text{ k } \Omega$)
- $INR = V_{TH}/R_{TH} = 1.25/0.75 \text{ mA} = 5/3 \text{ mA}$



2. Analisi in frequenza di segnali

2.1 Serie di Fourier

Secondo il teorema di Fourier, una funzione periodica $y(t)$ è sviluppabile in una serie costituita da un termine costante A_0 e da una somma di infinite sinusoidi:

$$y(t) = A_0 + \sum_{n=1}^{\infty} A_n \cos(n\omega_0 t) + \sum_{n=1}^{\infty} B_n \sin(n\omega_0 t)$$

le cui frequenze f_n sono multiple intere della frequenza f_0 della funzione data (nota che $\omega=2\pi f$) :

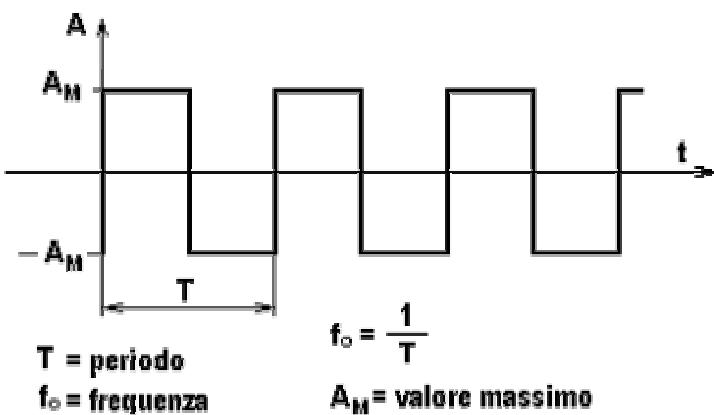
$$f_0 = \frac{1}{T} \quad f_n = n f_0$$

e di ampiezze A_n e B_n calcolabili secondo le seguenti formule:

$$A_0 = \frac{1}{T} \int_0^T y(t) dt \quad A_n = \frac{2}{T} \int_0^T y(t) \cos(n\omega_0 t) dt \quad B_n = \frac{2}{T} \int_0^T y(t) \sin(n\omega_0 t) dt$$

2.2 Esempio: spettro in frequenza del segnale onda quadra

Un segnale di particolare interesse è l'onda quadra per via dei numerosi impieghi che la caratterizzano come il **clock** nei circuiti digitali e le portanti numeriche nei sistemi di telecomunicazioni



Dall'applicazione delle formule della **serie di Fourier** risulta che l'onda quadra in oggetto è costituita dalla somma di infinite sinusoidi, dette armoniche, di frequenza multipla intera di f_0 e di ampiezza data dai valori:

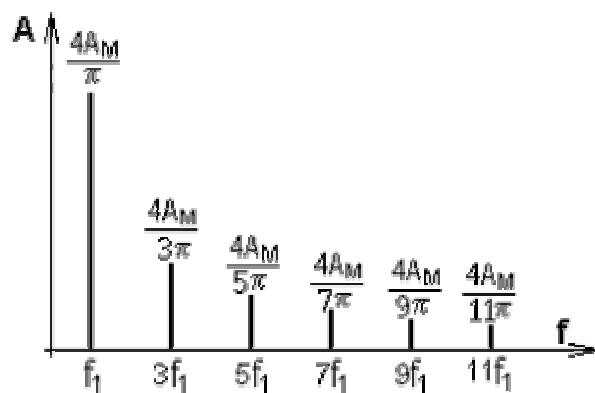
valore medio: $A_0 = 0$

armoniche: $\left\{ \begin{array}{l} \text{per } n \text{ pari: } B_n = 0 \\ \text{per } n \text{ dispari: } B_n = \frac{4A_M}{n\pi}; \quad f_n = nf_0 \\ \text{tutte: } A_n = 0 \end{array} \right.$

Alla luce dei coefficienti di Fourier appena trovati la funzione onda quadra, sviluppata in serie di Fourier, risulta espressa come segue:

$$f(t) = \frac{4A_M}{\pi} \left[\sin(\omega t) + \frac{1}{3} \sin(3\omega t) + \frac{1}{5} \sin(5\omega t) + \dots \right]$$

Lo spettro di ampiezza del segnale risulta allora quello riportato in figura: (nota che poiché la serie di Fourier è definita per n che va da 0 a $+\infty$ lo spettro in frequenza è monolatero definito in frequenza da 0 a $+\infty$)



2.3 Trasformata di Fourier

Le funzioni aperiodiche possono essere concepite come funzioni periodiche allorché il periodo tende a crescere fino all'infinito. Allora la distanza fra due righe dello spettro a righe tende a zero e lo spettro diventa a bande continue. La **Serie di Fourier** si trasforma in un integrale che assume il nome di **Trasformata di Fourier**, che rappresenta la distribuzione continua delle frequenze presenti in un segnale **aperiodico**. Ecco che ad un segnale $x(t)$ nel tempo viene associato un segnale $X(f)$ in frequenza:

$$x(t) = \int_{-\infty}^{+\infty} X(f) e^{j2\pi ft} df$$

$$X(f) = \int_{-\infty}^{+\infty} x(t) e^{-j2\pi ft} dt$$

e viceversa

2.4 Proprietà della trasformata di Fourier

Ecco alcune proprietà che della trasformata di Fourier (TDF) che richiameremo nel seguito del corso

Valori nell'origine: la TDF in $f=0$ è uguale all'integrale del segnale nei tempi.
 Il segnale in $t=0$ è uguale all'integrale della TDF nelle frequenze.

$$X(0) = \int_{-\infty}^{\infty} x(t) dt; \quad x(0) = \int_{-\infty}^{\infty} X(f) df;$$

Traslazione nei tempi: la TDF del segnale ritardato è uguale a quella del segnale originale moltiplicata per un esponenziale complesso

$$x(t-t_0) \xrightarrow{\text{TDF}} e^{-j2\pi f t_0} X(f)$$

Nota: una traslazione nel dominio temporale corrisponde ad una variazione della fase in quello frequenziale

Derivazione nei tempi: la TDF del segnale derivato nel tempo è uguale a quella del segnale originale moltiplicata per $j2\pi f$:

$$\frac{dx(t)}{dt} \xrightarrow{\text{TDF}} j2\pi f X(f)$$

Moltiplicazione nelle frequenze: la TDF inversa del prodotto delle TDF di due segnali è uguale all'integrale di convoluzione dei segnali nei tempi. L'integrale di convoluzione è un operatore utilizzato, per esempio, per descrivere come vengono modificati i segnali quando passano attraverso sistemi lineari tempo-invarianti.

$$x(t) * h(t) = \int_{-\infty}^{\infty} x(\tau) h(t - \tau) d\tau \xrightarrow{\text{TDF}} X(f) H(f)$$

Relazione di Parseval: l'energia di un segnale è uguale all'integrale del modulo quadrato della sua TDF

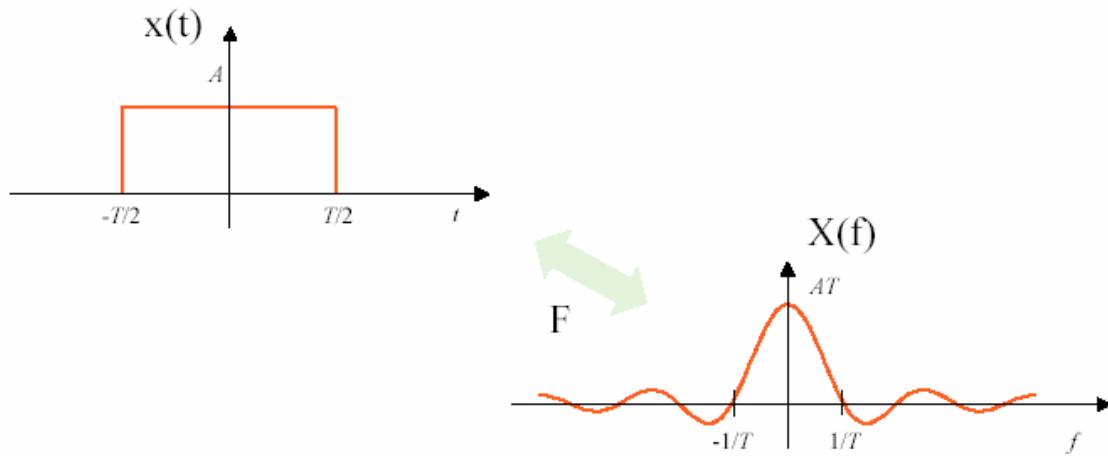
$$\int_{-\infty}^{\infty} |x(t)|^2 dt = \int_{-\infty}^{\infty} |X(f)|^2 df$$

2.5 Esempi di trasformate di Fourier

(nota che poiché l'integrale di Fourier è definito da $-\infty$ a $+\infty$ lo spettro in frequenza è bilatero definito in frequenza tra $-\infty$ a $+\infty$ e, per le ampiezze, simmetrico rispetto all'asse delle ordinate)

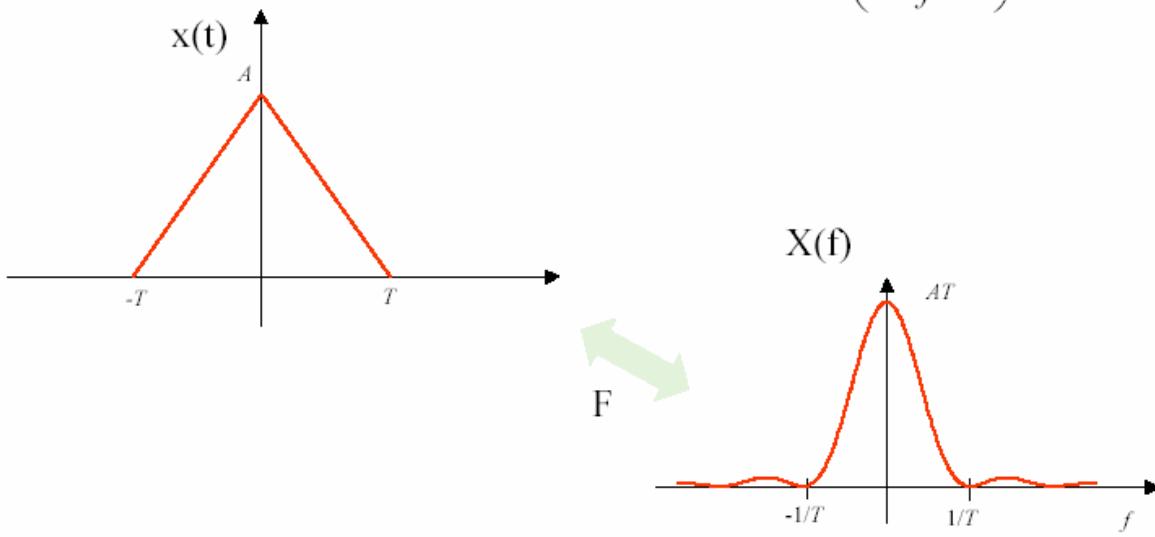
2.5.1. La funzione rect (rettangolo)

$$x(t) = A \operatorname{rect}_T(t) = \begin{cases} A & |t| \leq T/2 \\ 0 & |t| > T/2 \end{cases} \Leftrightarrow X(f) = AT \cdot \frac{\sin \pi f T}{\pi f T}$$



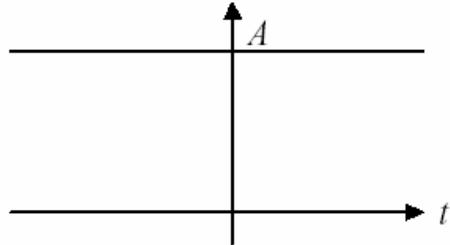
2.5.2. La funzione triangolo

$$x(t) = A \operatorname{tri}_{2T}(t) \Leftrightarrow X(f) = AT \left(\frac{\sin \pi f T}{\pi f T} \right)^2$$

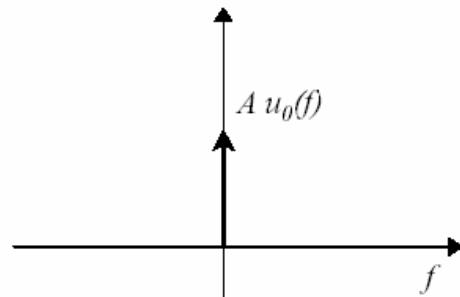


2.5.3. La funzione costante

Trasformata del segnale $x(t)=A$

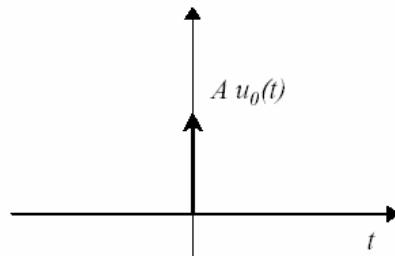


$$X(f) = F\{A\} = F\left\{\lim_{\Delta \rightarrow \infty} A \text{rect}_\Delta(t)\right\} = A \lim_{\Delta \rightarrow \infty} F\{\text{rect}_\Delta(t)\} =$$

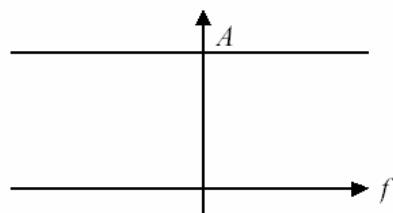


2.5.4. La funzione impulsiva

Trasformata del segnale $x(t)=A u_0(t)$



$$X(f) = F\{A u_0(t)\} = A \int_{-\infty}^{+\infty} u_0(t) e^{-j2\pi f_0 t} dt = A$$



2.6 Banda di un segnale

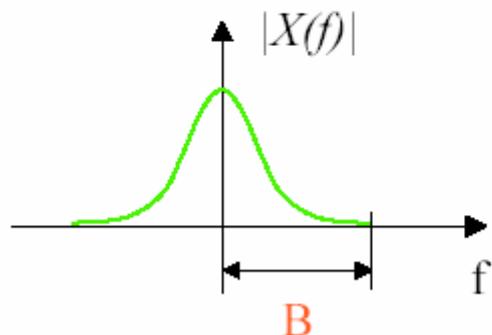
2.6.1 Definizione di banda

Viene definita banda (B) del segnale $x(t)$ l'intervallo di frequenze (misurato sul semiasse positivo dello spettro bilatero) all'interno del quale $X(f)$ assume valori diversi da 0.

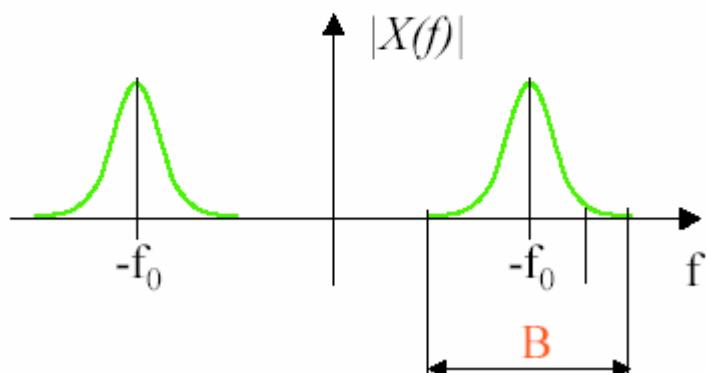
Molto spesso $X(f)$ è a rigore diversa da 0 da $-\infty$ a $+\infty$. In questo caso la banda corrisponde all'intervallo di frequenza in cui $X(f)$ è “significativamente” diversa da 0.

Operativamente, nella definizione di banda, si considerano due classi di segnali:
 segnali passa-basso e segnali passa-banda (questi ultimi non avendo la componente continua, ovvero a frequenza nulla, hanno nel tempo valor medio nullo).

Segnali di tipo passa-basso
 $X(f)$ concentrata intorno a $f=0$



Segnali di tipo passa-banda
 $X(f)$ concentrata intorno a $f=\pm f_0$



2.6.2 Contenuto frequenziale caratteristico dei segnali in vari settori di applicazione

• Segnali sismici	1 ÷ 200 Hz
• Elettrocardiogramma	0.05 ÷ 100 Hz
• Segnali audio	20 Hz ÷ 15 kHz
• Segnali video	50 Hz ÷ 4,2 MHz
• Segnali radio AM	540 KHz ÷ 1600 kHz
• Segnali radio FM	88 MHz ÷ 108 MHz
• Video VHF	54 MHz ÷ 60 MHz
• Video UHF	470 MHz ÷ 806 MHz
• Telefonia cellulare 1	824 MHz ÷ 891.5 MHz
• Video satellitare	3.7 GHz ÷ 4.2 GHz
• Comunicazioni a microonde	1 GHz ÷ 50 GHz

2.7 Cenni a tecnica della modulazione

2.7.1 Modulazione dei segnali

Per modulazione si intende la tecnica di trasmissione di un segnale elettromagnetico rappresentante un'informazione $x(t)$ per mezzo di un altro segnale elettromagnetico detto portante $y(t)$, tipicamente a frequenze molto maggiori. L'onda portante $y(t)$ è un'onda elettromagnetica con caratteristiche (frequenza, fase, ampiezza) ben determinate e note a priori di cui si modificano una delle proprietà (frequenza, fase o ampiezza) in funzione del segnale modulante $x(t)$ al fine di ottenere un segnale modulato $z(t)$. $z(t)$ conterrà in se l'informazione del segnale modulante $x(t)$, che tipicamente è di tipo passa-basso, ma $z(t)$ sarà di tipo passa-banda con frequenze centrate attorno a quelle della portante $y(t)$. I segnali da modulare possono rappresentare le informazioni più diverse: audio, video, dati. Il motivo per cui si utilizza la modulazione risiede nel fatto che i segnali rappresentanti le informazioni da trasmettere sono in prevalenza di natura passa-basso (il loro contenuto spettrale è concentrato per lo più a basse frequenze, vedi 2.6.2), mentre i canali trasmissivi che più comunemente si utilizzano sono di natura passa-banda. Occorre quindi convertire in frequenza, mediante tale operazione, lo spettro del segnale elettromagnetico rappresentante l'informazione. L'impiego di questa tecnica permette di trasmettere segnali elettrici (e quindi le informazioni che essi rappresentano) a grande distanza. In trasmissione il circuito responsabile della modulazione è detto modulatore mentre in ricezione il circuito che recupera dal segnale modulato il segnale informativo è detto demodulatore. Un apparecchiature che trasmette e riceve segnali modulati ha dunque un MODEM (MOdulatore/DEModulatore).

Nel campo delle modulazioni analogiche ricordiamo la AM - (Amplitude Modulation) modulazione di ampiezza e la FM - (Frequency Modulation) modulazione di frequenza che incontriamo nella vita quotidiana tramite la radio. Nel capitolo 6 verrà introdotta la modulazione PWM (Pulse Width Modulation).

2.7.2 Esempi di modulazione analogica di ampiezza (AM) e frequenza (FM)

L'AM è stato il primo metodo usato per trasmettere programmi radio ed è impiegata nelle trasmissioni radio a onde corte su lunghe distanze e nelle trasmissioni della parte video dei

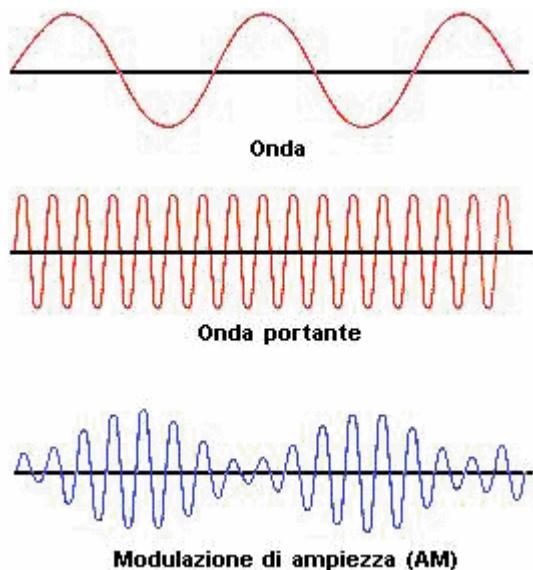
programmi televisivi. Le stazioni radio AM commerciali operano a frequenze fra i 540 e i 1600 kHz, separate fra loro di 10 kHz.

Le frequenze dell'onda portante usate per la televisione vanno da 55 a 210 MHz circa. In questa banda vi è spazio disponibile per circa 30 stazioni televisive, ciascuna delle quali usa una larghezza di banda di circa 5 MHz.

La formula che esprime un segnale modulato in ampiezza è la seguente:

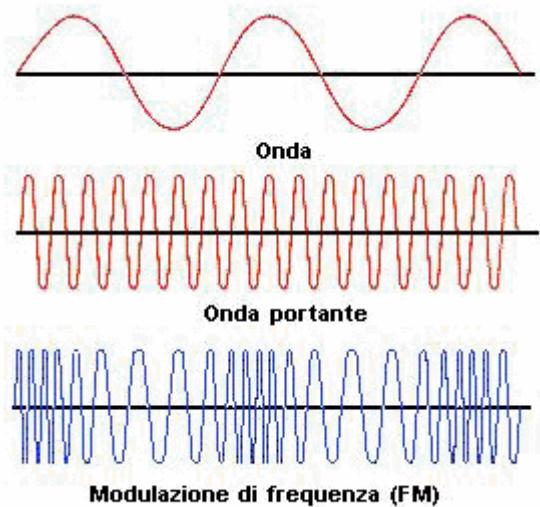
$$v(t) = (1 + m \cdot v_m(t)) \cdot V_c \sin(2\pi f \cdot t)$$

dove $v(t)$ è l'andamento temporale del segnale modulato, $v_m(t)$ è l'andamento temporale del segnale modulante, $V_c \sin(2\pi f \cdot t)$ è la sinusode portante (dove V_c è la tensione di picco della portante ed m è la profondità di modulazione).



Esempio di modulazione di ampiezza con segnale modulante $x(t)$ e portante $y(t)$ entrambi di tipo sinusoidale ma con frequenza di $x(t) \ll$ frequenza $y(t)$

Nelle trasmissioni a modulazione di frequenza (FM) l'ampiezza del segnale portante è mantenuta costante. La sua frequenza viene alterata a seconda delle variazioni nel segnale audio modulante che si vuole trasmettere. La tecnica della modulazione di frequenza fu sviluppata da H. Armstrong negli anni '30, per cercare di rimediare all'interferenza e al rumore che poteva rendere le trasmissioni AM di difficile ricezione. Alle stazioni radio FM commerciali sono state assegnate frequenze nel range che varia da 88 a 108 MHz e le stazioni sono distanziate di 200 kHz fra loro.



Esempio di modulazione di frequenza con segnale modulante $x(t)$ e portante $y(t)$ entrambi di tipo sinusoidale ma con frequenza di $x(t) \ll$ frequenza $y(t)$

Sistemi Elettronici Automazione e Robotica

**DOCENTE: Prof. Sergio Saponara (Martedì 3 ore,
Giovedì 2 ore, 60 ore totali)**

Dip. Ingegneria dell'Informazione (via G. Caruso 16, Pisa)

- ✧ E-mail: sergio.saponara@unipi.it
- ✧ Ricevimento (sempre con appuntamento via e-mail)
- ✧ Materiale didattico fornito dal docente e reso disponibile su aula virtuale TEAMS



Sistemi Elettronici Automazione e Robotica

NOVITA': nelle 60 ore,

Ing. Alessandro Bastoni

Functional Safety Expert,

Senior member @ STMicroelectronics

ciclo di seminari dall'industria high-tech

progettazione di sistemi Functional Safe

**Materiale didattico fornito dal docente e reso disponibile
su aula virtuale TEAMS**



Sistemi Elettronici Automazione e Robotica

Statistiche scorso anno:

2020: 80 esami in 1 anno, media 26.89

2021: 49 esami in 1 anno, media 26.5

2022: 70 esami in 1 anno, media 26.66

2023: 86 esami in 1 anno, media 26.97

2024: 10 esami in 1 anno, media 26.60

2025: 42 esami fino a Sett, media 26.81

Sistemi Elettronici Automazione e Robotica

9 possibilità in 1 anno: 1 Preappello + 8 Appelli

Pre-appello: Giovedì 16/12/2025, esercitazione scritta con 4-5 esercizi in 2h/2h30m

Almeno 1 esercizio sulla parte dei seminari su Functional Safety dell'Ing. Bastoni

Almeno 3 esercizi sulle lezioni del Prof. Saponara

Comunicazione del voto entro 31/12, + discussione orale del compito svolto (data da concordare) con voto finale = voto esercitazione scritta +/- 1 punto.

Sistemi Elettronici Automazione e Robotica

8 Appelli (7 appelli da calendario + 1 appello straordinario aprile): 2 o 3 esercizi preliminari scritti da fare in 1 h, poi discussione orale degli esercizi svolti

Tracce degli esercizi saranno rese disponibili su canale TEAMS

Esempi di esercizi analoghi a quelli dati al preappello o durante le sessioni di esame saranno risolti durante il corso che si invita dunque a seguire

Lezioni con Prof. Saponara

Sistemi Elettronici

- Intro su sistemi elettronici
- Segnali analogici e digitali, dimensionamento conversione da analogico a digitale (ADC) e conversione da digitale ad analogico (DAC) e codici digitali
- esercitazioni

Elettronica di Potenza e Gestione dell'Energia:

- Componenti di potenza
- Modulazione PWM e convertitori di potenza
- AC/AC, AC/DC, DC/DC, AC/AC
- esercitazioni

Lezioni con Prof. Saponara

Richiami di Elettronica Analogica:

- Front-end analogico (amplificatori, filtri, circuiti per analog signal processing) e interfacce sensori
- esercitazioni

Elettronica Digitale:

- Microcontrollori
- Controller Area Network (CAN)
- Memorie
- esercitazioni

Lezioni con Prof. Saponara

Le esercitazioni riguarderanno sia sistemi embedded per controlli che esempi in ambito veicolistico/meccatronico/robotico

Sistemi elettronici nella vita quotidiana

- Smart Phones/Smart Watches
- Apparecchi radio (Transceiver:
Trasmettitore/Ricevitore)
- Televisione
- Sistemi audio e video
- Personal computer/Tablet
- Sistemi di controllo industriale
- Sistemi di sicurezza su autovetture (e.g. ABS)
- Sistemi di iniezione e di accensione
- Domotica
- Sistemi di controllo posizionamento e movimento di
droni (Unmanned Aerial/Ground/Underwater Vehicle-
UAV, UGV, UUV)
- Sistemi di controllo di attuatori

Sistemi elettronici per veicoli e robot

Trend dei veicoli oggi è racchiuso in acronimo

ACES

A-Autonomous (da guida assistita a mobilità autonoma)

C-Connected (comunicazioni V2X vehicle to everything ovvero veicolo-veicolo V2V, veicolo-pedoni V2P, veicolo-infrastruttura V2I, veicolo to smart grid V2SG)

E-Electrified (propulsione ibrida con motori elettrici + motore a combustione interna di dimensioni ridotte oppure propulsione solo elettrica; attuazione elettrica invece che pneumatica o idraulica o oleodinamica)

S-Shared/Service (mobilità condivisa, industria evolve da vendere veicoli a vendere servizi di mobilità con veicoli condivisi)

Sistemi elettronici per veicoli e robot

Spin-off da veicoli a robotica e industria 4.0

Video 1 (5 minuti)

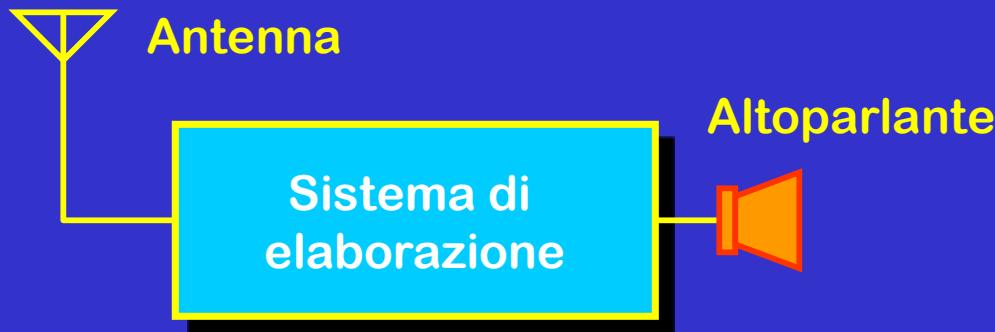
<https://www.youtube.com/watch?v=Bg8zw1SWiJA&feature=youtu.be>

Video 2 (1 ora)

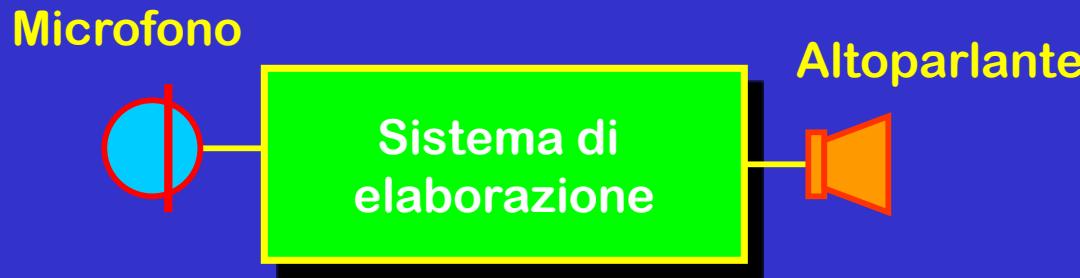
<https://www.facebook.com/IEEEIMS/videos/699365854024701>

Esempi di Sistemi Elettronici

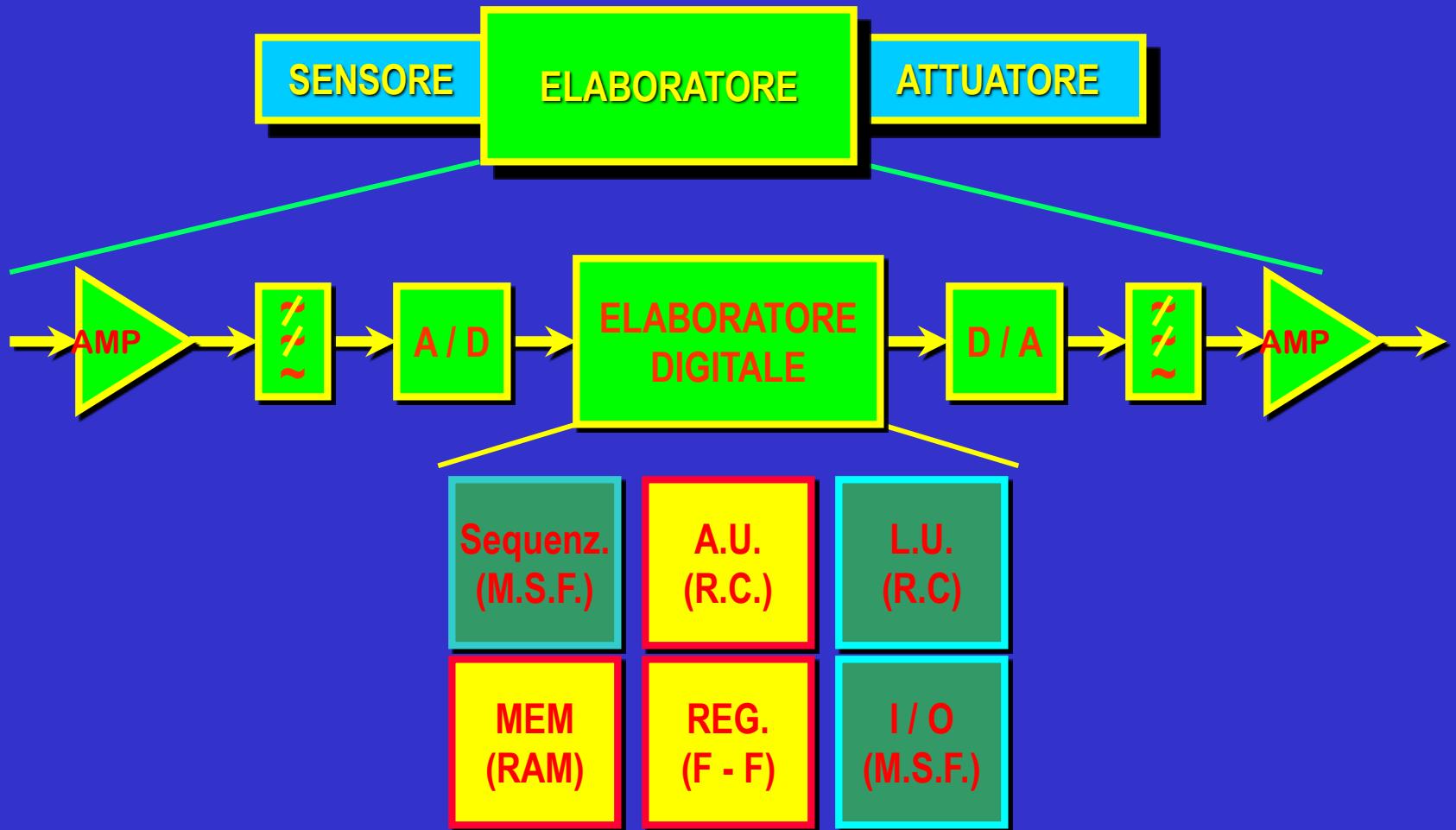
✧ Esempio 1: Ricevitore radio



Esempio 2: Amplificatore audio



Sistema Elettronico



Blocchi Fondamentali

✧ Sensore/trasduttore

- Trasforma la grandezza fisica che si vuole acquisire in un segnale elettrico (tensione, corrente, variazione di resistenza, capacità, induttanza, etc.)

✧ Attuatore

- Trasforma un segnale elettrico in una grandezza fisica di interesse (movimento, forza, luce, etc.)

✧ Sistema di elaborazione

- esegue operazioni lineari e/o non lineari sul segnale d'ingresso per fornire in uscita il segnale di pilotaggio dell'attuatore

Blocchi Fondamentali

✧ Sistema di elaborazione

SISO: single input single output

MIMO: Multi input multi output

Sistemi attuali (aerei, treni, robot industriali, satelliti, ...) sono sistemi complessi (sono difatti dei sistemi di sistemi) in cui il controllo è distribuito tra tante ECU (Electronic Control Unit), con connessione spesso mista cablata e wireless, ognuna delle quali è un sistema di elaborazione MIMO.

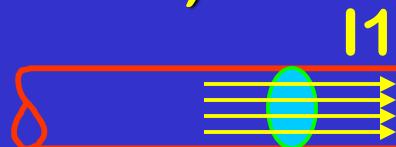
**Le variabili con cui rappresentiamo a
livello fisico (physical layer-PHY)
segnali e dati sono le grandezze
elettriche**

**segnali → ci si riferisce alla forma
d'onda (es. segnale periodico
modulato)**

**dati → ci si riferisce all'informazione
rappresentata dal segnale che spesso è
stato convertito in forma digitale**

Grandezze elettriche

- ❖ **Corrente elettrica (si misura in Ampere es $I_1=3\text{ A}$)**
 - **Quantità di cariche elettriche (elettroni) che attraversano una sezione nell'unità di tempo**
 - (analogia idraulica)

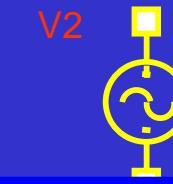
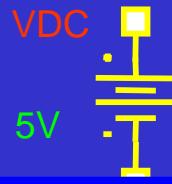
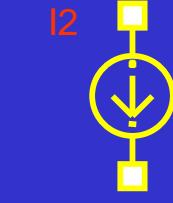
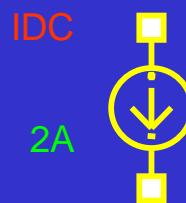


- ❖ **Tensione elettrica (Si misura in Volt)**
 - **Differenza di potenziale che causa il passaggio di corrente (sempre riferita alla differenza tra 2 punti, Es. $V_{ab}=3\text{ V}$)**
 - (analogia idraulica)



Elementi circuituali [GENERATORI]

- ✧ Generatore di tensione o di corrente sono in DC: direct current (in continua ovvero segnale costante a frequenza nulla) o in AC: Alternate current (in alternata cioè variabile con frequenze diverse da zero)
- ✧ In DC IDC e VDC sono sia media che picco
- ✧ In AC: $I_{\text{media}}=0$, $V_{\text{media}}=0$, I_M e V_M sono il picco, $2I_M$ e $2V_M$ il picco-picco, $I_M/\sqrt{2}$ o $V_M / \sqrt{2}$ il valore efficace (in inglese rms: root mean square)



$$I_2 = I_M \cdot \sin(2\pi t + \Theta)$$

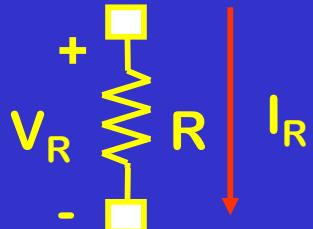
$$V_2 = V_M \cdot \sin(2\pi t + \Theta)$$

Elementi circuituali [GENERATORI]

- ✧ Potenza elettrica $P=V*I$, se segnali sono costanti
 $P_{DC}=I_{DC} \cdot V_{DC}$, se segnali sono in alternata Potenza di picco
 $P_M=V_M \cdot I_M$ ma è più corretto considerare come potenza mediamente erogata $P_{eff}=V_{eff} \cdot I_{eff}=V_M/\sqrt{2} \cdot I_M/\sqrt{2}$
 $V_M \cdot I_M/2 \rightarrow P_{eff}=P_M/2$ (in inglese P_{eff} si chiama Prms)
- ✧ Potenza è in Watt, W
- ✧ Energia è Potenza * Tempo e si misura in Joule, $1J=1\text{ W} \cdot 1\text{ s}$
- ✧ Accumulatori (es. batterie) dichiarano la capacità dell'accumulatore in A^*H , es Batteria da 12V e 72Ah ha contenuto energetico pari a $12\text{V} \cdot 72\text{ A} \cdot 3600\text{ s} = 3110400\text{ J}$

Elementi circuituali [Elementi Passivi]

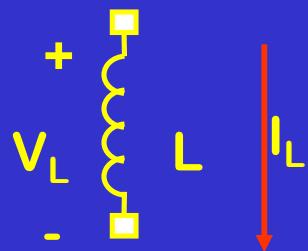
✧ Resistenza



$$v_R = R \cdot i_R$$

[R si misura in Ohm, Ω]

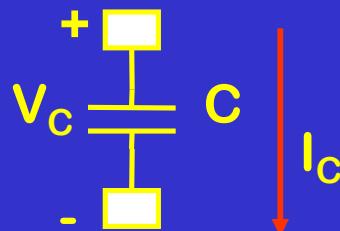
✧ Induttanza



$$v_L = L \cdot \frac{di_L}{dt}$$

[L si misura in Henry, H]

✧ Capacità



$$v_C = \frac{1}{C} \cdot \int i_C \cdot dt$$

[C si misura in Farad, F]

Elementi circuituali [Elementi Passivi]

- ✧ Resistenza (dissipa potenza, $P=V*I = R*I^2 = V^2/R$)
- ✧ Induttanza (inerziale alle variazioni di corrente, accumula energia $E=0.5*L*I^2$)
- ✧ Capacità (inerziale alle variazioni di tensione, accumula energia $E=0.5*C*V^2$)
- ✧ Es. 1 Capacità di 1000 F a 12V ha 72000 J, ovvero può erogare 1000 W per 72 s ($J = W*s$)

Esempi di Attuatori

- ✧ Riscaldatori resistivi
 - per produrre calore (**calore è sempre energia**)
- ✧ Diodi e/o Laser emettitori di luce, variatori di luce
 - per controllare la luminosità
- ✧ Solenoidi
 - per produrre campi magnetici che esercitano delle forze su apparati meccanici
- ✧ Motori elettrici (es. rotore e statore con avvolgimenti elettrici, gabbia metallica, magneti permanenti,...)
 - per produrre coppia (**Torque**) e causare spostamenti (angolari che opportuni sistemi di trasmissione possono trasformare in spostamenti es. lineari)

Esempi di Attuatori

- ✧ Altoparlanti e trasduttori ultrasonici
 - per produrre suoni
- ✧ Trasduttori piezoelettrici
 - per produrre deformazioni e/o spostamenti

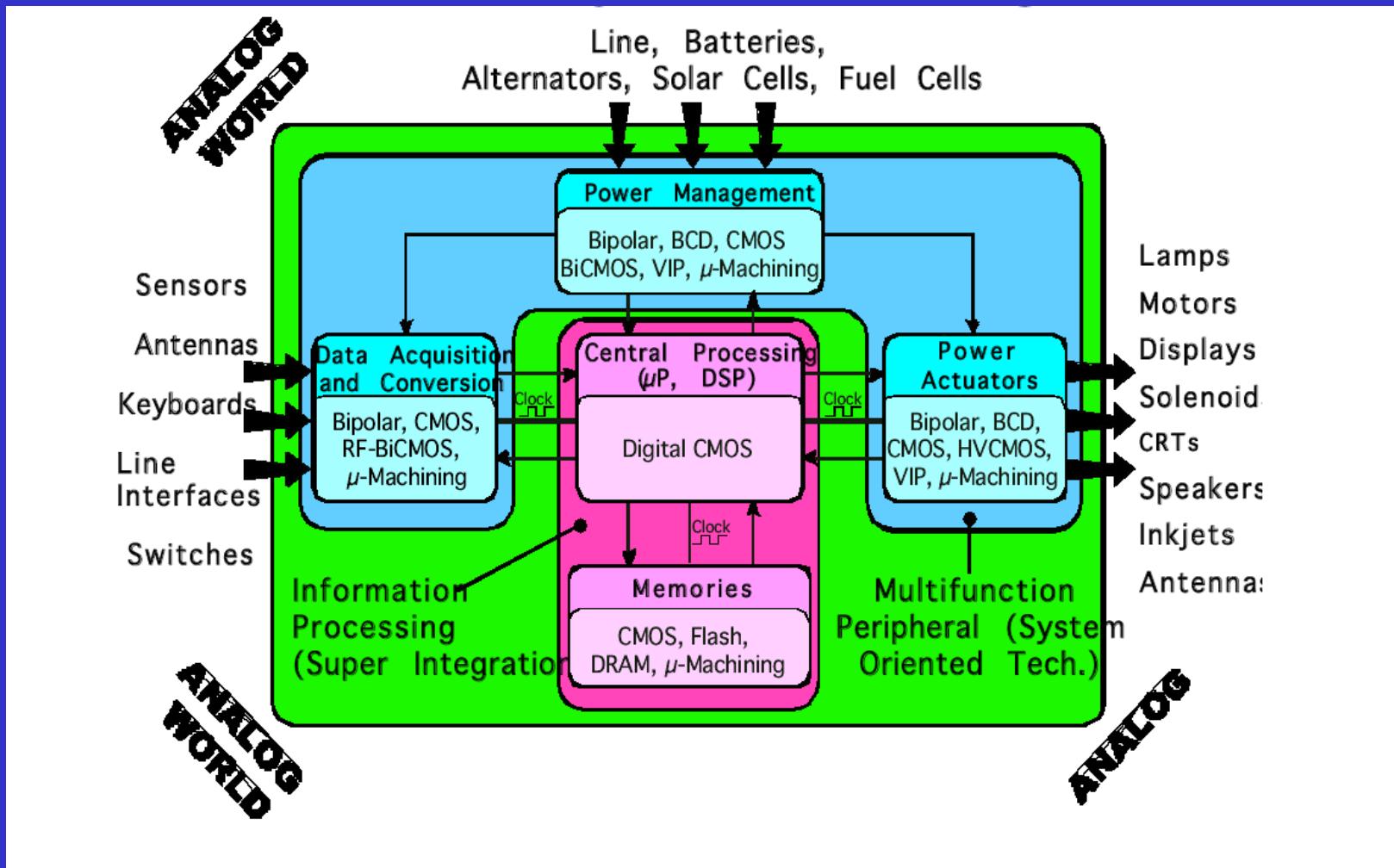
Esempi di Sensori

- ✧ **Termistori e temocoppie**
 - misura di temperatura
- ✧ **Foto diodi e foto transistori**
 - misura di luce
- ✧ **Materiali piezoelettrici e *strain gauges***
 - misura di deformazioni e forza (estensione e/o compressione)
- ✧ **Potenziometri, sensori induttivi**
 - misura di lunghezza
- ✧ **Generatori tachimetrici, accelerometri, ...**
 - misura di velocità e accelerazione
- ✧ **Microfoni**
 - misura di onde acustiche

Blocchi Base Sistema Elettronico

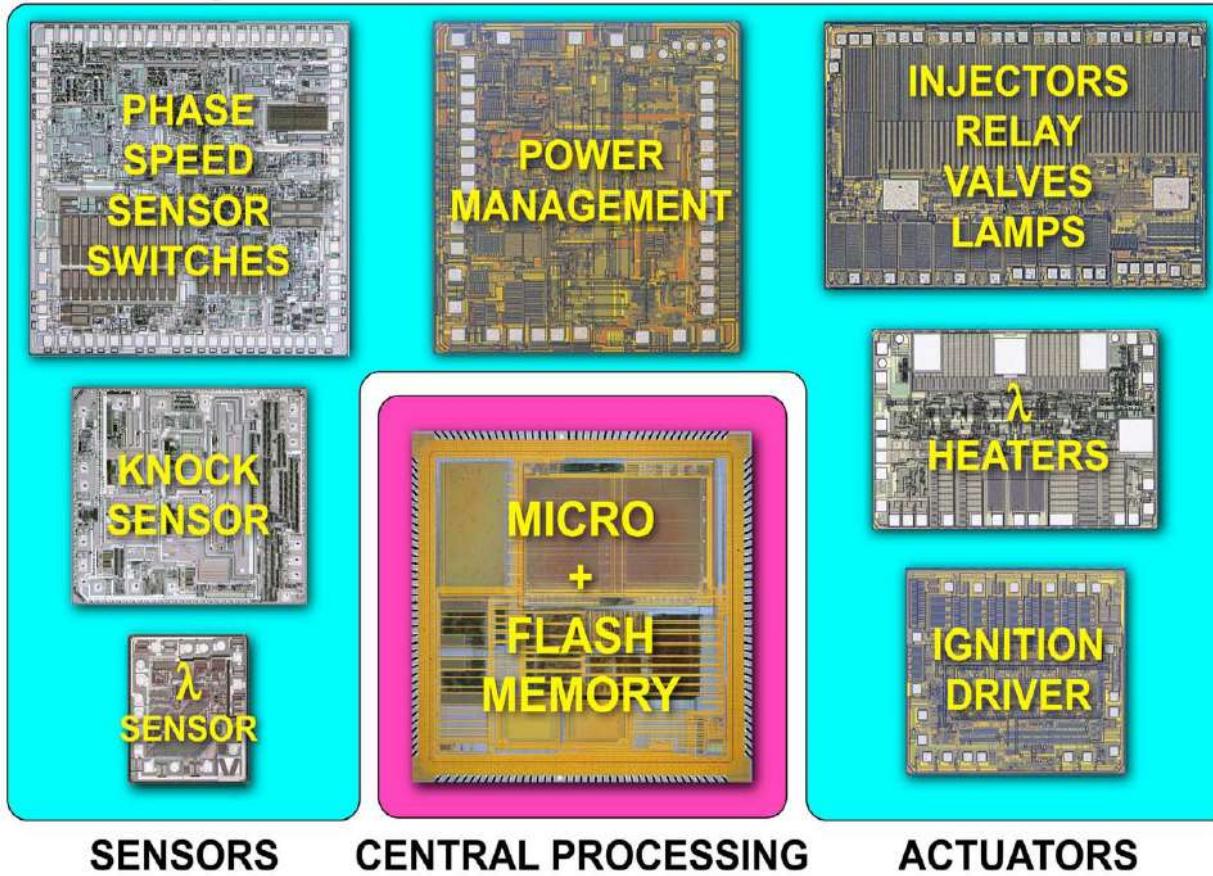
- ❖ **AMP** = Amplificatore
- ❖ **Filtro** = Elimina le frequenze inutili
(filtro anti aliasing – passa basso)
- ❖ **A/D** = Convertitore Analogico/Digitale
- ❖ **D/A** = Convertitore Digitale/Analogico
- ❖ **Filtro** = Interpolatore (passa basso)
- ❖ **AMP** = Amplificatore
- ❖ **El. Dig.** = Elaboratore “Numerico” (opera su grandezze numeriche e logiche)
- ❖ **Power Management** = Alimentatori per gestire conversione di potenza da sorgenti (grid o generatori AC, Batterie o fuel-cells DC) ad alimentazione circuiti o energy storage (DC) o Driver di attuatori (e.g. DC o AC motors)

Sistema Elettronico di Controllo: Schema generale

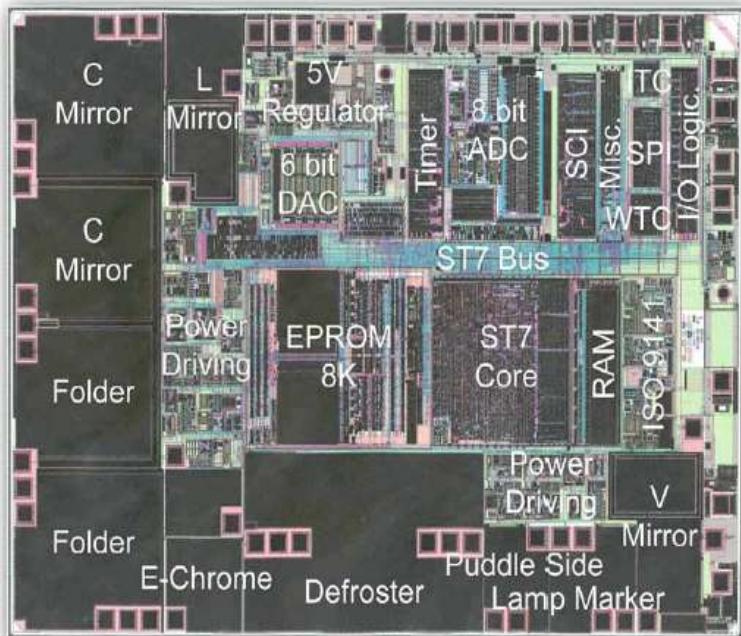


Sistema Elettronico di Controllo: Esempio Engine Control Unit

Engine Control Unit Architecture



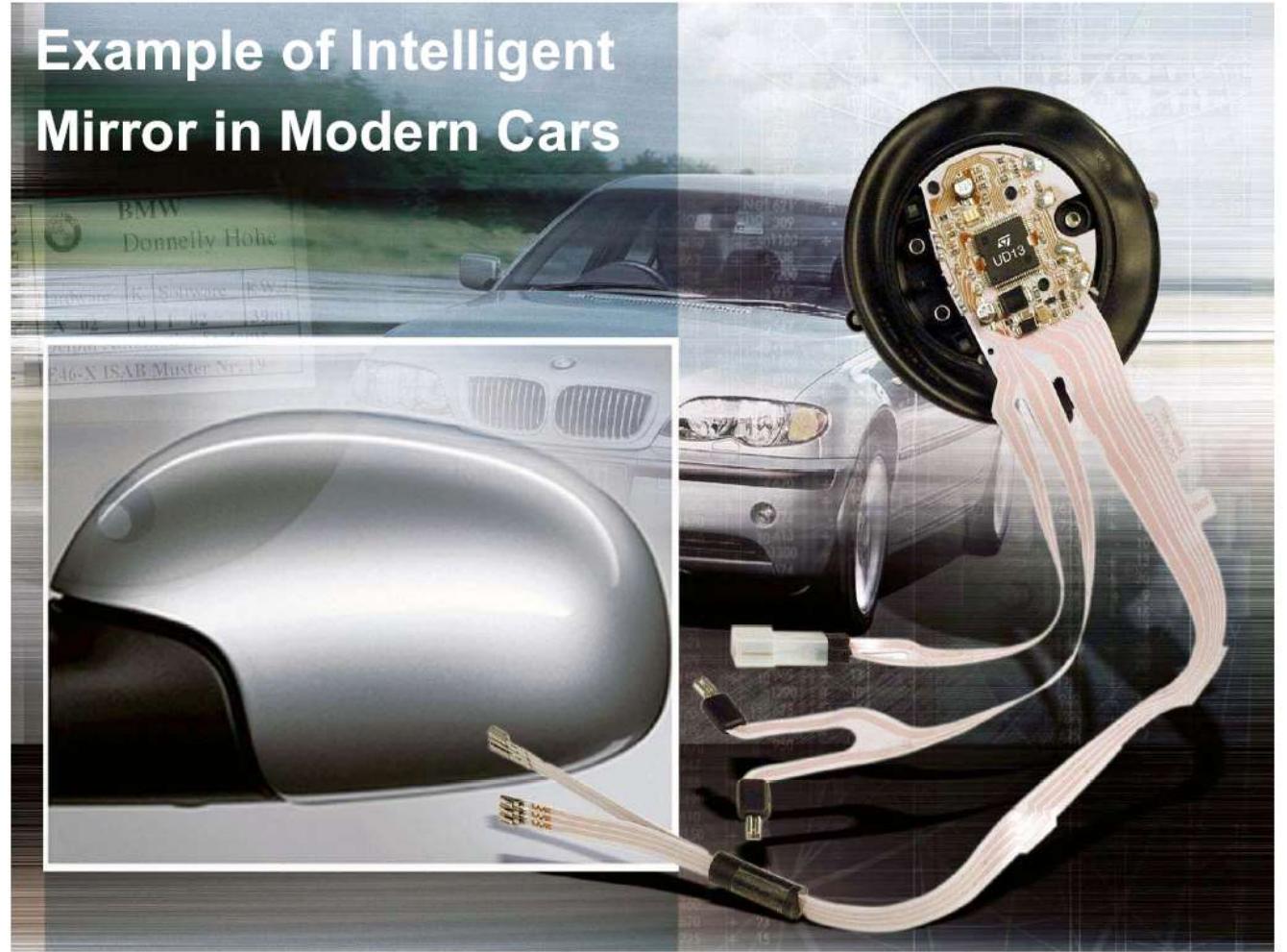
Sistema Elettronico di Controllo: Esempio Intelligent Mirror in Car



Main Features:

- 8 MHz Internal Clock
- 8 Kb User EPROM/OPT
- 256 b Data RAM
- SPI
- SCI + ISO9141 Line Interface
- 8 bit AD Converter
- ISO9141 Line Interface
- Stand-By and Bus Wakeup
- Two Lamp Driver
- ElectroChrome & Defroster Driver
- Two 200 mΩ / 5 A DMOS Half Bridge
- Two 600 mΩ / 2 A DMOS Half Bridge
- HiQuad64, 32 mm²

Example of Intelligent Mirror in Modern Cars



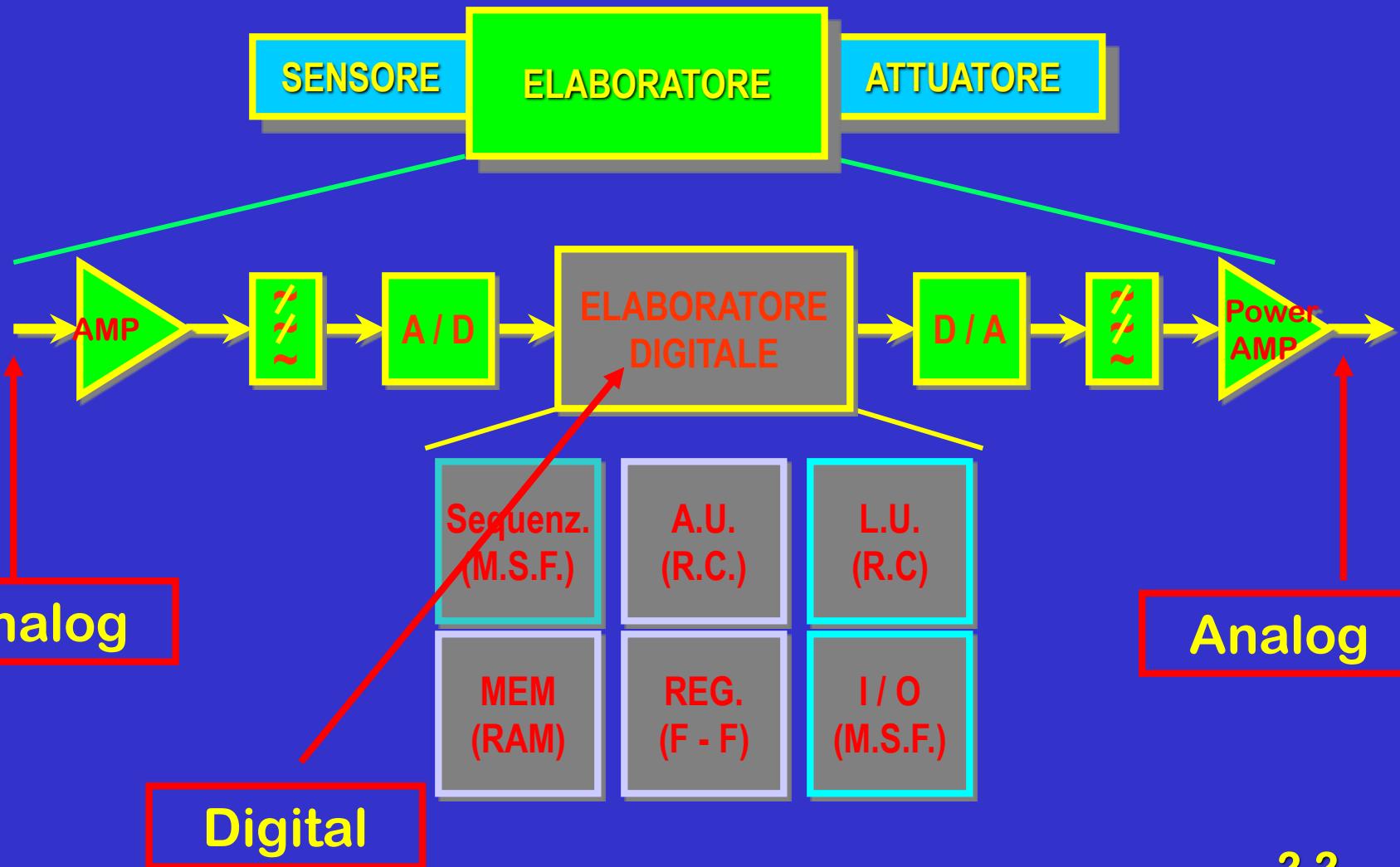
SISTEMI ELETTRONICI PER AUTOMAZIONE E ROBOTICA

LEZIONE N° 2

Prof. Sergio Saponara

- Conversione analogica-digitale (Convertitori A to D, ADC, e D to A, DAC)
- Rumore nei circuiti analogici e digitali
- Codifica digitale dei segnali (binaria, gray, ASCII, parity bit, ...)

SISTEMI ELETTRONICI PER AUTOMAZIONE E ROBOTICA



SISTEMI ELETTRONICI PER AUTOMAZIONE E ROBOTICA

digit vuole dire cifra,

bit vuole dire binary digit ovvero cifra binaria, cioè una variabile che puo assumere 2 valori logici 0 oppure 1 associati fisicamente ad esempio a livelli basso e alto di tensione oppure ad assenza (circuito aperto) o presenza (circuito chiuso) di corrente

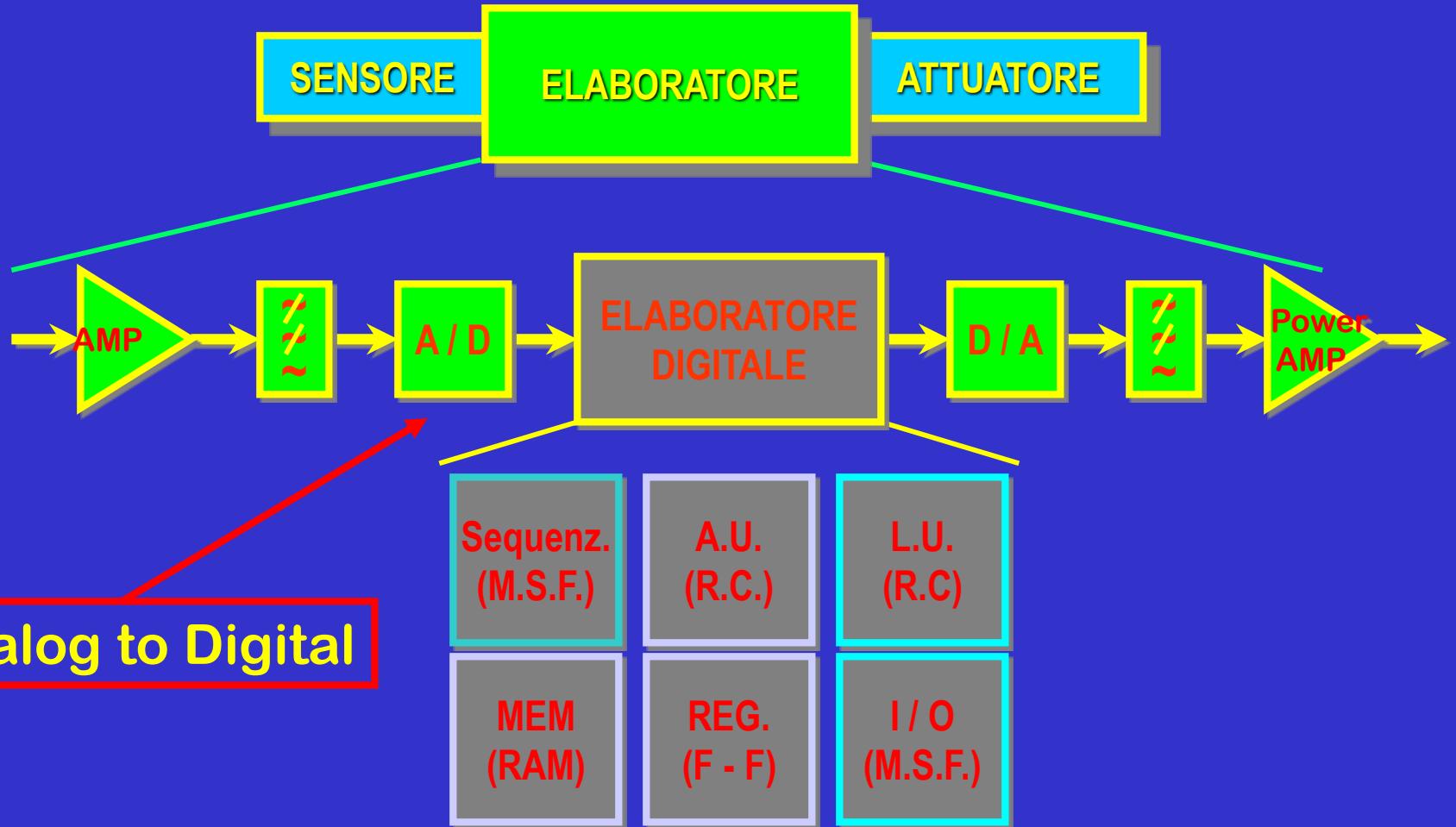
1 Byte= 8 bit

Parole digitali (word) sono spesso multiple del Byte. Ad esempio processori gestiscono istruzioni e operandi a 8 o 16 o 32 o 64 bit

CODICI

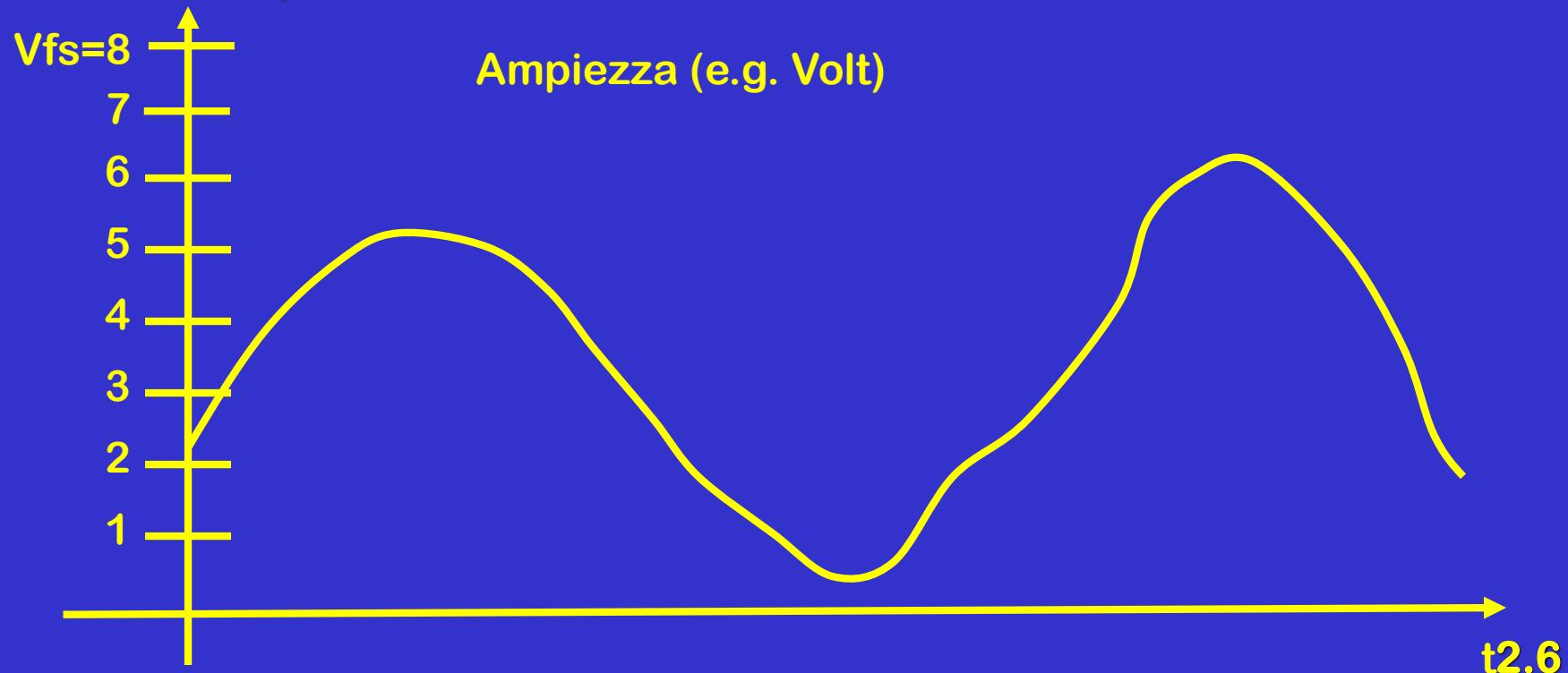
- Numeri binarii OK per sistemi elettronici digitali
- Numeri decimali OK per sistema “uomo”
- Necessità di rappresentare anche non numeri
- Codifica binaria di informazioni varie
- Esempio
 - Codifica binaria di numeri decimali

Sistema Elettronico



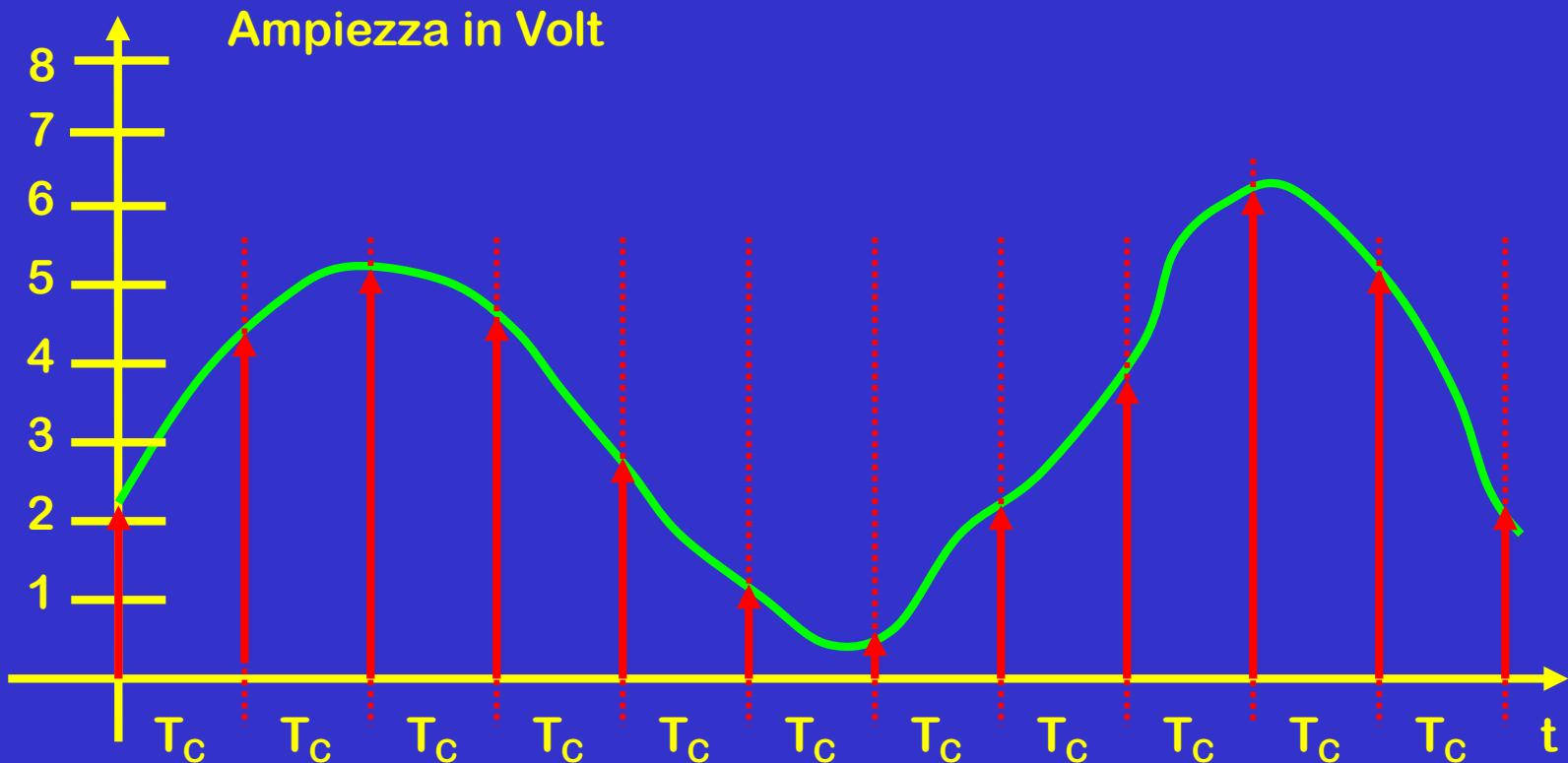
Il mondo esterno è caratterizzato da variabili analogiche

- Un segnale analogico ha un'ampiezza che varia in maniera continua nel tempo in un range dinamico (da 0 a $V_{fs}=8$ V nell'esempio riportato, $V_{fs}=V_{fondo\ scala}$)



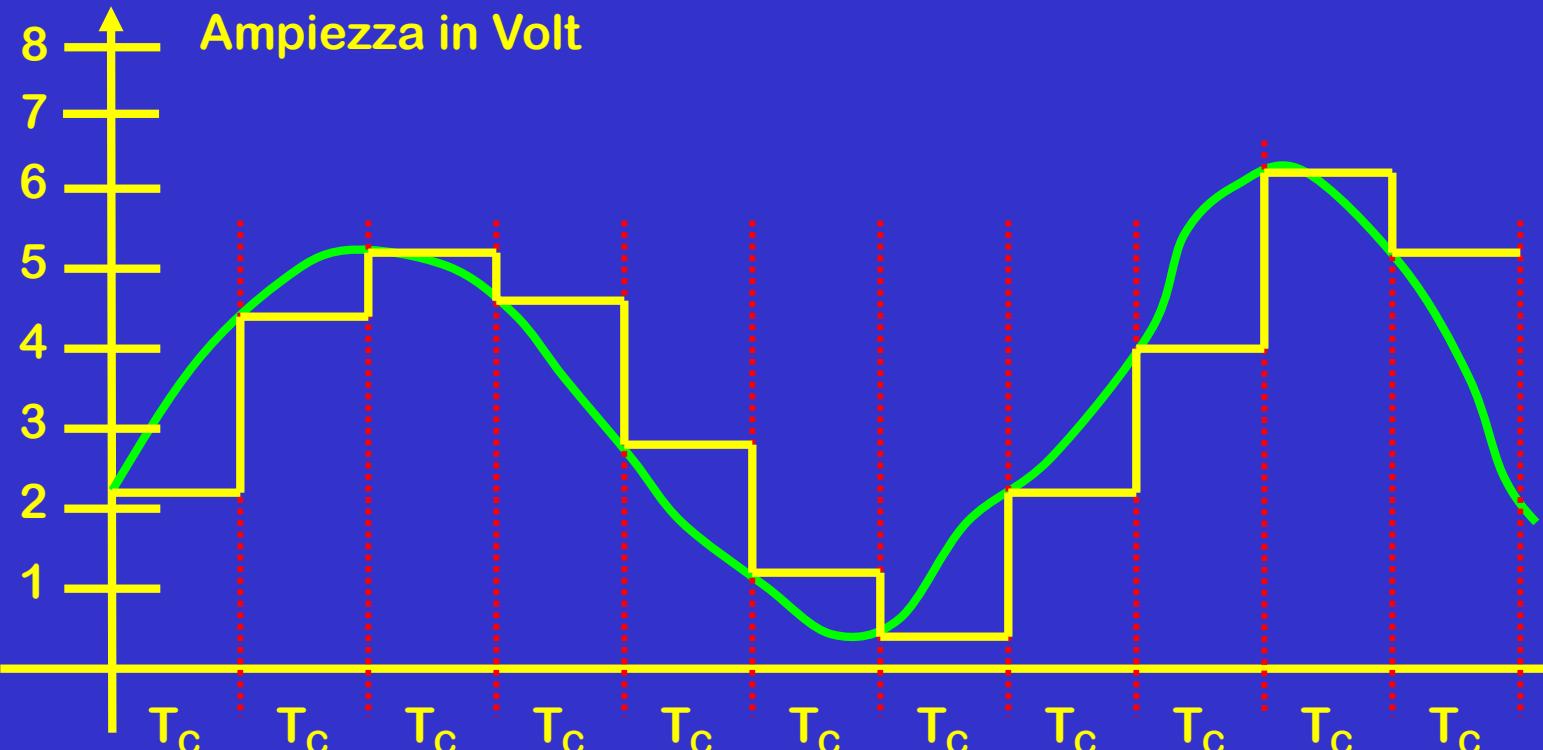
Segnale campionato 1

- Viene “associato” il valore che il segnale analogico assume nell’istante di campionamento



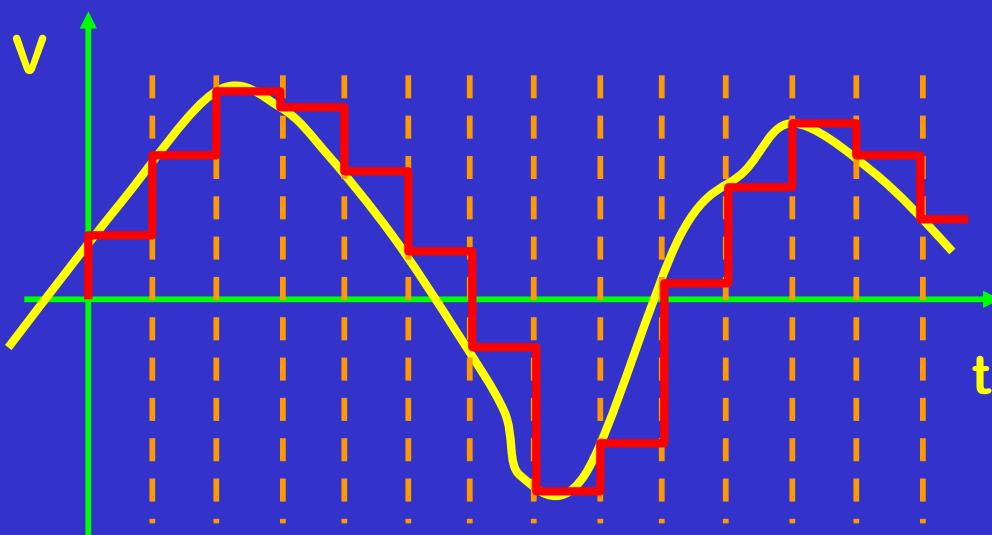
Segnale campionato 2

- Viene “congelato” il valore che il segnale analogico assume a intervalli regolari di tempo (Sample & Hold)
- F_c (frequenza campionamento in Hz) = $1/T_c$.
- $F_c > 2B_{max}$, B_{max} è banda (in Hz) massima del segnale



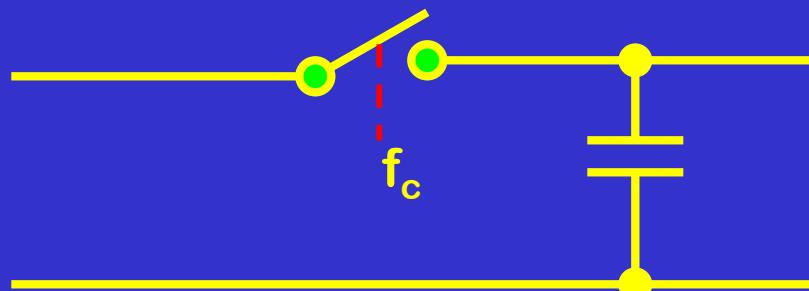
Sampling – Hold 1

- Per effettuare la conversione A / D occorre un certo tempo T_C
- Durante T_C il segnale deve essere costante

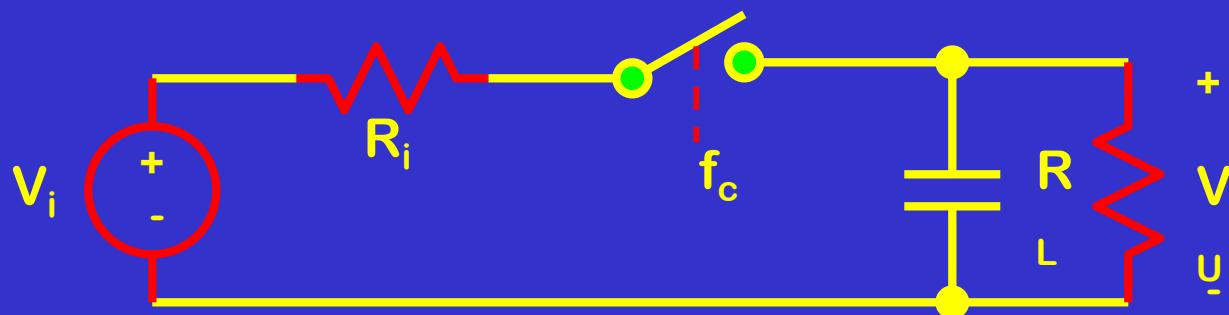


Sampling – Hold 2

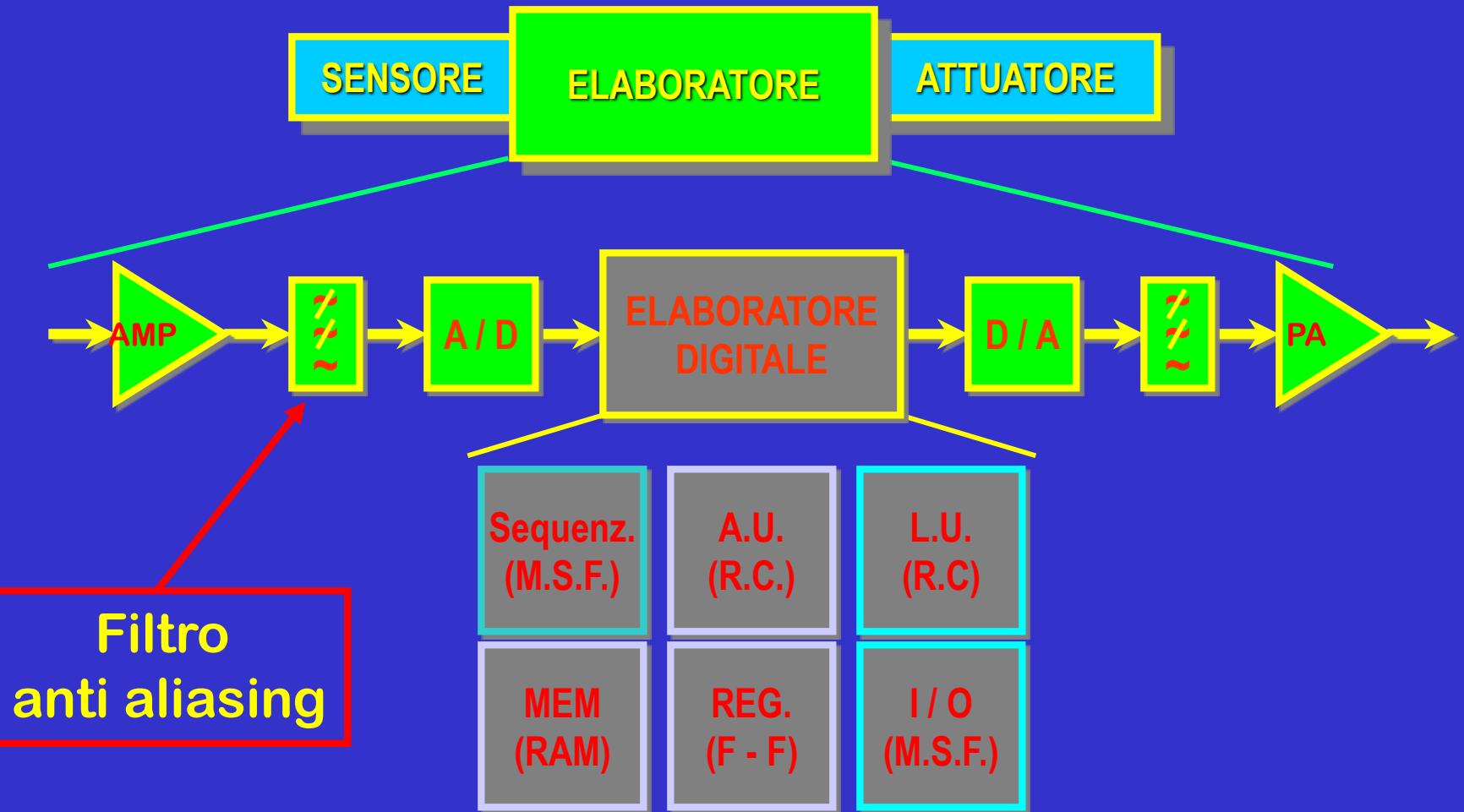
- Campionamento e memorizzazione
- Schema di principio



- Schema reale

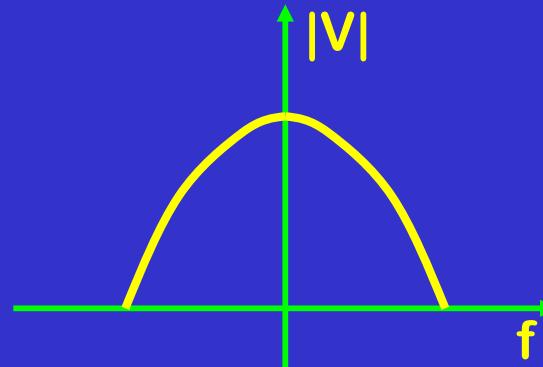
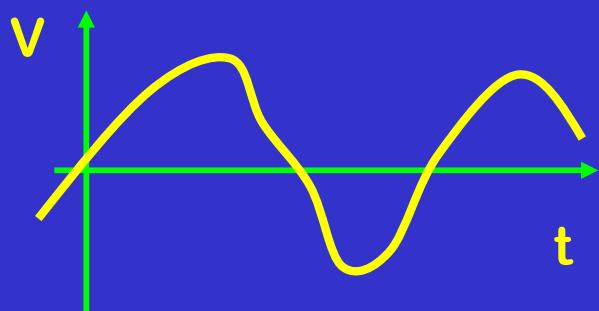


Sistema Elettronico

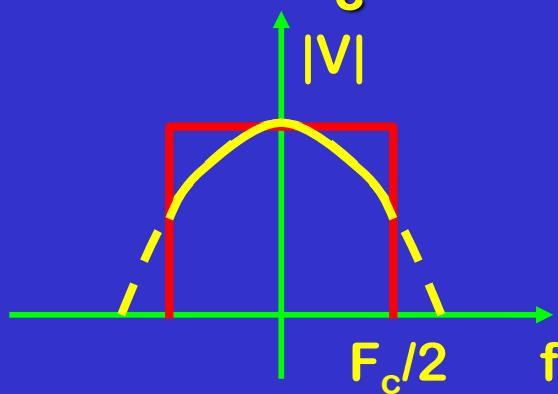


Spettro

- Spettro del segnale

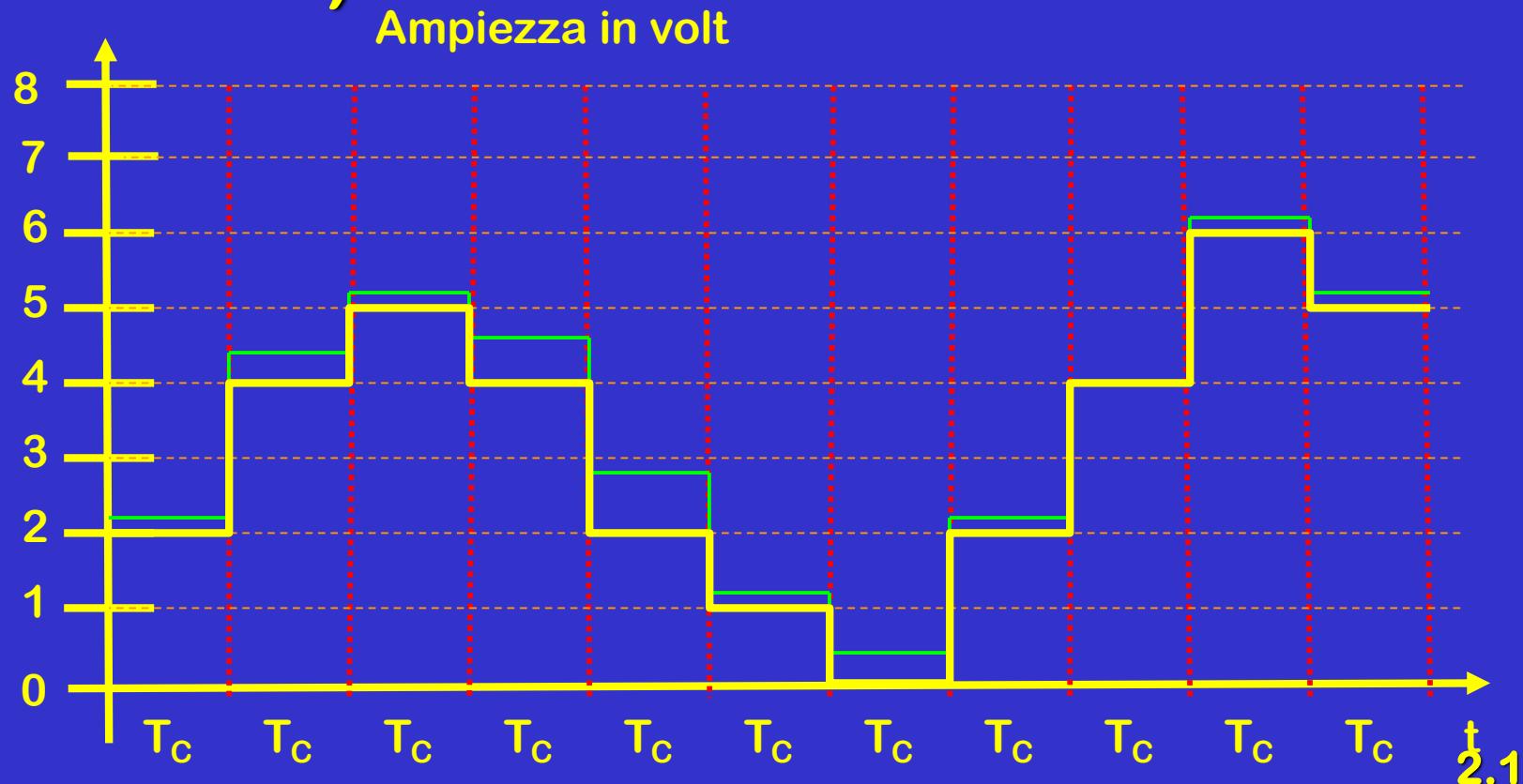


- La frequenza max del segnale B_{max} deve essere minore di $F_c/2$



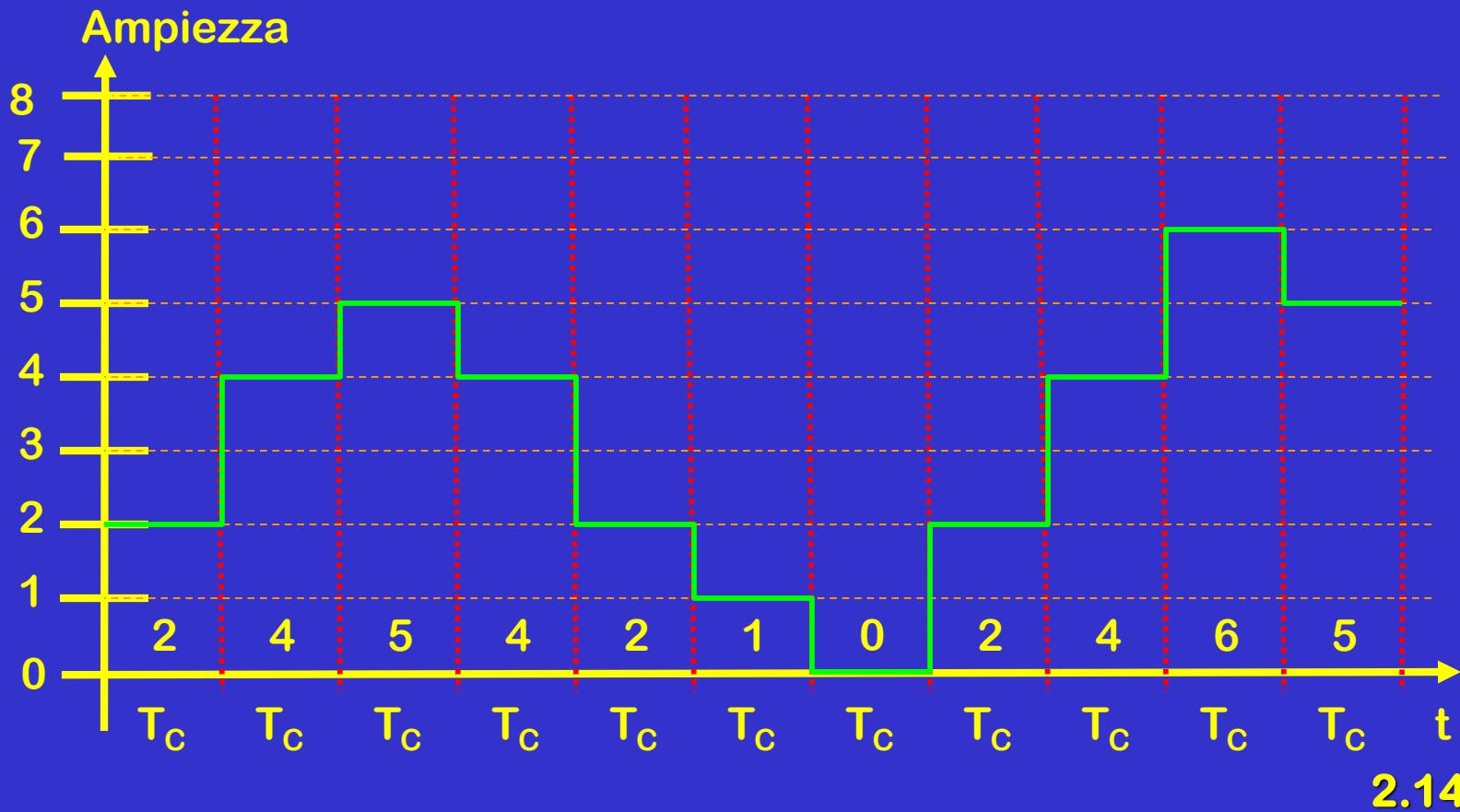
Segnale numerico 1

- Viene assegnato al segnale campionato il valore numerico relativo all'intervallo di appartenenza (es. associazione a limite inferiore)



Segnale numerico 2

- Al segnale quantizzato si può associare il valore numerico “codificato”



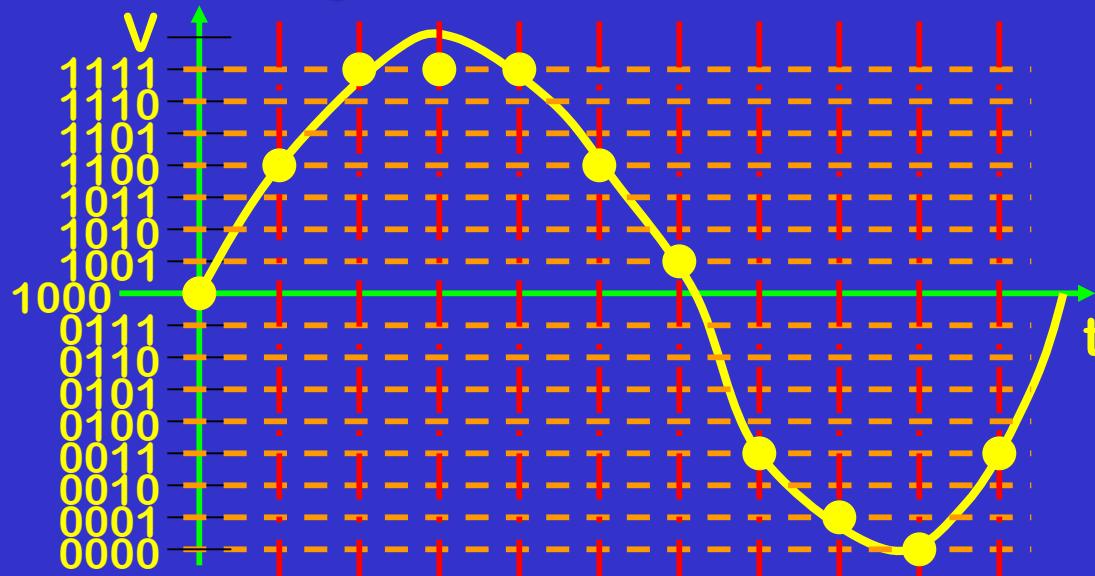
Codifica Binaria

- Un valore numerico può essere codificato in un numero N di segnali digitali, i bit (e.g. N=3 in tabella; N bit codificano 2^N valori; Es. con un ADC a N=8 bit rappresento 256 intervalli, con N=20 bit sono circa 1 milione di intervalli)

Numero	A MSB	B	C LSB
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

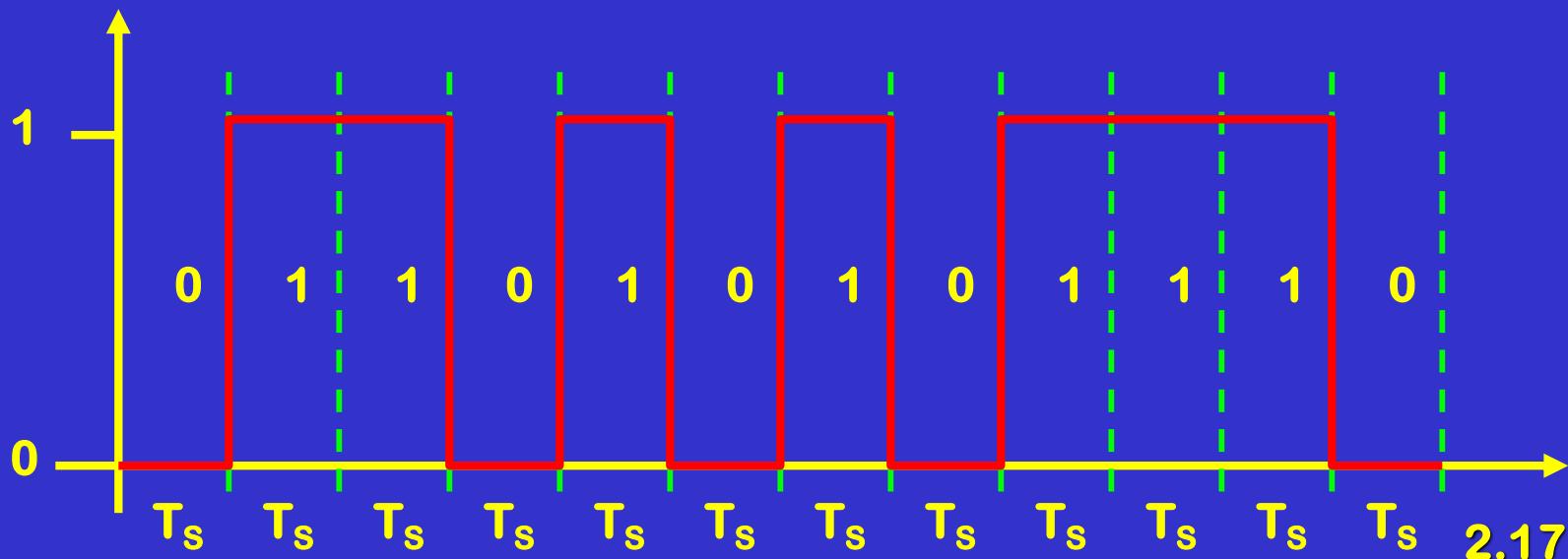
Conversione A to D

- Codifica PCM (Pulse Code Modulation)
- Rappresentazione in traslazione con segnali positivi e negativi



Segnale Digitale (da Digit=cifra)

- Segnale numerico che può assumere solo due valori “0” e “1”
 - Al valore “0” si associa, per esempio, la grandezza elettrica 0 V
 - Al valore “1” si associa, per esempio, la grandezza elettrica Valim (per “1” si trovano valori tra 1V e 5V come compromesso tra consumo di potenza e robustezza a disturbi)
- Nell'esempio di trasmissione seriale (come es. in USB, CAN, I2C,...)
Ts (bit) diverso da Tc (sample), $T_s = T_c / N$ con N numero di bit



Errore di Quantizzazione

- Il segnale “Numerico” può assumere solo un numero finito di valori
 - Discretizzazione
- Il segnale Analogico può variare con continuità
- Il segnale numerico rappresenta il segnale analogico solo in certi istanti, in altri istanti si commette un errore

Caratteristica di trasferimento

- Grafico della grandezza d'uscita in funzione della grandezza d'ingresso
- Esempio rampa lineare con intervallo quantizzazione
 $\Delta = V_{fs}/2^N = 8 \text{ Volt}/8 \text{ intervalli} = 1 \text{ V}$

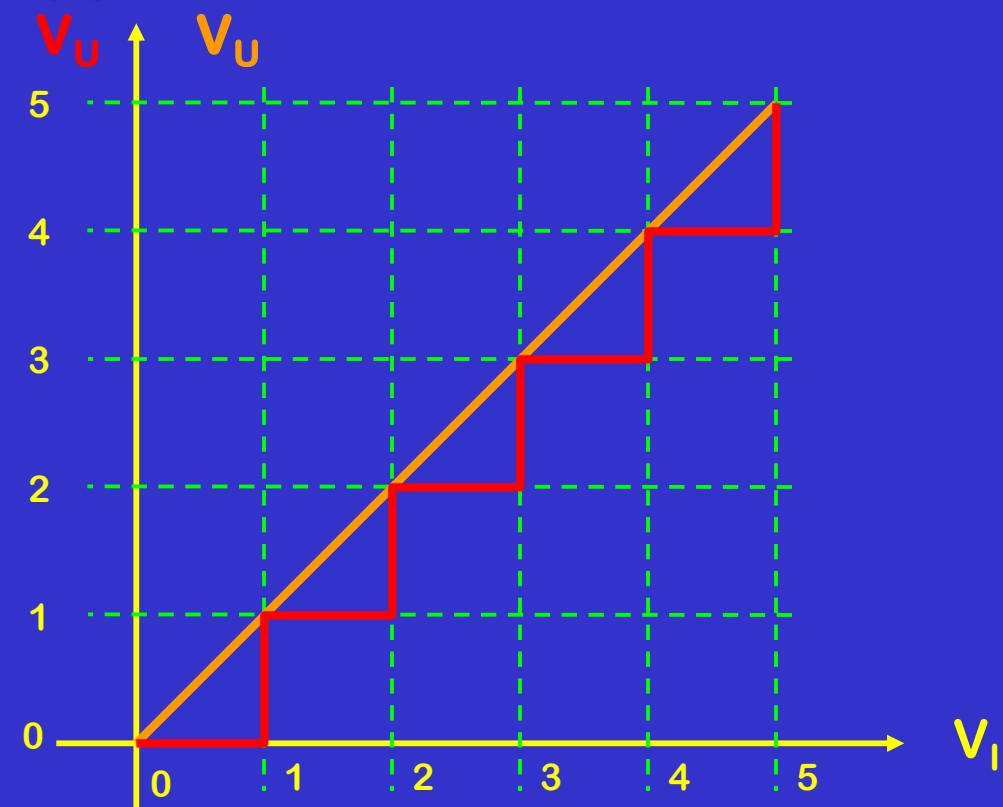
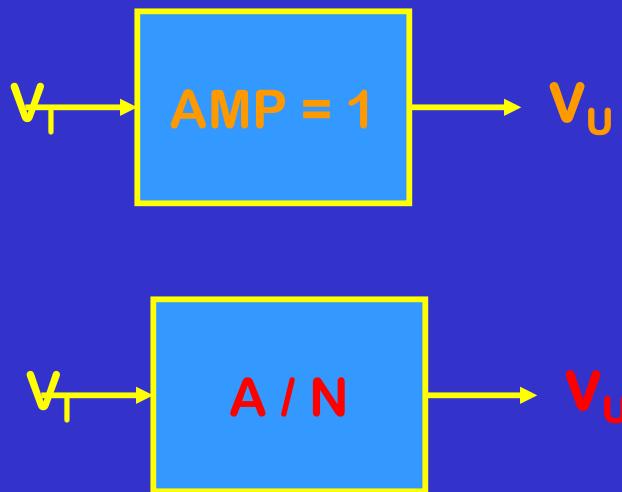
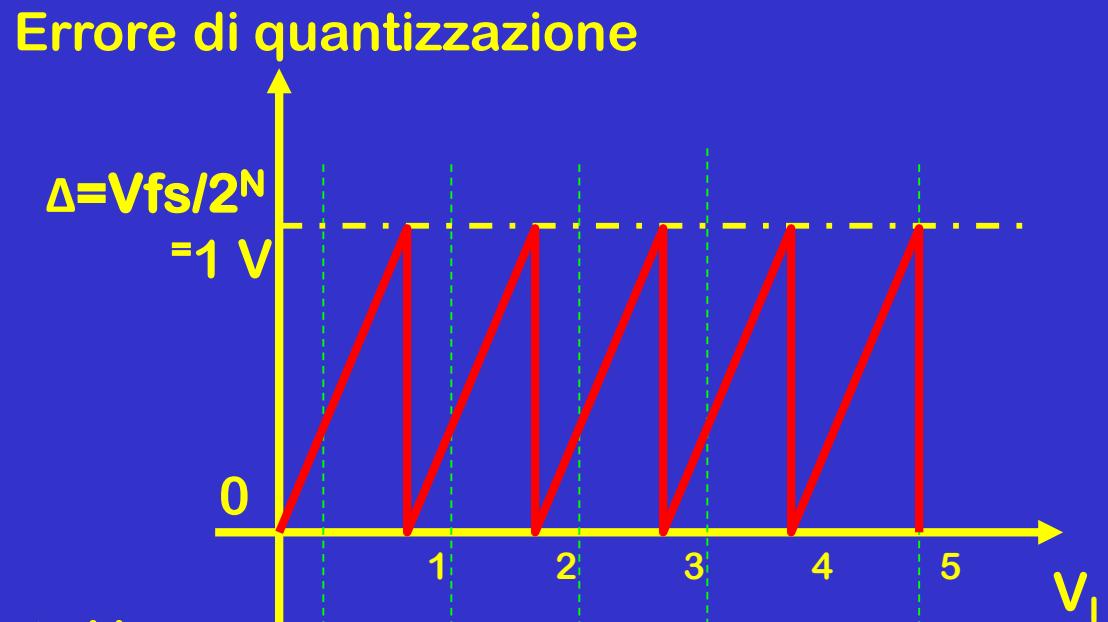
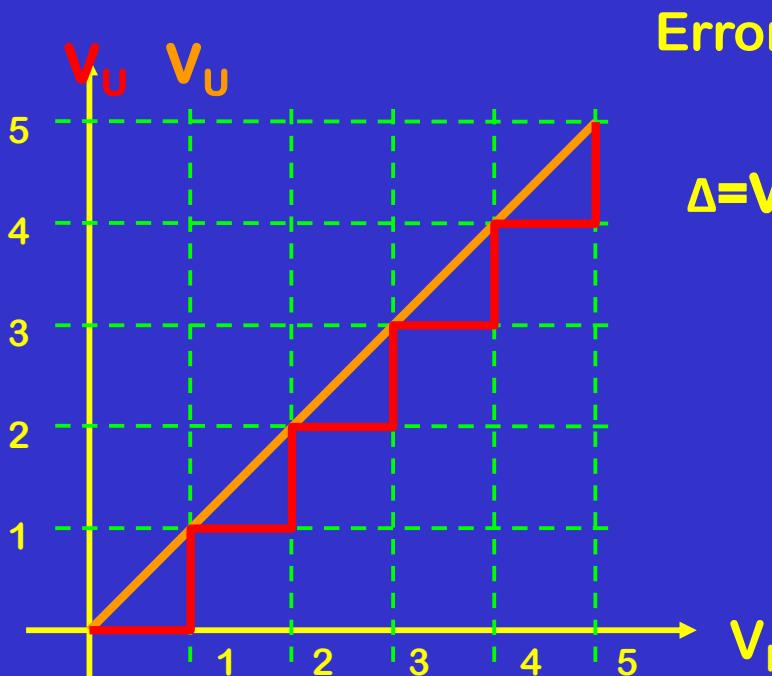


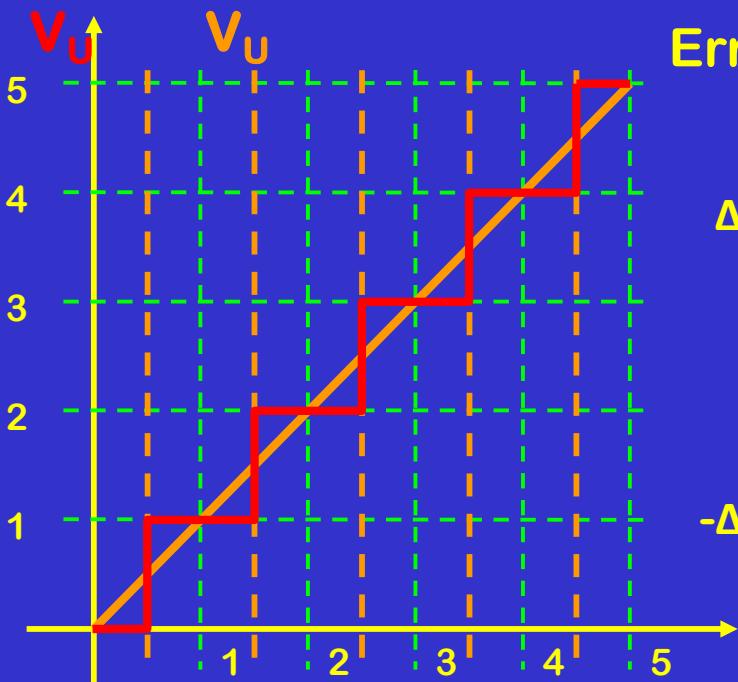
Grafico dell'Errore di Quantizzazione

- Errore di Quantizzazione
 - Differenza, in un determinato istante, fra il valore del segnale analogico e valore del segnale numerico

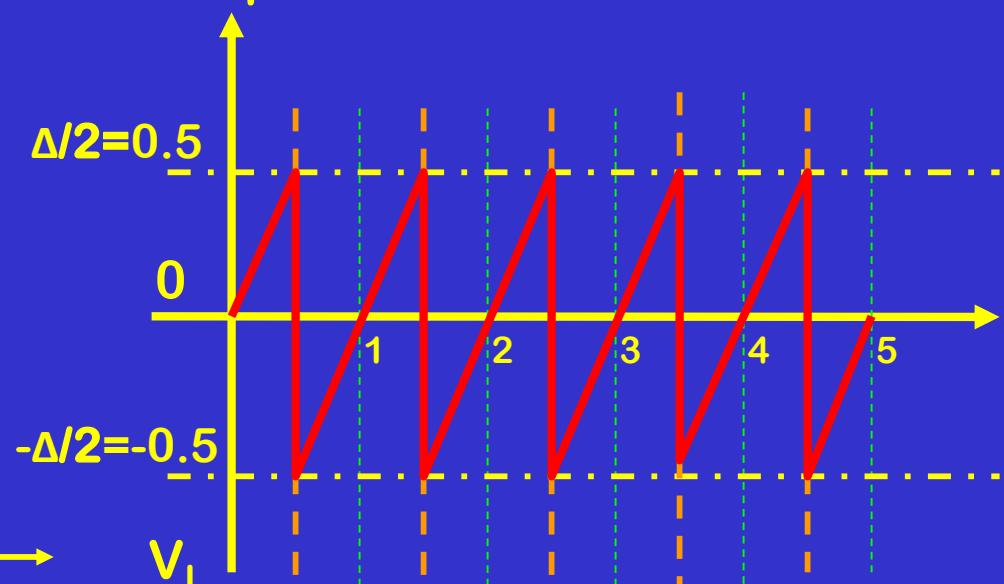


Minimizzazione dell'ERRORE

- Scegliendo il valore di commutazione in corrispondenza $n+0.5$ si ha il modulo dell'errore al massimo è pari a $\Delta/2$



Errore di quantizzazione



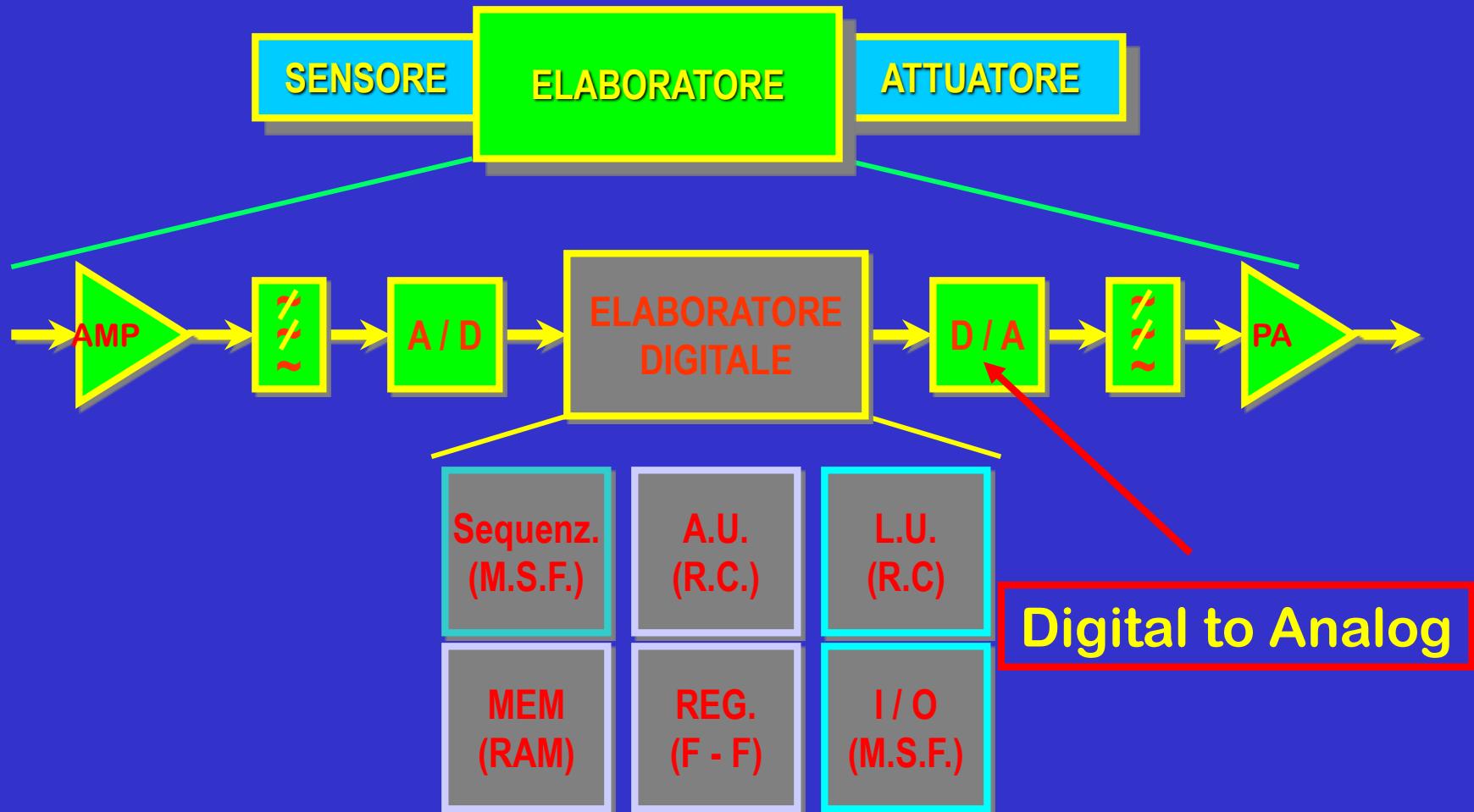
Riepilogo

- Segnale analogico
 - Un segnale analogico ha un'ampiezza che varia in maniera continua nel tempo
- Segnale campionato
 - Viene “congelato” il valore che il segnale analogico assume a intervalli regolari di tempo (Sample & Hold – S&H)
- Segnale numerico 1
 - Viene assegnato al segnale campionato il valore numerico relativo all’intervallo di appartenenza
- Segnale numerico 2
 - Al segnale quantizzato si può associare il valore numerico “codificato”
- Segnale Digitale
 - Particolare segnale numerico che può assumere solo due valori “0” e “1”,
 - Al valore “0” si associa, per esempio, 0 V
 - Al valore “1” si associa, per esempio, 5 V

Numero bit e specifiche di errore

- N e' il numero di bit, Vfs è la tensione di fondo scala
- Specifica Errore Assoluto ($E_{ass} \leq V_{fs}/2^{N+1}$)
- Specifica Errore Relativo = $(E_{ass}/V_{fs}) \leq 1/2^{N+1}$
- SQNR (Signal to Quantization Noise Ratio) = $6 \text{ dB} * N$

Sistema Elettronico



Conversione D to A

✧ Convertitore A/D

- segnale analogico codificato



- segnale digitale

✧ Convertitore D/A

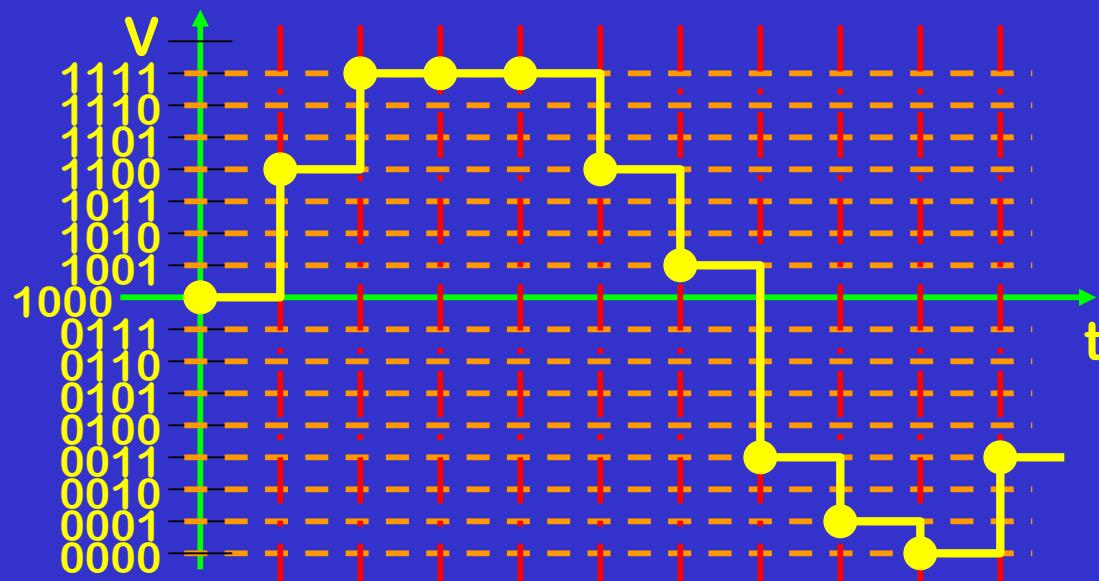
- segnale digitale codificato

- segnale analogico



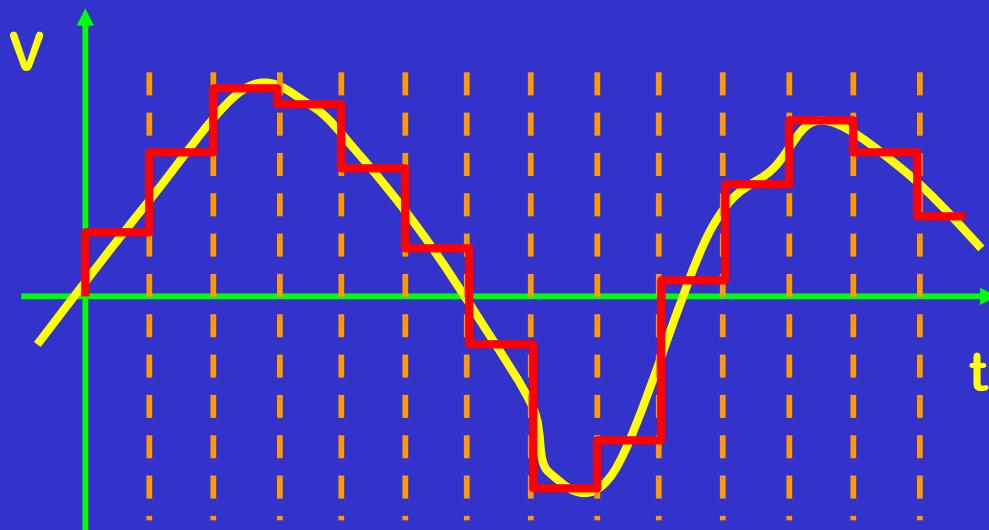
Conversione D to A

- Convertitore PAM (Pulse Amplitude Modulation)
- Complementare al PCM



Filtro d'uscita

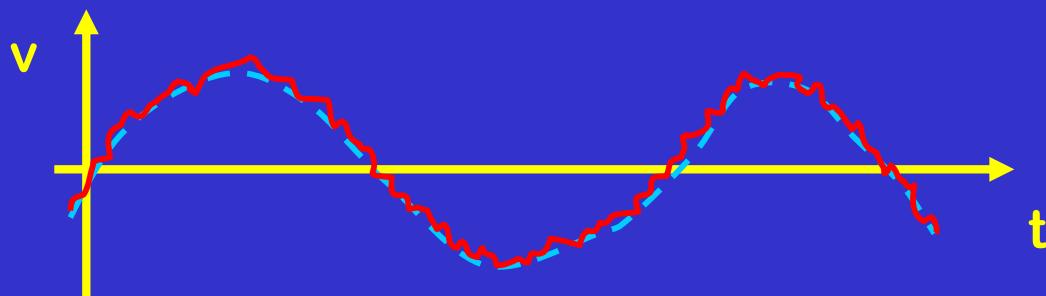
- La ricostruzione mediante gradinata presenta uno spettro con alte frequenze



- Per eliminare la “scalinatura” si deve filtrare le alte frequenze (si inserisce un filtro passabasso in uscita accordato alle frequenze in cui attuatore può lavorare)

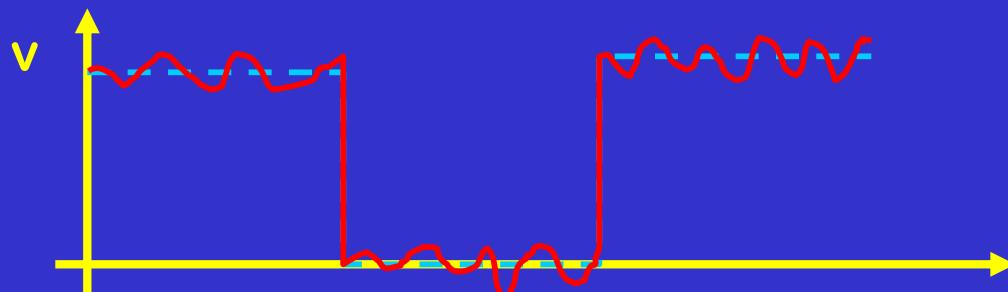
Rumore nei Sistemi Analogici

- **DEFINIZIONE**
 - Segnale estraneo dovuto a:
 - Agitazione termica degli elettroni in resistenze
 - Accoppiamento induttivo o capacitivo con segnali di altri sistemi
- Il rumore si somma direttamente al segnale analogico e quindi lo deteriora
 - Il rumore viene amplificato insieme al segnale

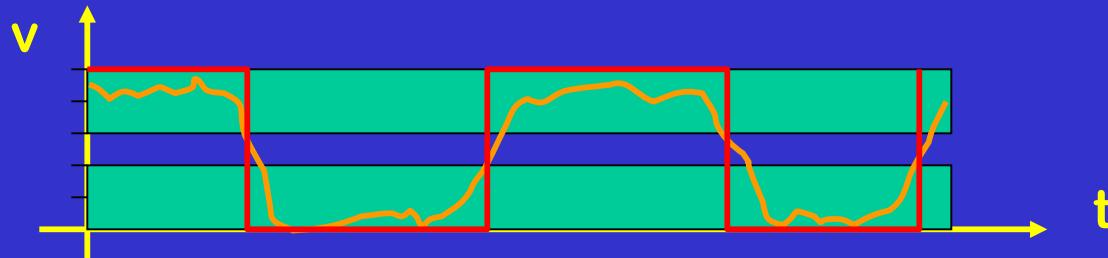


Rumore nei Sistemi Digitali

- Il rumore si somma direttamente al segnale digitale e quindi lo deteriora



- È possibile ricostruire il segnale definendo gli intervalli entro i quali si attribuisce il valore alto e il valore basso
 - $0V > \text{basso} > 2V ; 3V > \text{alto} > 5$



Rumore nei Sistemi Digitali

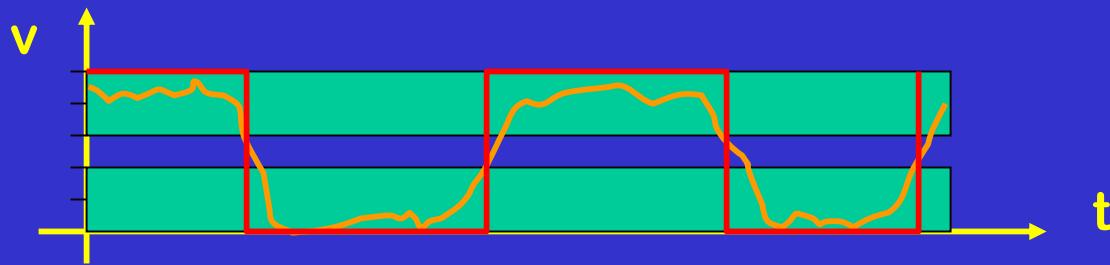
- Segnale digitale più robusto a disturbi di analogico grazie a margini di rumore. Più è grande range dinamico segnale digitale (es livello 1 associato a 5V invece che 1 V) e più immunità ai disturbi è elevata (ma consumo più potenza).
- È possibile ricostruire il segnale definendo gli intervalli entro i quali si attribuisce il valore alto e il valore basso

0V > basso > 2 V ; 3 V > alto > 5 V (caso alimentazione a 5 V)

Margini di 2V

0V > basso > 0.4 V ; 0.6 V > alto > 1 V (caso alimentazione a 1 V)

Margini di 0.4V



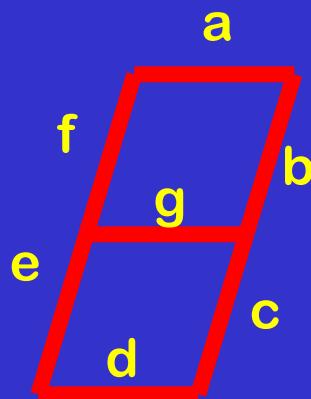
BCD (Binary-Coded Decimal numbers)

- Necessità di rappresentare i numeri decimali in codice binario
- 8421 BCD
- si codifica in binario ciascuna cifra decimale utilizzando i primi 10 numeri binari su 4 bit
- Esempio
- 453_{10}
- 010001010011
- è possibile eseguire somme e sottrazioni in BCD

4	5	3
0100	0101	0011

BCD – Sette Segmenti

- Per visualizzare le cifre decimali si usa frequentemente un Display a sette segmenti



- È possibile realizzare un codificatore
 - **BCD SETTE SEGMENTI**

Tabella di “Corrispondenze”

base 10	a	b	c	d	e	f	g					
0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1	1
3	0	0	1	1	1	1	1	1	0	0	0	1
4	0	1	0	0	0	1	1	0	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1	1
6	0	1	1	0	1	0	1	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	1	1	0
8	1	0	0	0	1	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1	1

Codice Gray

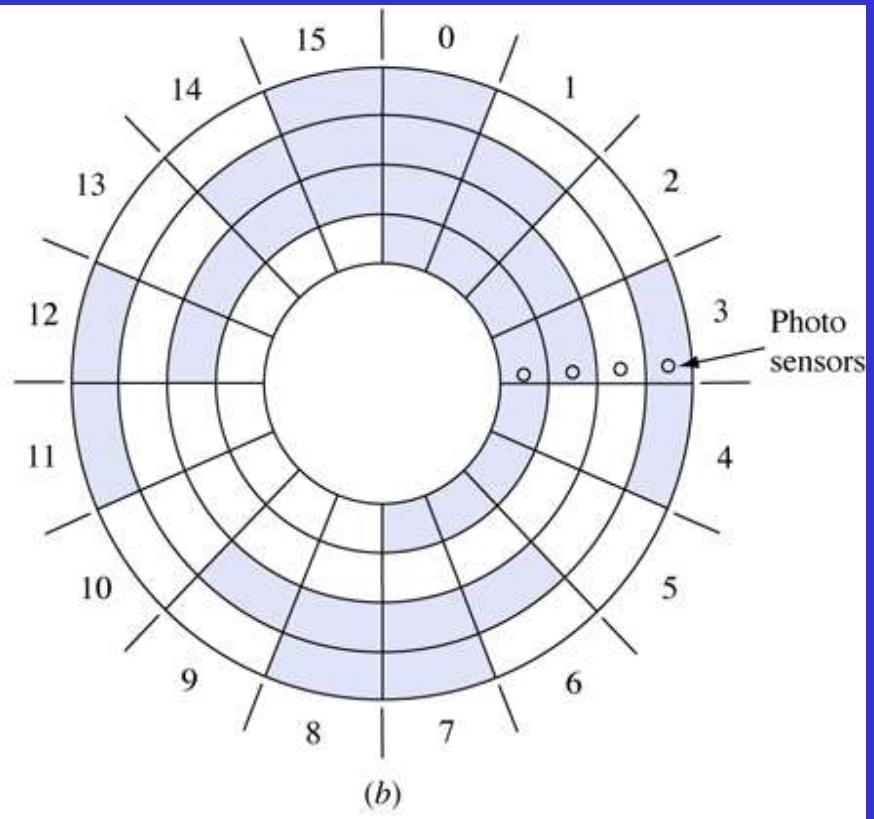
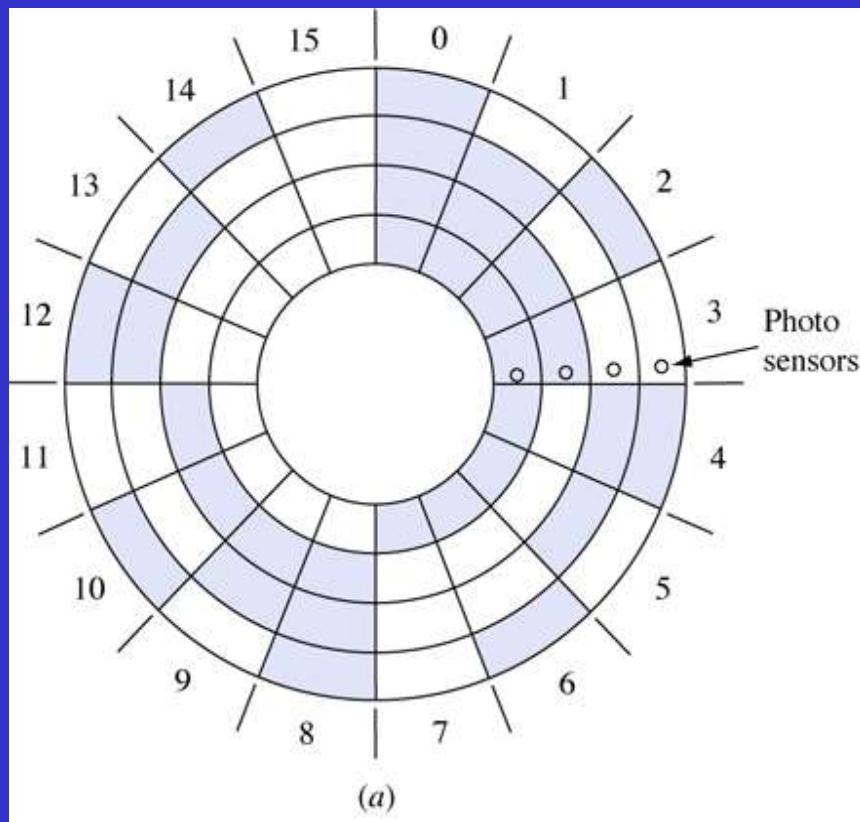
- Codici a distanza unitaria
 - La codifica di n e $n+1$ differiscono sempre di un solo bit

1	2	3
0	0 0	0 0 0
1	0 1	0 0 1
	1 1	0 1 1
	1 0	0 1 0
		1 1 0
		1 1 1
		1 0 1
		1 0 0

Codice Gray a 4 bit

Dec	ExD	Binario				Gray			
0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0	0	1
2	2	0	0	1	0	0	0	1	1
3	3	0	0	1	1	0	0	1	0
4	4	0	1	0	0	0	1	1	0
5	5	0	1	0	1	0	1	1	1
6	6	0	1	1	0	0	1	0	1
7	7	0	1	1	1	0	1	0	0
8	8	1	0	0	0	1	1	0	0
9	9	1	0	0	1	1	1	0	1
10	A	1	0	1	0	1	1	1	1
11	B	1	0	1	1	1	1	1	0
12	C	1	1	0	0	1	0	1	0
13	D	1	1	0	1	1	0	1	1
14	E	1	1	1	0	1	0	0	1
15	F	1	1	1	1	1	0	0	0

ENCODER 1



Codici alfanumerici

- Necessità di rappresentare caratteri alfabetici con un codice binario
- Alfabeto = 26 simboli diversi
- Necessità di maiuscole e minuscole
- Numeri = 10 simboli
- Caratteri speciali
- Codice ASCII a 128 simboli
- UNICODE 16 bit (universale) simboli e ideogrammi

Codice ASCII

				$b_6 b_5 b_4$							
b_3	b_2	b_1	b_0	000	001	010	011	100	101	110	111
0	0	0	0	NUL	DLE	SP	0	@	P	'	p
0	0	0	1	SOH	DC1	!	1	A	Q	a	q
0	0	1	0	STX	DC2	"	2	B	R	b	r
0	0	1	1	ETX	DC3	#	3	C	S	c	s
0	1	0	0	EOT	DC4	\$	4	D	T	d	t
0	1	0	1	ENQ	NAK	%	5	E	U	e	u
0	1	1	0	ACK	SYN	&	6	F	V	f	v
0	1	1	1	BEL	ETB	'	7	G	W	g	w
1	0	0	0	BS	CAN	(8	H	X	h	x
1	0	0	1	HT	EM)	9	I	Y	i	y
1	0	1	0	LF	SUB	*	:	J	Z	j	z
1	0	1	1	VT	ESC	+	;	K	[k	{
1	1	0	0	FF	FS	,	<	L	\	l	
1	1	0	1	CR	GS	-	=	M]	m	}
1	1	1	0	SO	RS	.	>	N	^	n	~
1	1	1	1	SI	US	/	?	O	—	o	DEL

Riconoscimento d'errore

- Errore di trasmissione a distanza (Disturbi)
- Stringa digitale di “0” e “1”
- L'errore si manifesta nel convertire uno 0 in 1 o viceversa
- Su una parola di “K” bit la probabilità che ci siano due errori è molto bassa
- Codici a ridondanza (già visti “5043210” e due su cinque)
- Esempio
 - Numero 7 => 1000100 ricevuto 1010100

Bit di parità

- Necessità di individuare eventuali errori di trasmissione
- Si aggiunge un bit (rappresentazione su 8 bit)
- Il numero complessivo di “1” è sempre pari

Simbolo	Codice ASCII	Parità PARI	
T	1010100	11010100	
7	0110111	10110111	
-	0101101	00101101	

Esempio riconoscimento errore con bit di parità

- Sto usando 1 bit su 8 bit come protezione
- Riconoscimento di errore possibile se sbaglio 1 o in genere un numero dispari di bit

Codice trasmesso	Codice ricevuto	Parità al ricevitore	Per ricevitore
11010100	11010100	1 1010100	OK
11010100	11000100	0 1000100	errore
10110111	10111111	0 0111111	errore
00101101	10101101	0 0101101	errore

Esempio non riconoscimento errore con bit di parità

- Sto usando 1 bit su 8 bit come protezione
- Riconoscimento di errore non possibile se sbaglio 2 o in genere un numero pari di bit

Codice trasmesso	Codice ricevuto	Parità al ricevitore	Per ricevitore
10110111	11111111	11111111	OK
00101101	11101101	11101101	OK

Esempio non riconoscimento errore con bit di parità

- Sto usando 1 bit su 8 bit come protezione
- Riconoscimento di errore non possibile se sbaglio 2 o in genere un numero pari di bit
- Per codici lunghi e dove serve alta safety si usano tecniche più complesse del bit di parità
- Si parla di Error Detection And Correction (EDAC)
- Comunicazione seriale CAN (Controller Area Network) usa codici CRC (Cyclic Redundant Code) a 15 bit per proteggere fino a 64 bit dati oltre a meccanismo di ack (acknowledgment)
- Comunicazione seriale RS232 usa 1 bit di parità per proteggere 8 bit di dati

Sistemi Elettronici per Automazione e Robotica



UNIVERSITÀ DI PISA



3 Componenti Elettronici di Potenza

Prof. Sergio Saponara

DII, Università di Pisa

sergio.saponara@unipi.it

Agenda

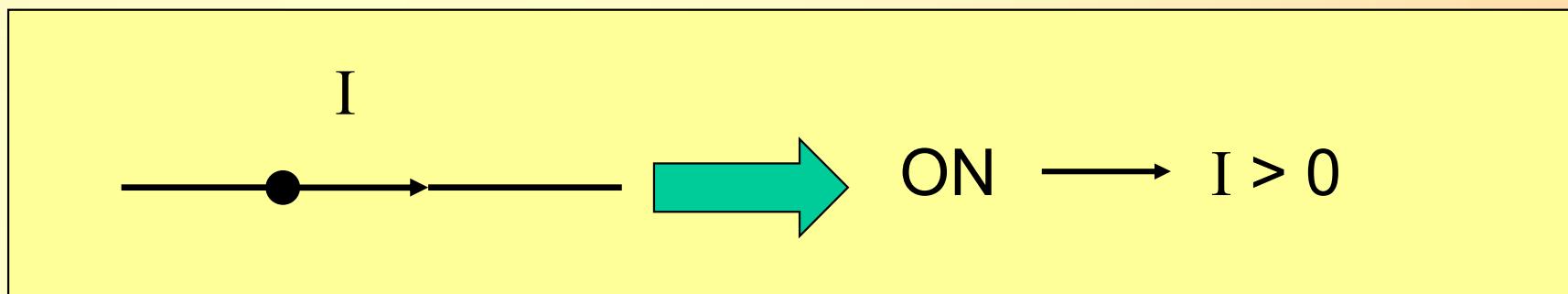
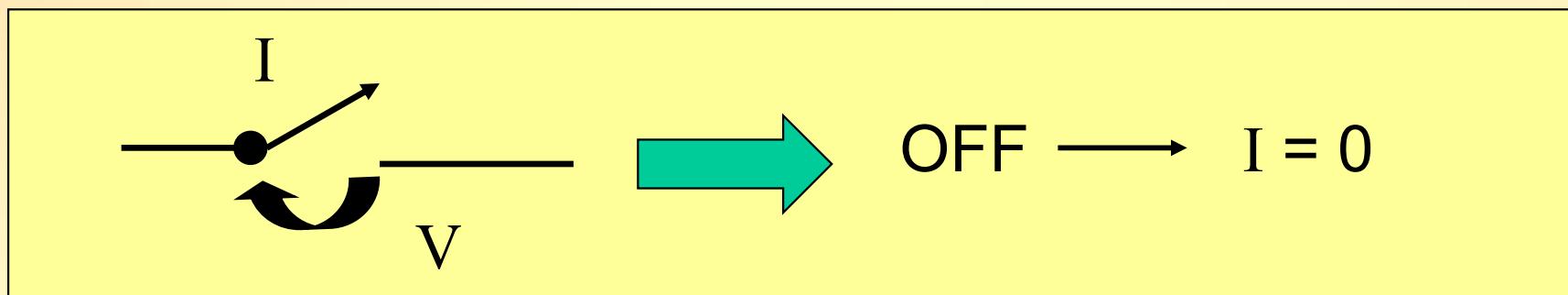
- Componenti (Materiali, Dispositivi) Elettronici di Potenza:
 - generalità
 - materiali
 - dispositivi (diodi, SCR, BJT, MOSFET, IGBT)
 - protezione (diodi, snubber)
 - smart power (circuiti integrati di potenza)
- Analisi data sheet MOSFET e IGBT commerciali per automotive

Generalità sui dispositivi elettronici di potenza

- I moderni sistemi elettronici di controllo e comando di motori e macchine elettriche impiegano diffusamente dispositivi elettronici di potenza, grazie ai quali è possibile regolare flusso di potenza, e dunque di energia, e regolare prestazioni delle macchine quali ad esempio la velocità

Dispositivi a semiconduttore utilizzati come Switch in stati

ON (dispositivo in forte conduzione),
OFF (dispositivo come circuito aperto)



Perché i dispositivi di potenza sono utilizzati come Switch?

ON (dispositivo in forte conduzione) -> caduta di tensione sul dispositivo è nulla → non si spreca potenza

OFF (dispositivo come circuito aperto) → corrente nulla → non si spreca potenza

Quali componenti passivi vengono usati in applicazioni di potenza ?

Si usano come componenti passivi soprattutto **induttanze (L)** e **capacità (C)** che idealmente non hanno perdite (immagazzinano energia) e non resistenze (R) che la dissipano

Ordine di grandezza dei parametri elettrici

Applicazioni di potenza

Tensioni: V - kV

Correnti: A - kA

Potenze: W- kW - MW

Dispositivi elettronici di potenza

Dispositivi allo stato solido preferibili a relè
elettromeccanici per:

- maggiore compattezza
- più alta frequenza di lavoro*

*vantaggi ad alte frequenze:

dimensioni passivi per filtri C e L e trasformatori più piccoli
possibilità di sostenere tecniche di controllo più sofisticate
possibilità di distribuire a frequenze diverse emissioni EM
riducendo problemi di interferenza

Dispositivi elettronici di potenza

- DIODI
 - SCR (Silicon Controlled Rectifier)*
 - SWITCH CONTROLLATI:
 - BJT (Bipolar Junction Transistor)
 - MOSFET (Metal Oxide Semiconductor Field Effect Transistor) chiamati anche solo MOS
 - IGBT (Insulated Gate Bipolar Transistor)
 - GTO* (Gate Turn-Off)
 - Mos Controlled Thyristor (MCT) *
- * SCR, GTO, MCT = TIRISTORI

Dispositivi elettronici di potenza

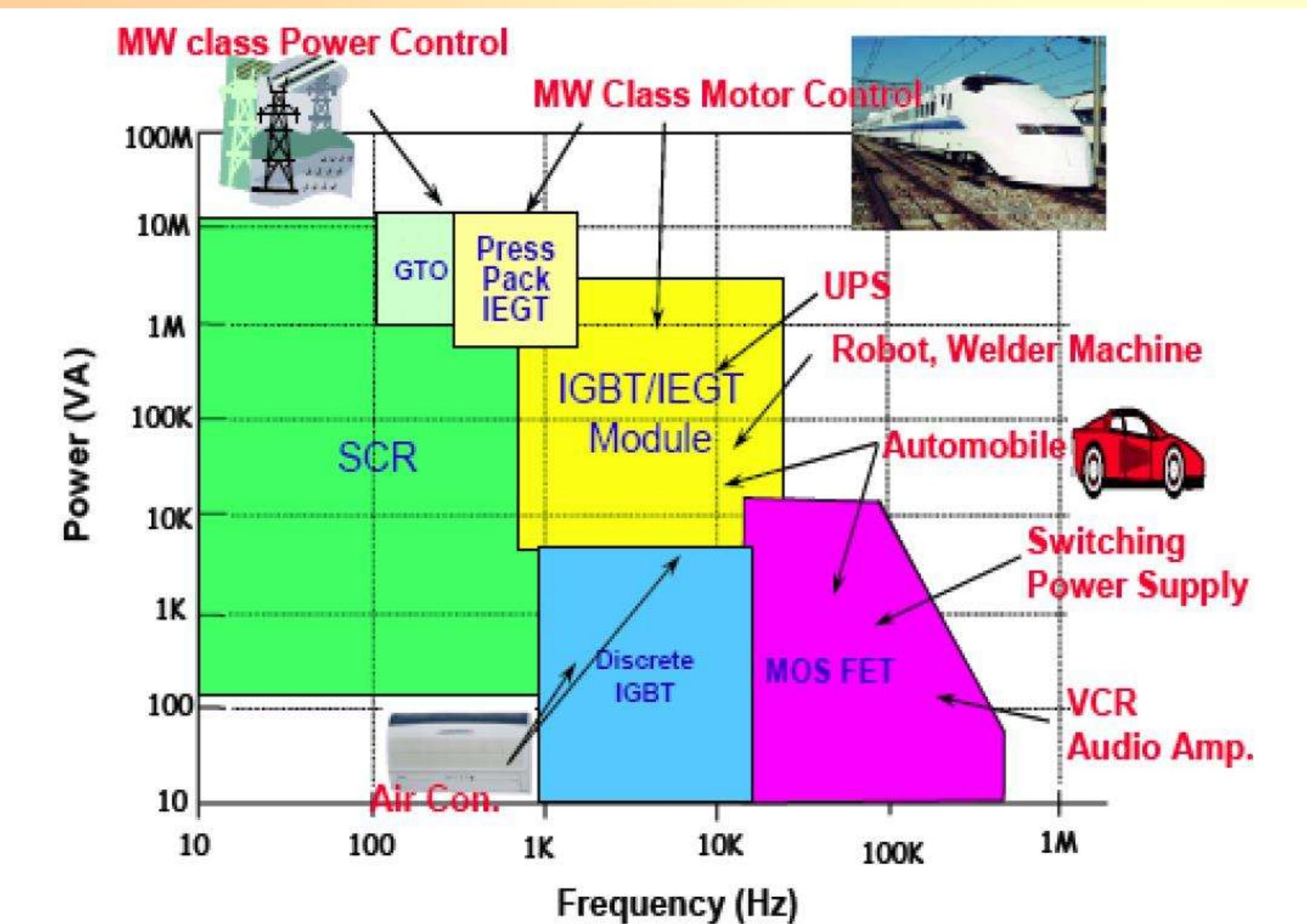
I componenti di potenza a semiconduttori attualmente disponibili si possono così classificare:

- **Diodi**: accensione e spegnimento controllati dal circuito esterno di potenza (diodo, diodo Schottky).
- **Tiristori**: accensione controllata da un segnale esterno, spegnimento controllato dal circuito esterno di potenza (SCR, TRIAC, ASCR, RCT).
- **Interruttori controllati**: accensione e spegnimento controllati da un segnale esterno (Bipolar Junction Transistor (**BJT**), Metal-Oxide-Semiconductors Field Effect Transistor (**MOSFET**), Gate Turn Off (**GTO**) Thyristor, Insulated Gate Bipolar Transistor (**IGBT**), Mos Controlled Thyristor (**MCT**)).

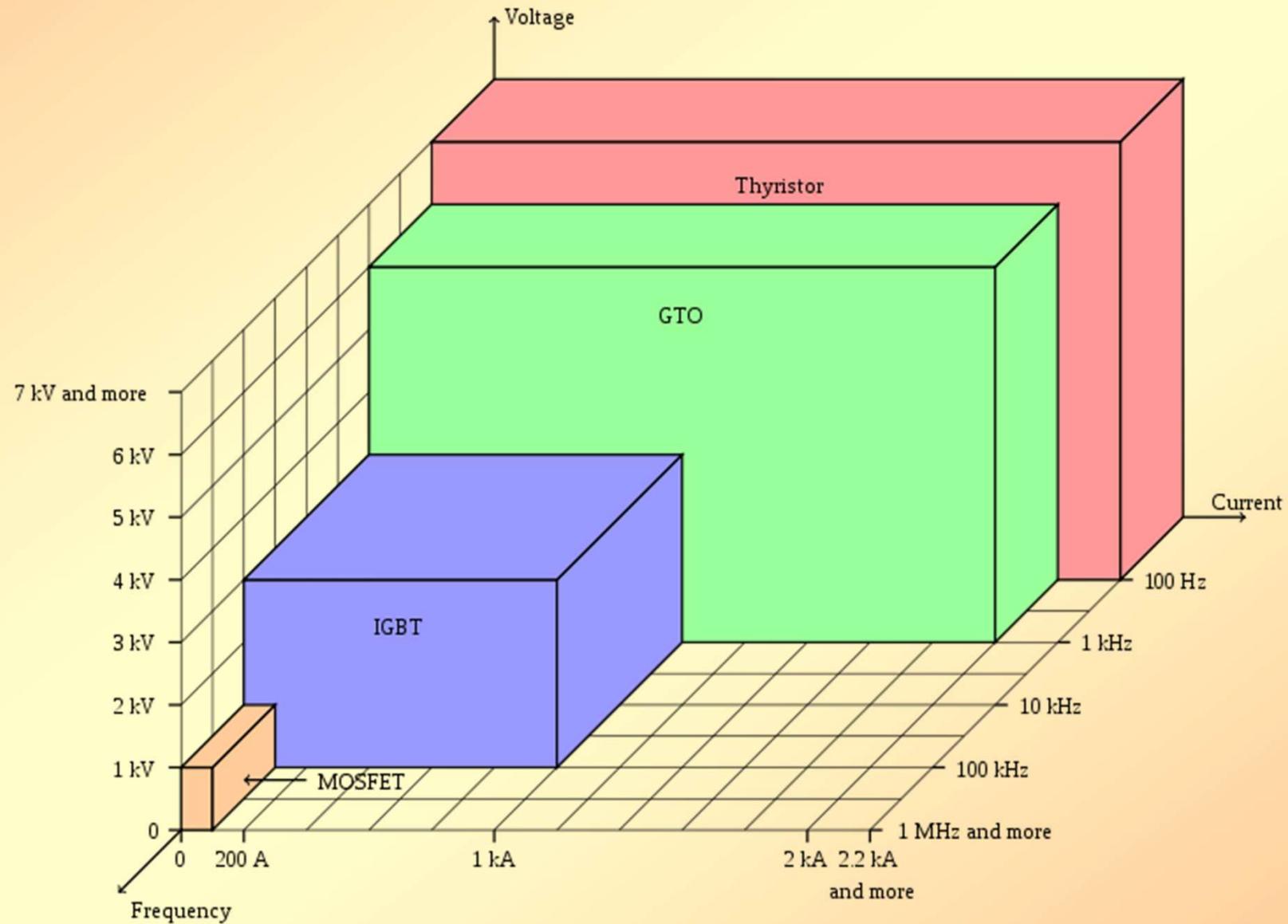
Confronto tecnologie

	<i>Potenza</i>	<i>Vel. comm.</i>
<i>BJT</i>	Media	Media
<i>MOSFET</i>	Bassa	Alta
<i>GTO</i>	Alta	Bassa
<i>IGBT</i>	Media	Media
<i>MCT</i>	Media	Media

Domini applicativi tecnologie



Confronto tecnologie



Materiali

- Si or SiC or GaN?

Characteristic	Unit	Si	GaAs	SiC	GaN
Electron mobility	cm ² /Vs	1350	8500	700	2000
Critical electric field	MV/cm	0.3	0.4	2.4	3.0
Relative dielectric constant	er	11.8	13.1	10.0	9.0

	Si	GaAs	SiC	GaN
Bandgap at Room T (eV)	1.12	1.43	2.2-3	3.4
Thermal conductivity (W/(cm K))	1.5	0.5	5	1.3
Max Operating Temp. (C)	150	300	600-1000	400
Saturation velocity (cm/s)	1e7	2e7	2.5e7	2.5e7

Materiali

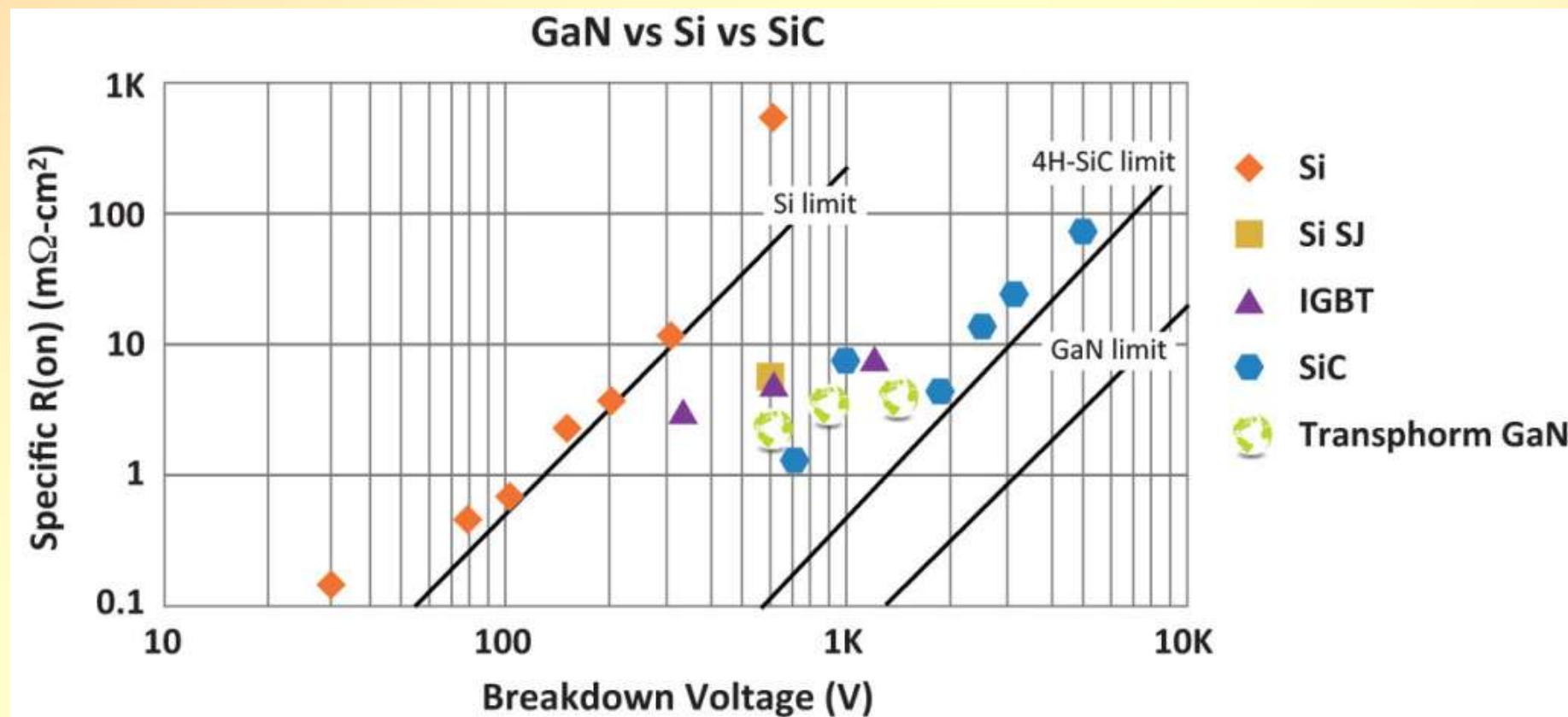
	Si	GaAs	SiC	GaN
Bandgap at Room T (eV)	1.12	1.43	2.2-3	3.4
Thermal conductivity (W/(cm K))	1.5	0.5	5	1.3
Max Operating Temp. (C)	150	300	600-1000	400
Saturation velocity (cm/s)	1e7	2e7	2.5e7	2.5e7

Higher bandgap → Harder impact ionization → Higher E_{BD}

Higher bandgap → Lower intrinsic carrier density n_i at a given T
→ Lower leakage currents at given T
→ Higher Max operating Temp

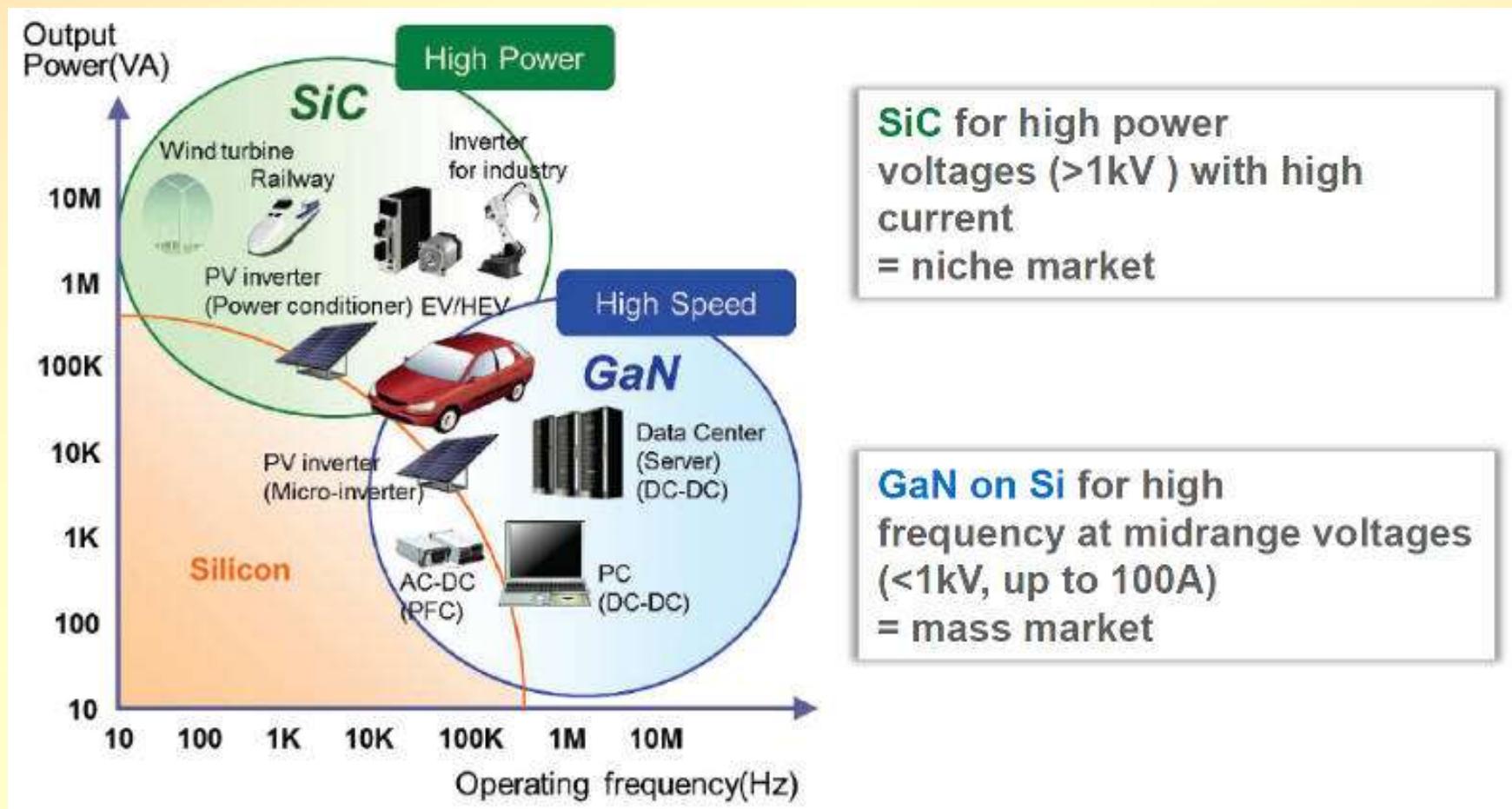
Materiali

- Si or SiC or GaN?
- Low Ron measures ON-state efficiency
- High BV measures OFF-state performance

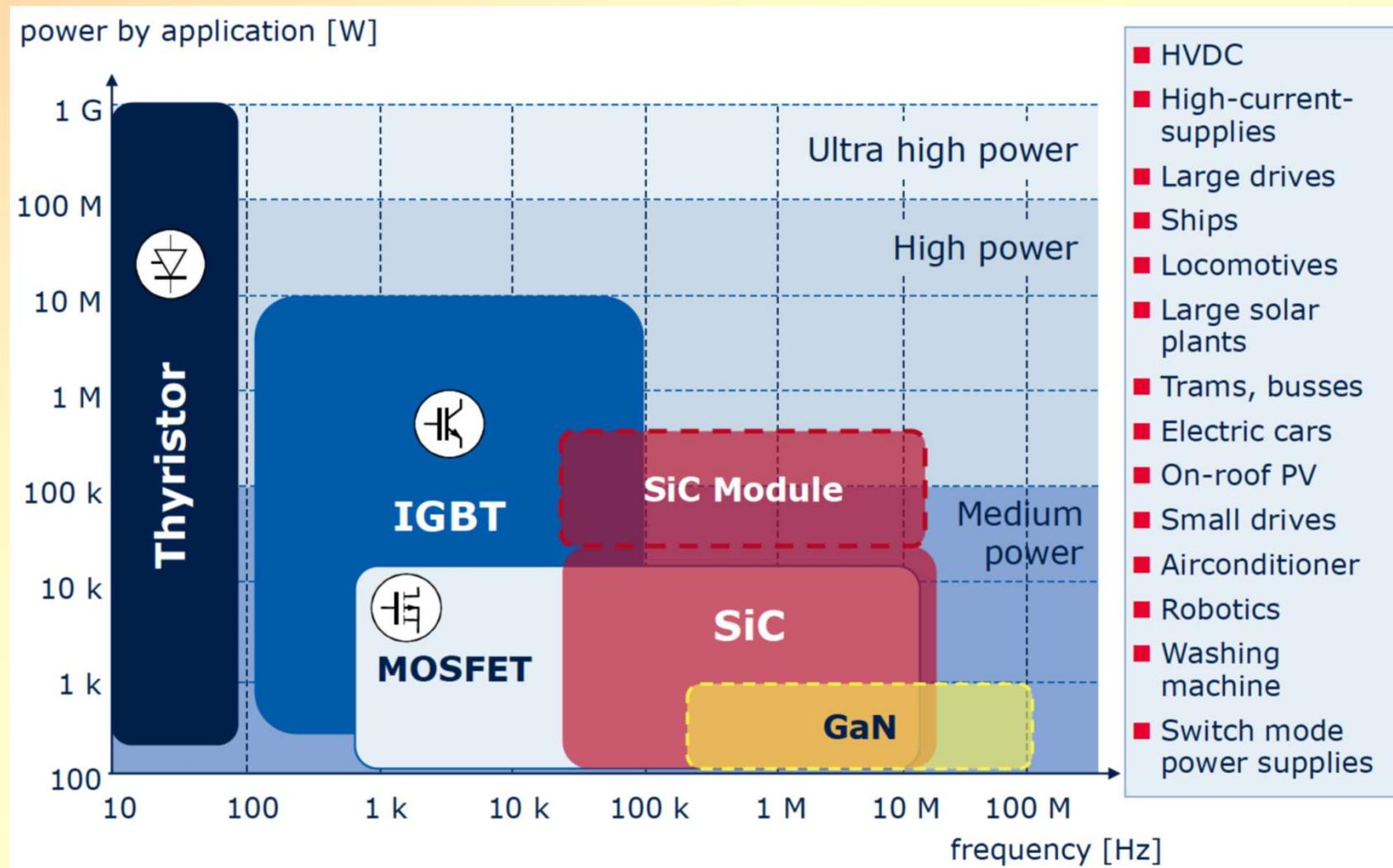


Materiali

- Si or SiC or GaN?
- Si is the present, SiC and GaN the future
- GaN still an emerging technology
- SiC is now market ready



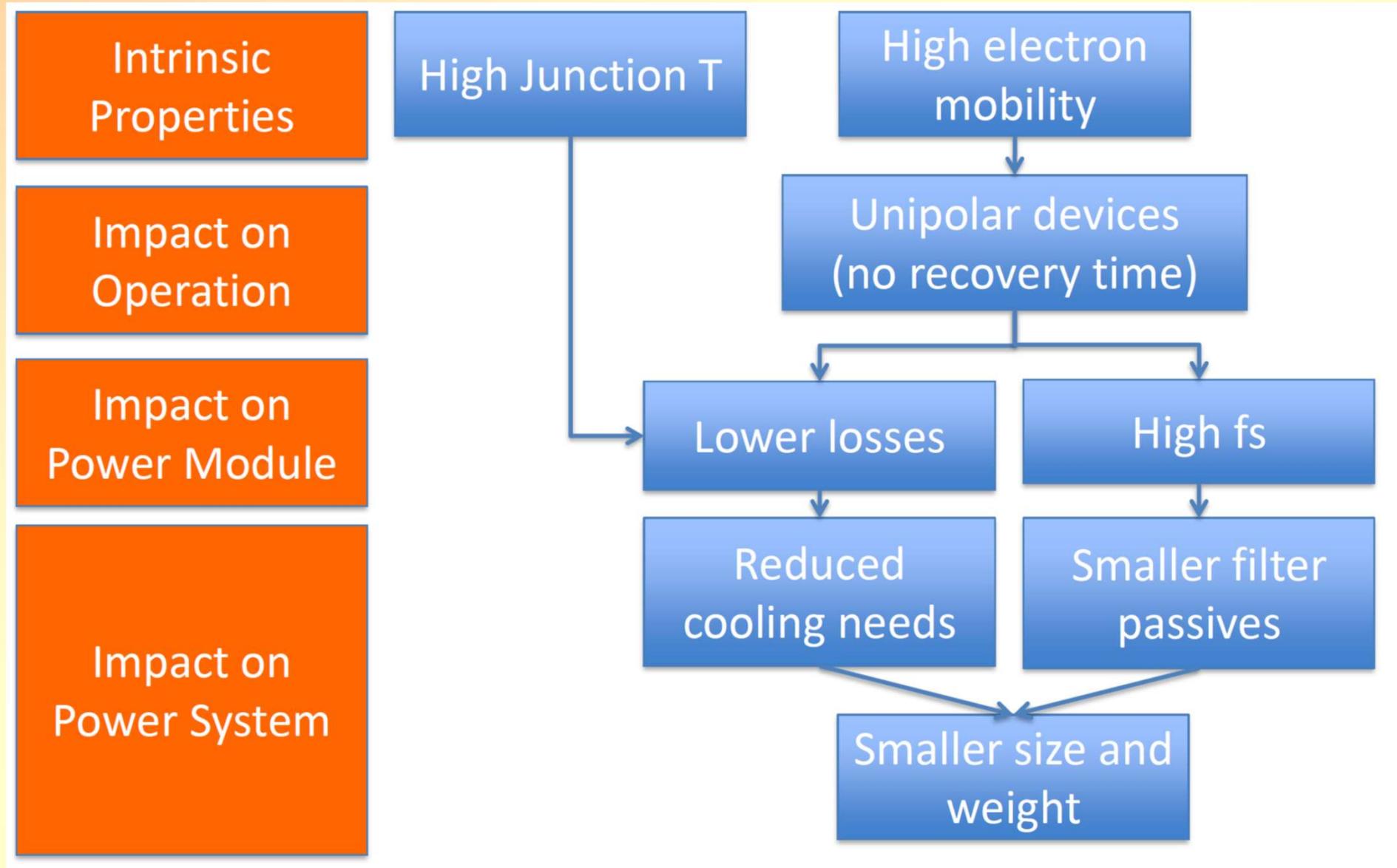
Power vs Freq by devices and materials (source: Infineon2011)



SiC, GaN higher device cost but can lead to lower system cost

- Silicon has enormous accumulated past investments. Money spent on other materials is small in comparison
- GaAs
 - Small wafer size (\rightarrow higher cost)
 - Unwanted impurities \rightarrow reduce EBD and carrier lifetime
 - No oxide (is it really a problem?)
- SiC
 - Even smaller wafer size and more impurities (SiC on Si)
 - SiC-SiO₂ interface not perfect
- GaN (GaN on Si)
 - Reliability issues (impurities)

SiC, GaN higher device cost but can lead to lower system cost



Innovation on Power Switch

SiC power Mosfets are more expensive than Si power Mosfets: a market analysis on stocks from 100 to 1000 devices for the power mosfets in Table 1 has shown that the selling price for each SiC power device is 1.7 to 3.5 times higher than that of Si power device. Hence, a circuit solution like that in Figure 8A that minimizes the use of active devices make more convenient the adoption of SiC power Mosfets.

Power Mosfets	Package	I _{Dmax}	V _{DSmax}	R _{DSon}	Q _G	T _{dON}	T _{dOFF}	T _{rr}
SiC C2M0040120D	TO-247	60 A	1200 V	40 mΩ	115 nC	15 ns	26 ns	54 ns
Si IPW60R045CP	TO-247	60 A	60 V	45 mΩ	150 nC	30 ns	100 ns	600 ns

Ricerche in corso su processi GaN compatibili con tecnologie al Si per ridurre costi es. GaN-on-Si
<https://www.imec-int.com/en/200mm-GaN-on-Si-technology>

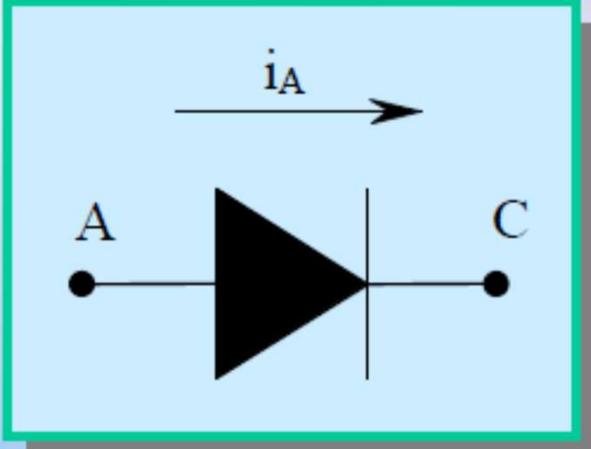
REQUISITI GENERALI DI UN INTERRUTTORE CONTROLLATO

- Basse perdite in stato di conduzione;
- Alta tensione di blocco (i.e. capacità di mantenere in stato di OFF la corrente a valori molto bassi anche con alte tensioni applicate allo switch)
- Rapidità di commutazione;
- Bassa potenza di controllo;
- Capacità di sopportare rapide variazioni di “V” e “I”

Altri Parametri

V_T	<i>tensione di soglia</i>
$I(I_{RMS})$	<i>valore efficace della corrente</i>
$I_m(I_{AVE})$	<i>valor medio della corrente</i>
I_{FSM}	<i>corrente di sovraccarico</i>
i^2dt	<i>(per il coordinamento fusibili)</i>
V_{RRM}	<i>massimo valore permesso di tensione inversa ripetitiva</i> <i>(repetitive peak reverse voltage)</i>
I_{RRM}	<i>corrente di perdita ripetitiva</i>

DIODI



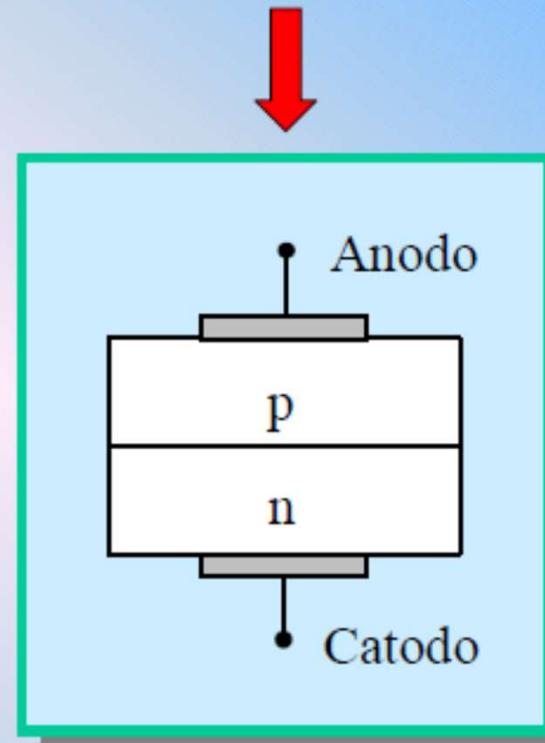
Simbolo

Lo stato del diodo dipende solamente dalla polarizzazione del componente.

Polarizzazione diretta: conduzione.

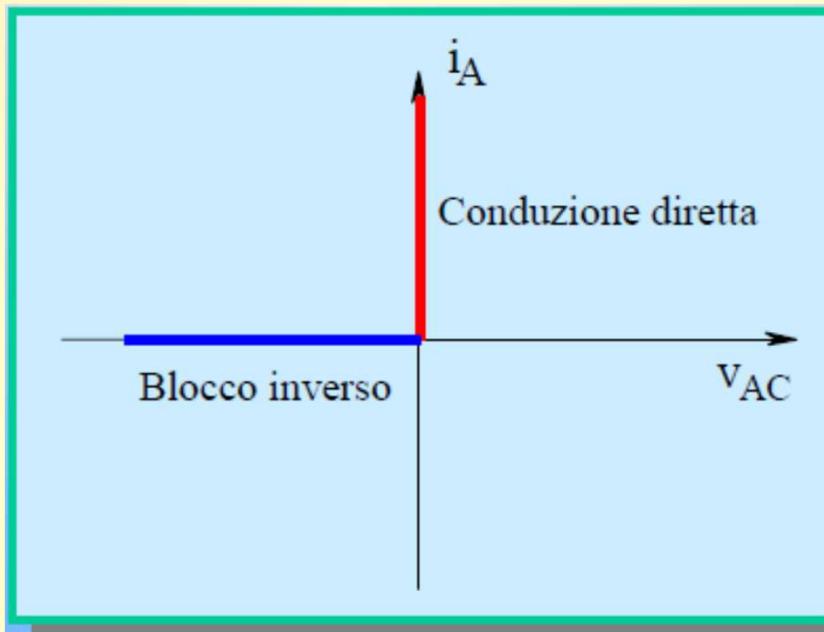
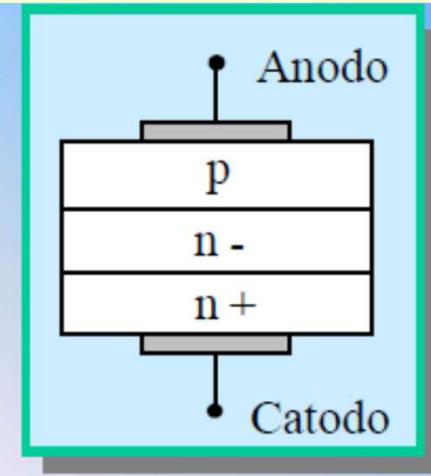
Polarizzazione inversa: interdizione.

Il diodo è composta da una unica giunzione *p-n*.



DIODI

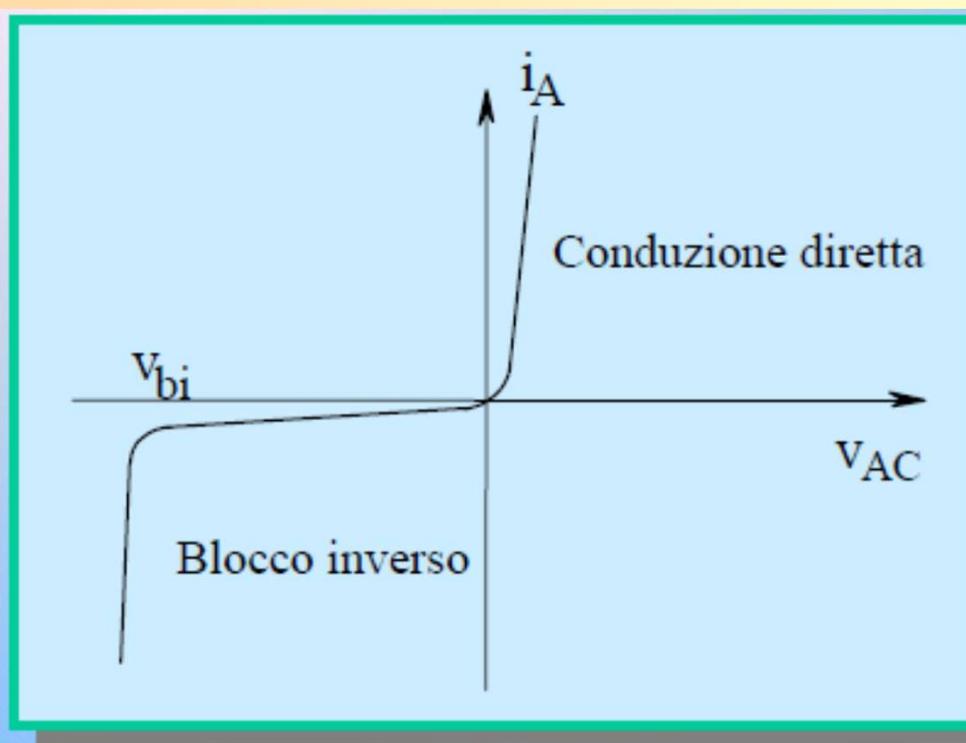
La struttura del diodo di potenza è diversa da quella del diodo di segnale e prevede l'impiego di due zone *n* con diverso grado di drogaggio.



La caratteristica statica ideale del componente, presenta:

- tensione nulla in conduzione (resistenza equivalente zero);
- corrente nulla in interdizione (resistenza equivalente infinita).

DIODI - caratteristica

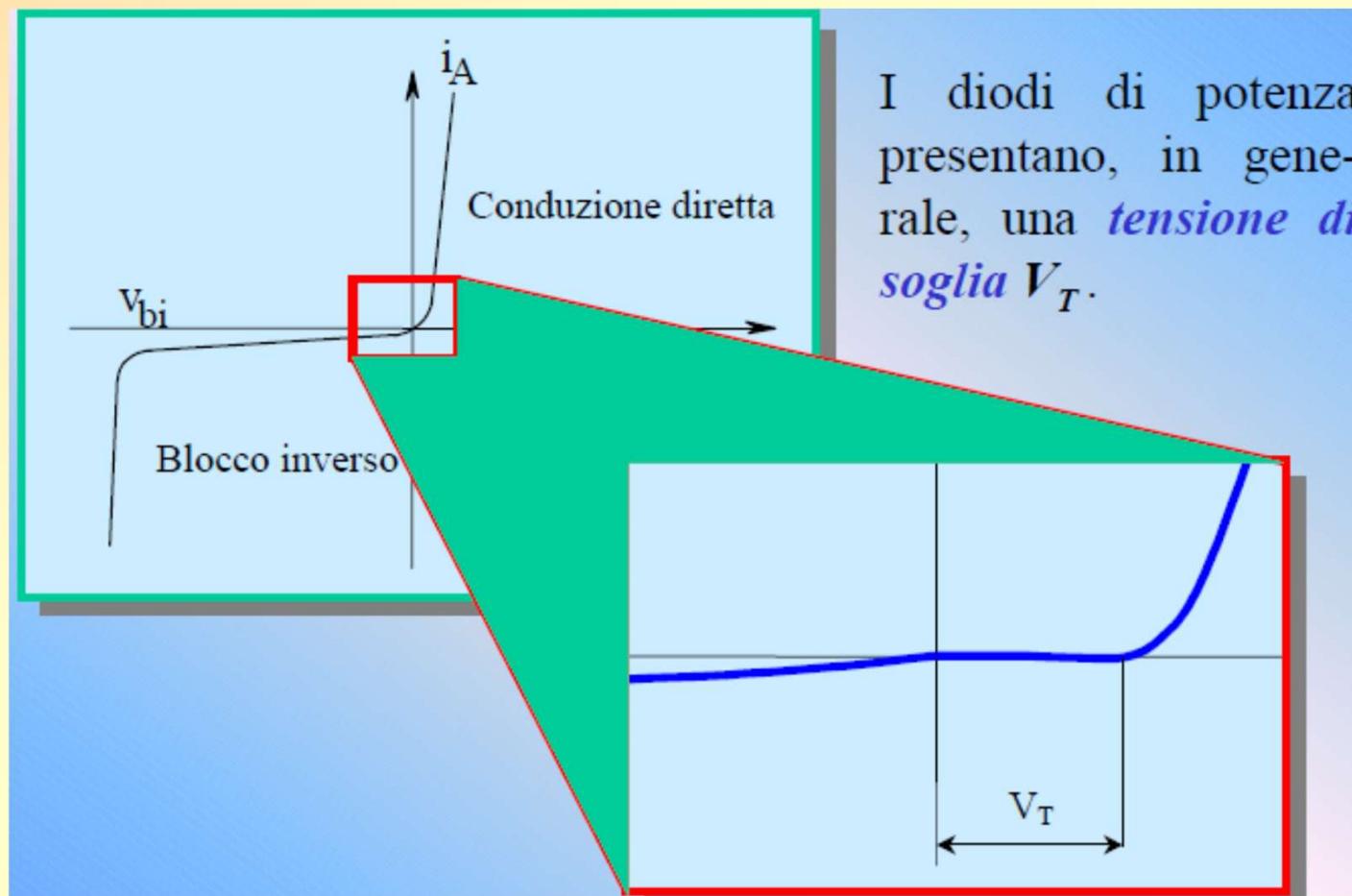


La caratteristica statica del componente è dipendente dalla temperatura della giunzione.

La caduta di tensione diretta varia da 1 a 1.5 V.

La tensione v_{bi} (breakdown inverse) rappresenta il limite superiore di tensione inversa che il diodo è in grado di sopportare; oltre tale valore il componente perde la capacità di blocco inverso e viene danneggiato *irreversibilmente*.

DIODI - caratteristica



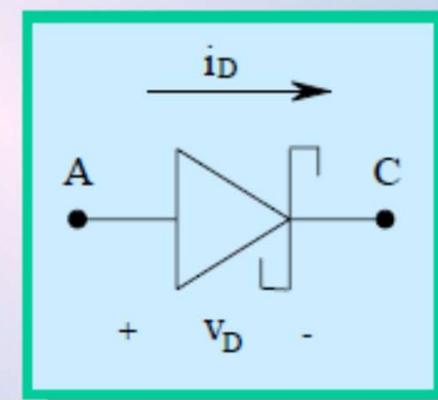
DIODI – vari tipi

Esistono diodi *Line Frequency*, diodi *Fast Recovery* e diodi *Schottky*.

I diodi *Line Frequency* hanno solitamente tensione di blocco inversa elevata ($6\div 7 \text{ kV}$) e possono portare elevate correnti dirette ($5\div 6 \text{ kA}$), pur mantenendo piccole cadute in conduzione.

I diodi *Fast Recovery* arrivano a tensioni di blocco inverse minori (*inferiori al kV*) ed a correnti in conduzione più piccole (*inferiori al kA*), ma sono *più veloci*.

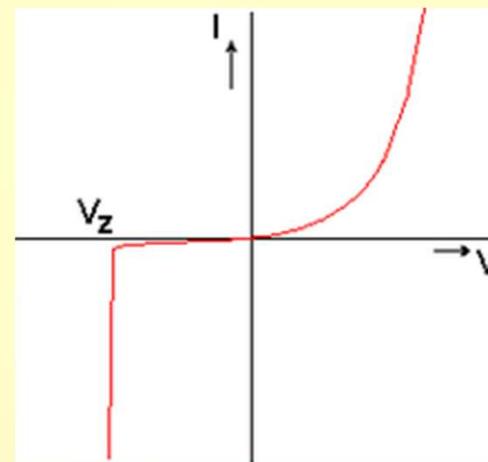
Un diodo veloce è il *diodo Schottky* che presenta minime cadute dirette (*circa 0.3 V*), ma basse tensioni di blocco inverse (*100 V*) ed elevate correnti di perdita in inversa.



DIODO Zener

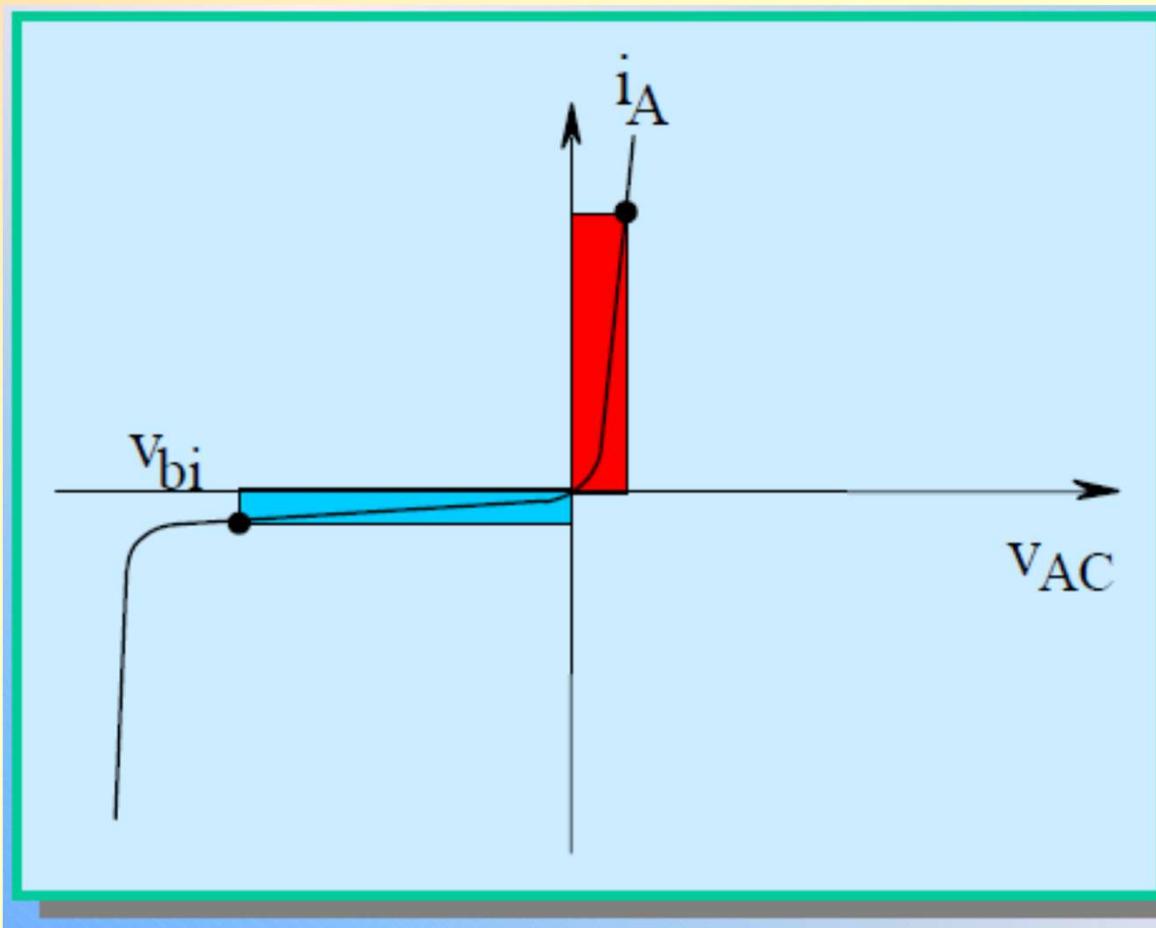
Se polarizzato direttamente (tensione anodo > tensione catodo), il diodo Zener ha un comportamento analogo al diodo normale

Caratteristica peculiare del diodo Zener è il suo comportamento quand'è polarizzato inversamente (tensione anodo < tensione catodo) e viene di solito utilizzato in questo modo **come riferimento di tensione**



Se la tensione inversa ai capi del diodo Zener è tra 0 V e V_z , il componente è interdetto e si comporta come un interruttore OFF. Se la tensione inversa applicata arriva a V_z (tensione di Zener o tensione di *breakdown*) si innesca l'effetto valanga → si ha un forte passaggio di corrente tra i due terminali del dispositivo. Il diodo Zener è capace di resistere al forte passaggio di corrente e mantiene ai suoi capi la tensione V_z .

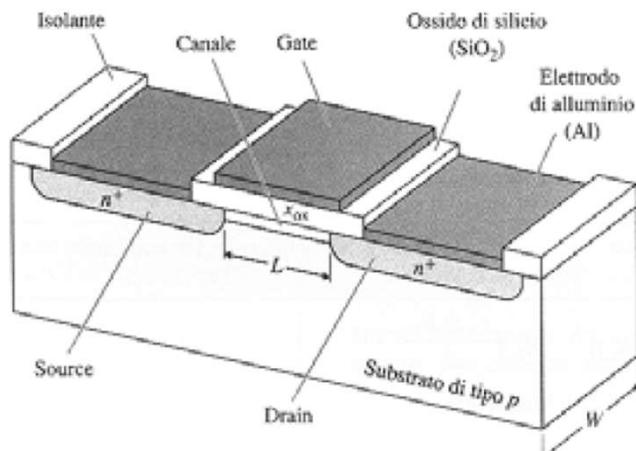
DIODI – perdite



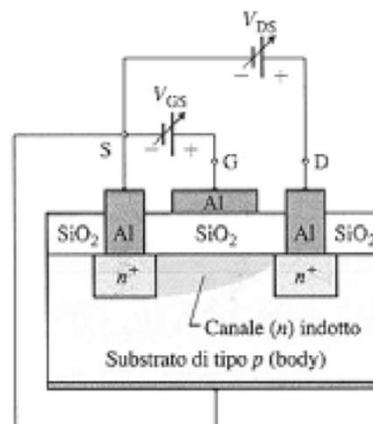
Le perdite in conduzione e interdizione sono rappresentabili con dei rettangoli sulla caratteristica statica.

MOSFET

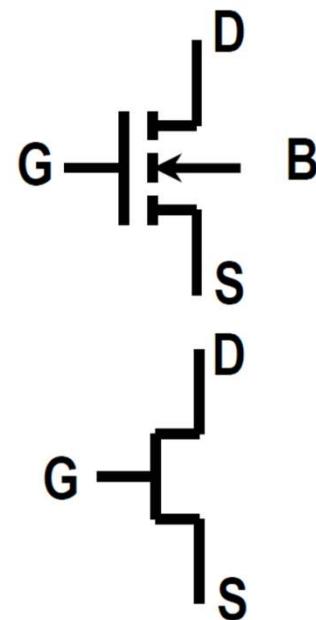
✧ Struttura e simboli circuitali MOS (canale n, indotto)



(a) Struttura

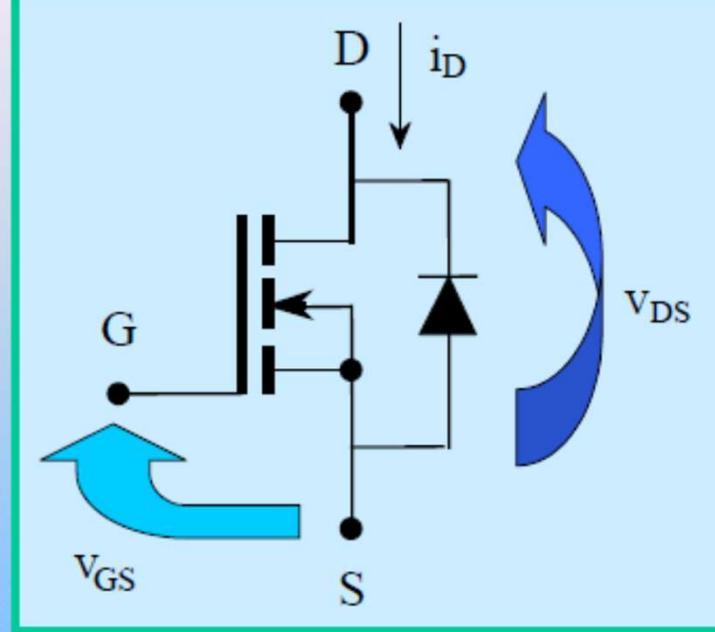


(b) Schematizzazione



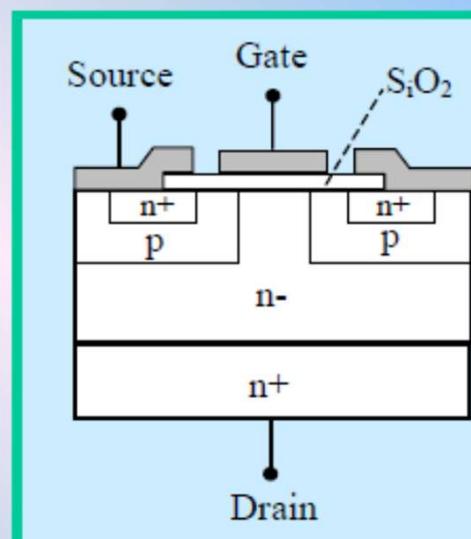
Se la tensione tra Gate e Source V_{GS} , e quindi V_{GB} tra Gate e Bulk (connesso al Source), supera valore di soglia $V_{T(n)}$ si forma canale n (elettroni presenti in diffusioni n di Source e Drain e come portatori minoritari in substrato p) tra Source e Drain permettendo, in funzione di V_{GS} e V_{DS} , passaggio di corrente ($I_D = I_S$ essendo $I_G = 0$ per presenza di SiO₂ isolante)

MOSFET di potenza (struttura verticale)



Lo stato del MOSFET dipende dalla polarizzazione del componente e dal segnale di comando del Gate.

Struttura del MOSFET VDMOS a canale n.



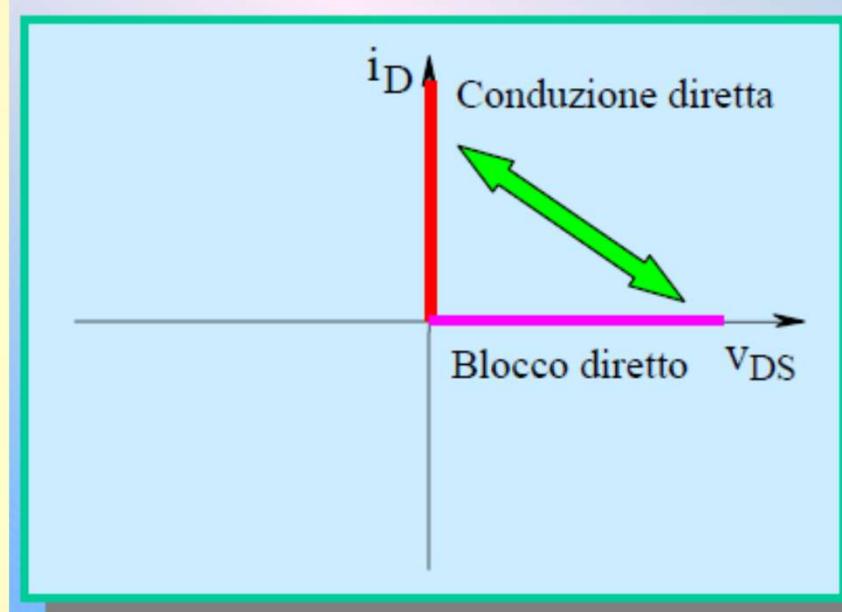
MOSFET

Il nome significa *Metal Oxide Semiconductor Field Effect Transistor*.

Nella struttura è compreso un diodo in antiparallelo (quindi il componente non possiede una caratteristica di interdizione inversa).

Ne esistono di diversi tipi (VDMOS, VVMOS, ...).

Prerogativa fondamentale è che sono controllati in tensione.

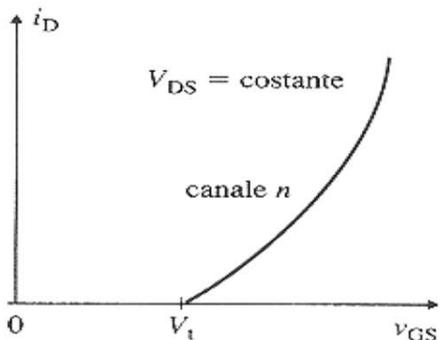


Il componente presenta lo stato di conduzione diretta e interdizione diretta, ma non lo stato di interdizione inversa.

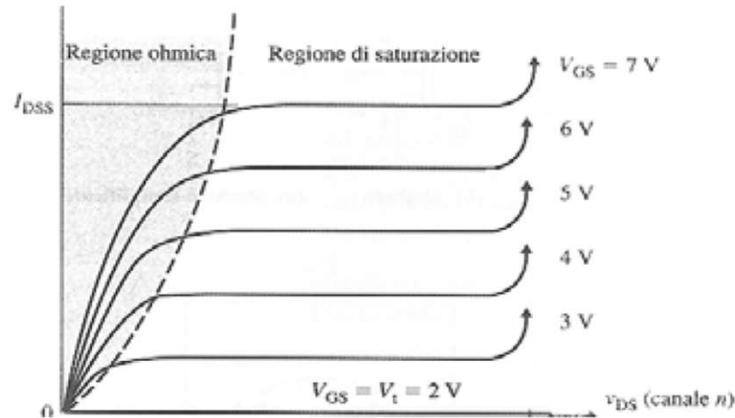
Il controllo della tensione di Gate consente il cambio di stato nelle due direzioni.

MOSFET CARATTERISTICHE

Caratteristica Ingresso-Uscita



Caratteristica Uscita

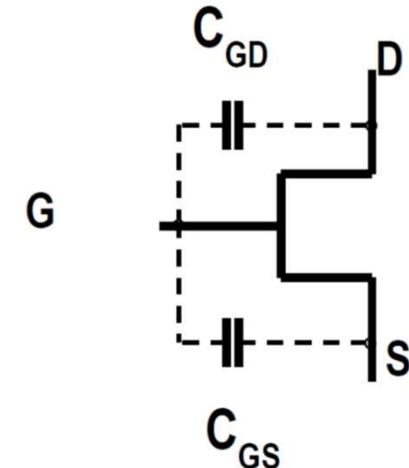


Per valori piccoli di V_{DS} il canale tra Source e Drain ha andamento uniforme con uno spessore, e quindi conducibilità, che cresce al crescere di V_{GS} (Regione ohmica in cui MOS si comporta come resistenza variabile controllata da V_{GS})

Al crescere di V_{DS} il canale non è uniforme poiché la tensione tra il Gate e la regione del canale è pari a V_{GS} nei pressi del Source ma diminuisce avvicinandosi al Drain. Se $V_{GS} - V_{DS} < V_{T(n)}$ esiste zona, verso il Drain, dove canale è strozzato (Regione di saturazione)

MOSFET CARATTERISTICHE

✧ Impedenza d'ingresso capacitiva



Equazioni del MOS (n)

✧ Zona di INTERDIZIONE

$$I_D = 0 \quad \text{per } V_{GS} < V_T$$

✧ Zona OHMICA (TRIODO)

$$I_D = \beta_n \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{per } V_{DS} < V_{GS} - V_T$$

✧ Zona di SATURAZIONE

$$I_D = \beta_n \frac{(V_{GS} - V_T)^2}{2} \quad \text{per } V_{DS} \geq V_{GS} - V_T$$

$$\beta_n = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \left[\frac{\text{A}}{\text{V}^2} \right], \mu_n = \text{mobilità elettroni} \left[\frac{\text{m}^2}{\text{V} \cdot \text{s}} \right]$$

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{t_{ox}} \quad \text{Capacità ossido per unità di superficie}$$

t_{ox} = Spessore ossido, W = Larghezza canale, L = Lunghezza canale

MOSFET CARATTERISTICHE

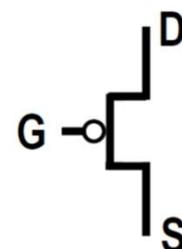
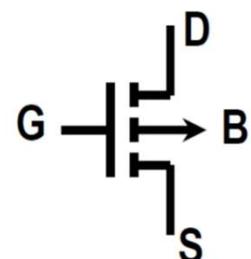
MOS a Canale p

Struttura analoga a MOS (n) ma substrato è di tipo n mentre Source, Drain e canale indotto sono di tipo p (portatori di carica sono le lacune)

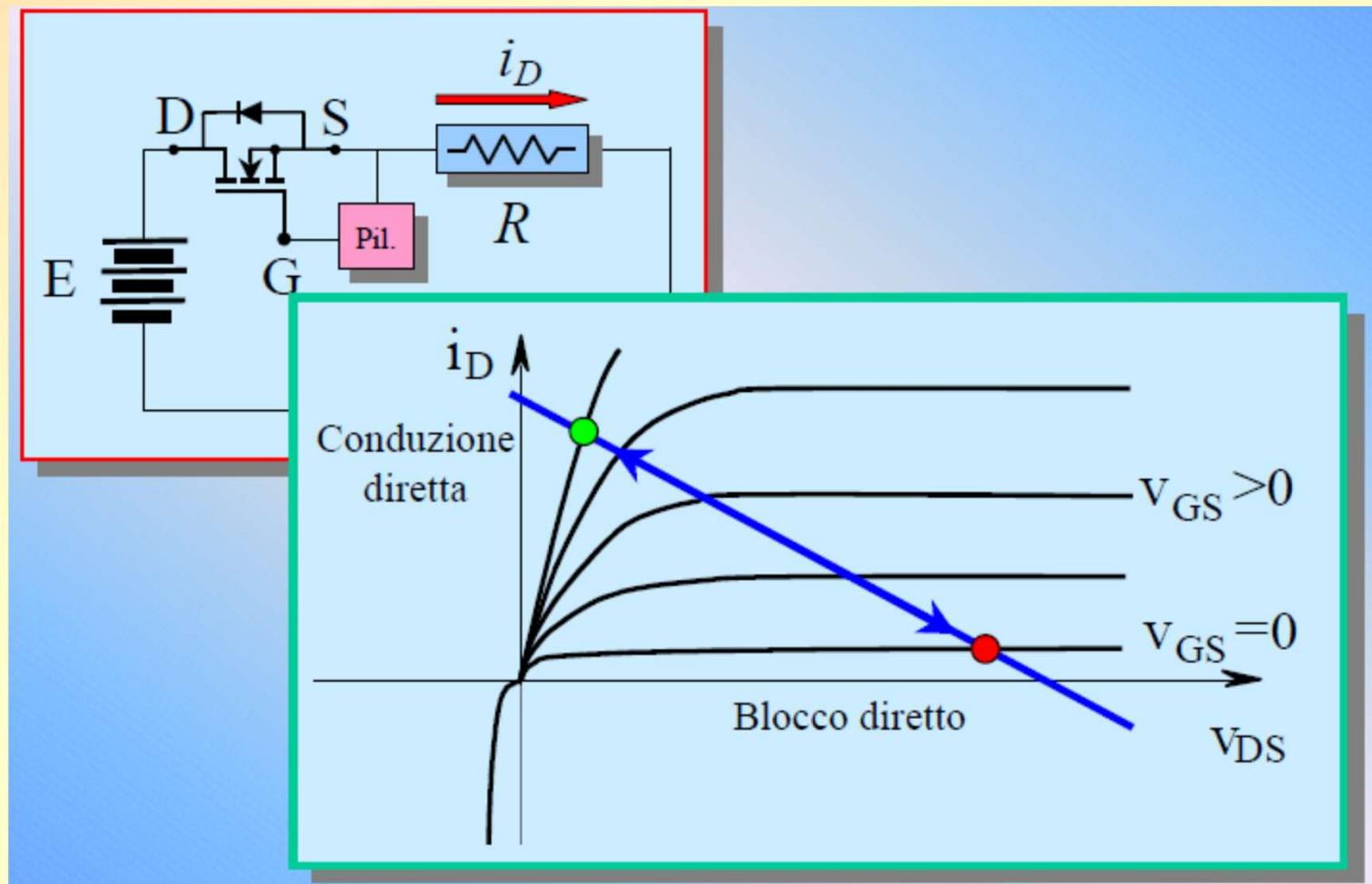
Caratteristiche equivalenti a MOS (n) purché si scambino segni di correnti e tensioni (lavora con tensioni V_{DS} , V_{GS} , $V_{T(p)}$ negative)

Mobilità lacune μ_p inferiore a mobilità elettroni μ_n , per ottenere $\beta_p = \beta_n$ si compensa scegliendo $(W/L)_p > (W/L)_n$

Simboli circuitali MOS (p)



MOSFET - REGOLATORI



MOSFET

I MOSFET arrivano fino a *tensioni massime di 1000 V*, con basse correnti, mentre per tensioni più ridotte possono sopportare anche **100 A**.

Il circuito di gate ha una soglia tipica di 2-4 V sotto la quale la corrente diretta è piccolissima.

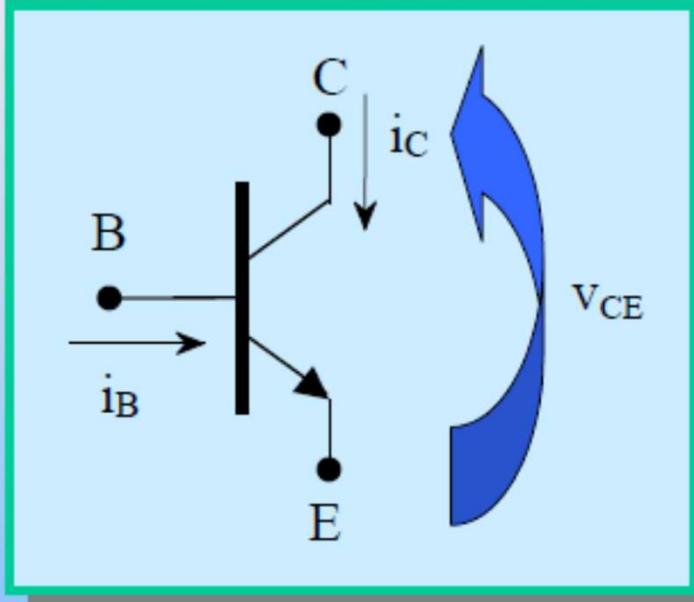
Si possono evidenziare due zone; la prima a R_{on} costante, la seconda a corrente costante. La R_{on} cresce con la taglia del componente e questo è un grosso svantaggio (*0.1÷1 Ω*).

Al contrario però hanno *bassissime perdite di commutazione*. E' necessario mantenere v_{GS} , ma non vi è passaggio di corrente e di conseguenza dissipazione di potenza, se non in commutazione.

Il tempo di commutazione risulta dell'ordine dei 100 nsec. Il componente è velocissimo (centinaia di kHz).

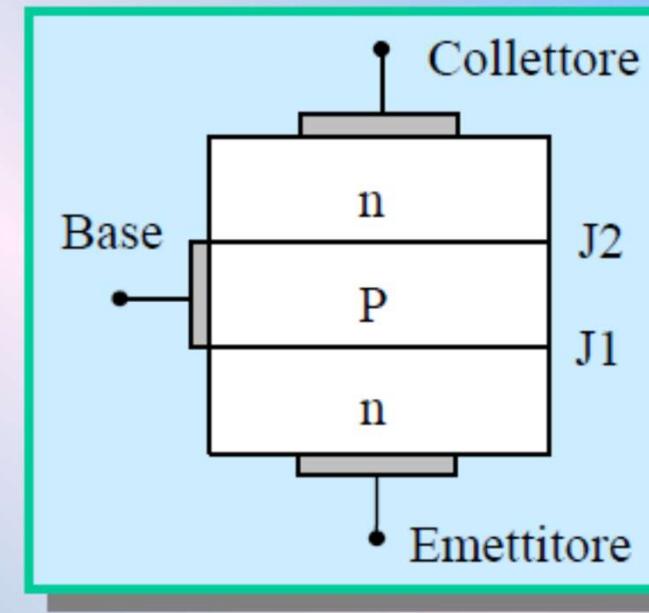
Questi componenti risultano *facilmente collegabili in parallelo* perché hanno coefficiente di temperatura positivo; quello che più si scalda, più aumenta di resistenza e di conseguenza cala la sua corrente.

BJT



Lo stato del BJT dipende dalla polarizzazione del componente e dal valore della corrente di Base.

Struttura di un comune BJT di tipo n-p-n.



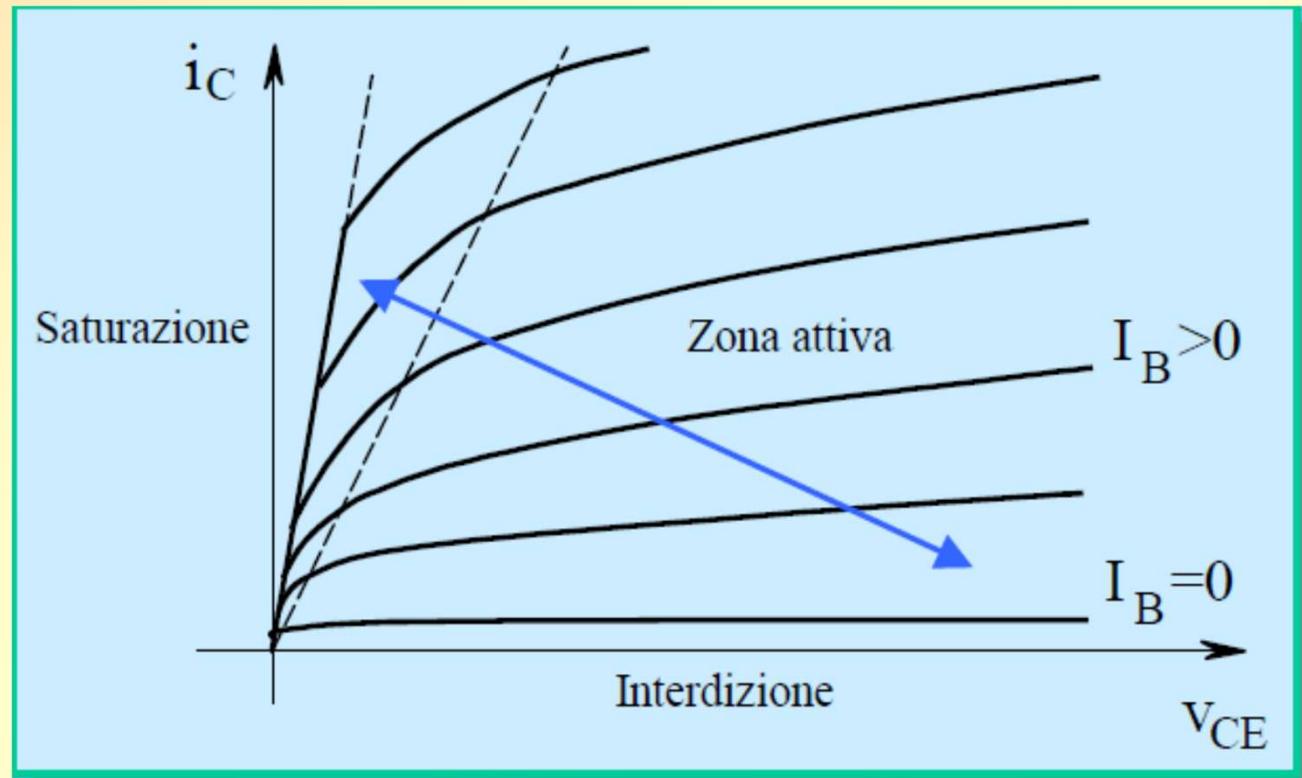
ZONE DI FUNZIONAMENTO

Nel BJT si possono definire tre modalità di funzionamento: *interdizione*, *saturazione* e *attiva*.

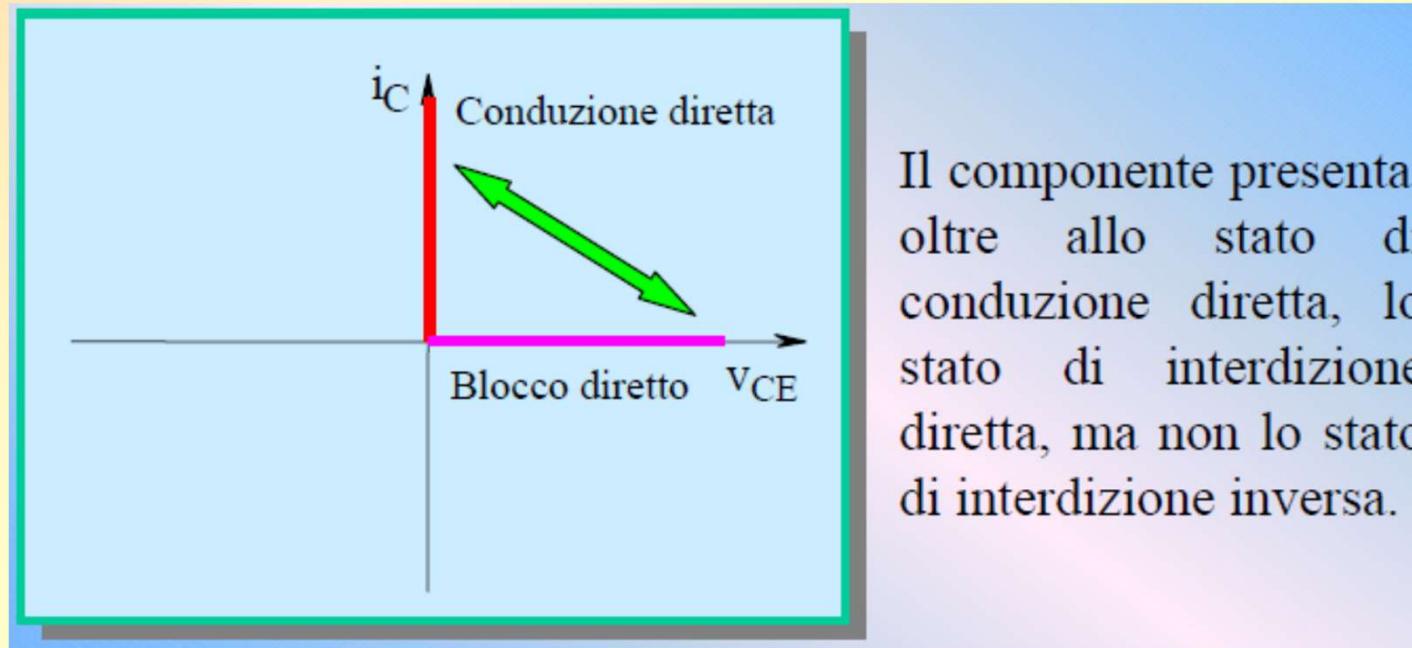
In queste tre zone di funzionamento, le due giunzioni risultano così polarizzate:

<i>Modo</i>	<i>j1 (B - E)</i>	<i>j2 (C - B)</i>
<i>Attiva</i>	Diretta	Inversa
<i>Interdizione</i>	Inversa	Inversa
<i>Saturazione</i>	Diretta	Diretta

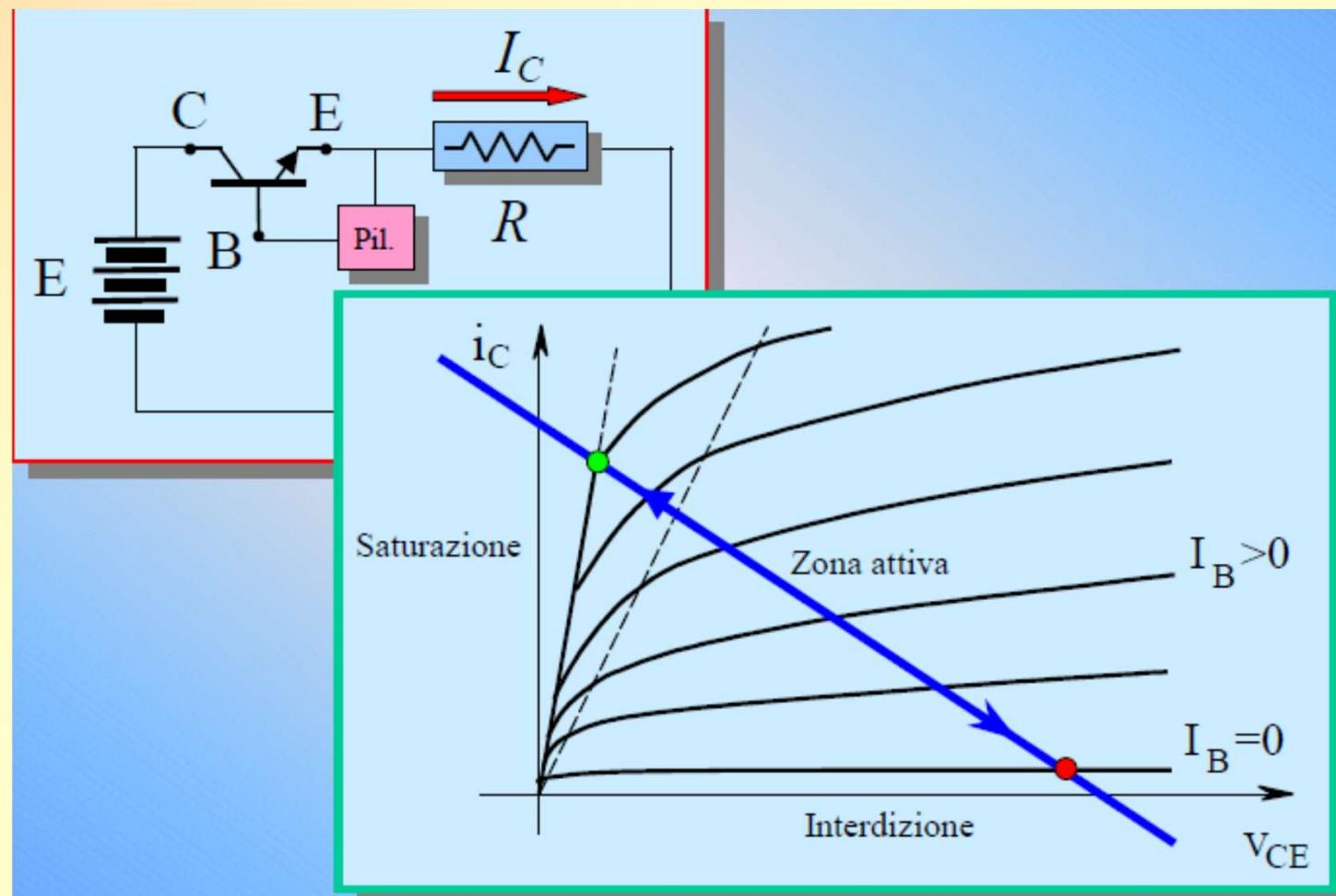
ZONE DI FUNZIONAMENTO



BJT COME SWITCH



BJT COME REGOLATORE LINEARE



BJT CARATTERISTICHE

Il BJT può essere collegato con connessione a emettitore comune o a base comune. *Nel caso di sistemi di potenza si usa la connessione a emettitore comune.*

Il componente rimane in conduzione solo se si mantiene una corrente di base; per lo spegnimento è sufficiente un picco di corrente di base negativo e quindi non sono richiesti circuiti esterni per la commutazione forzata.

Lavorando in switching mode, il BJT passa dalla zona di interdizione alla zona di saturazione.

Possono commutare ad elevata frequenza (10 kHz), ma non resistono alle tensioni inverse e le applicazioni sono perciò limitate ad inverter e chopper alimentati in corrente continua.

BJT CARATTERISTICHE

In generale le cadute in conduzione sono **2-3 V** e il guadagno in corrente è circa 10 nei transistor di potenza.

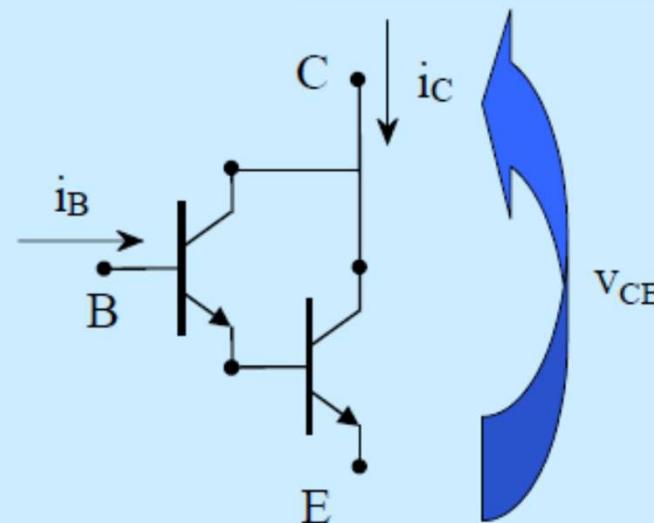
Fra i parametri caratteristici abbiamo:

Massima tensione collettore-emettitore: 1000÷1200 V

Massima corrente di collettore: 600÷800 A

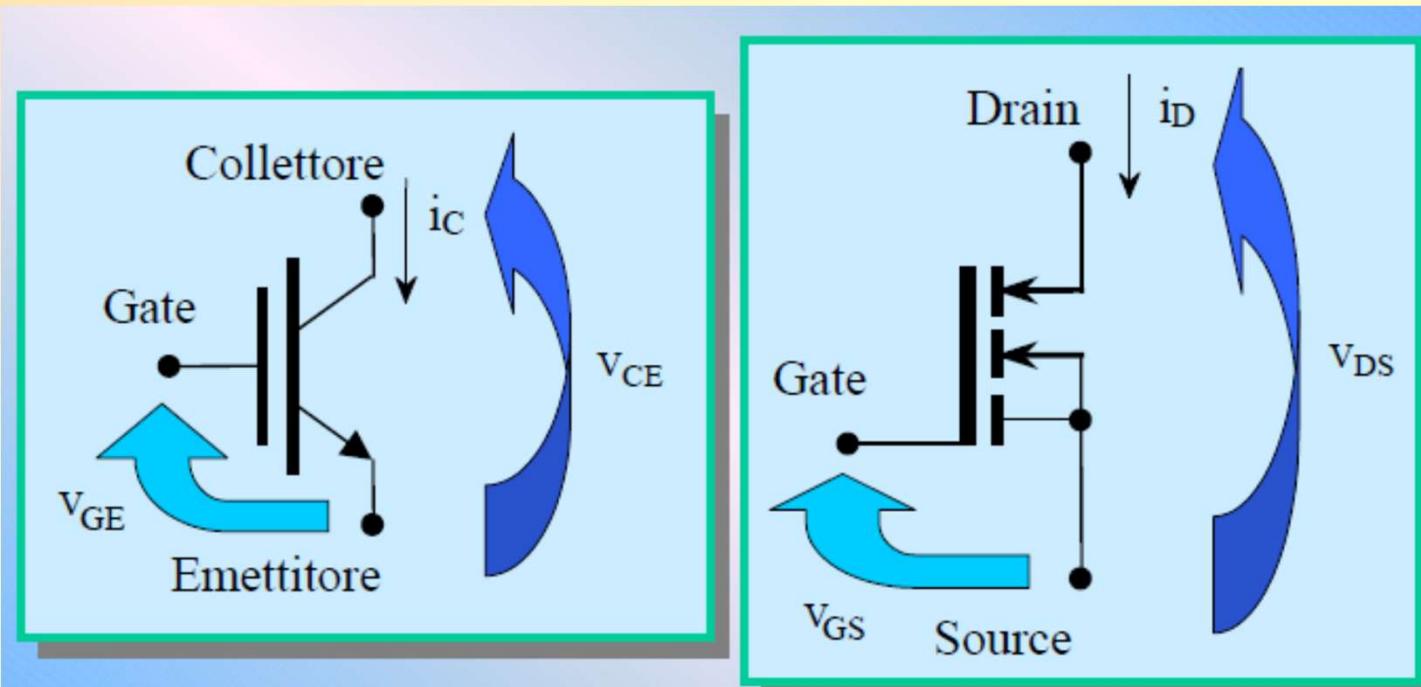
Durante la commutazione il BJT può presentare un fenomeno complesso detto effetto di breakdown secondario. E' la causa di molti guasti se il circuito non è progettato opportunamente. Il 1° breakdown è quello a valanga, simile a quello di altri componenti (diodo,...), il 2° breakdown è dovuto invece ad effetti localizzati di riscaldamento. Per evitare questo fenomeni è indispensabile utilizzare circuiti di snubber.

DARLINGTON



La configurazione Darlington ha *elevato guadagno di corrente*.
La potenza di base richiesta è minima, ma si ha una *riduzione della frequenza di commutazione* e un *incremento delle cadute in conduzione*. I Darlington possono essere realizzati su unico chip.

IGBT



Lo stato dell'IGBT dipende dalla polarizzazione del componente e dal segnale di comando in tensione del Gate.

IGBT

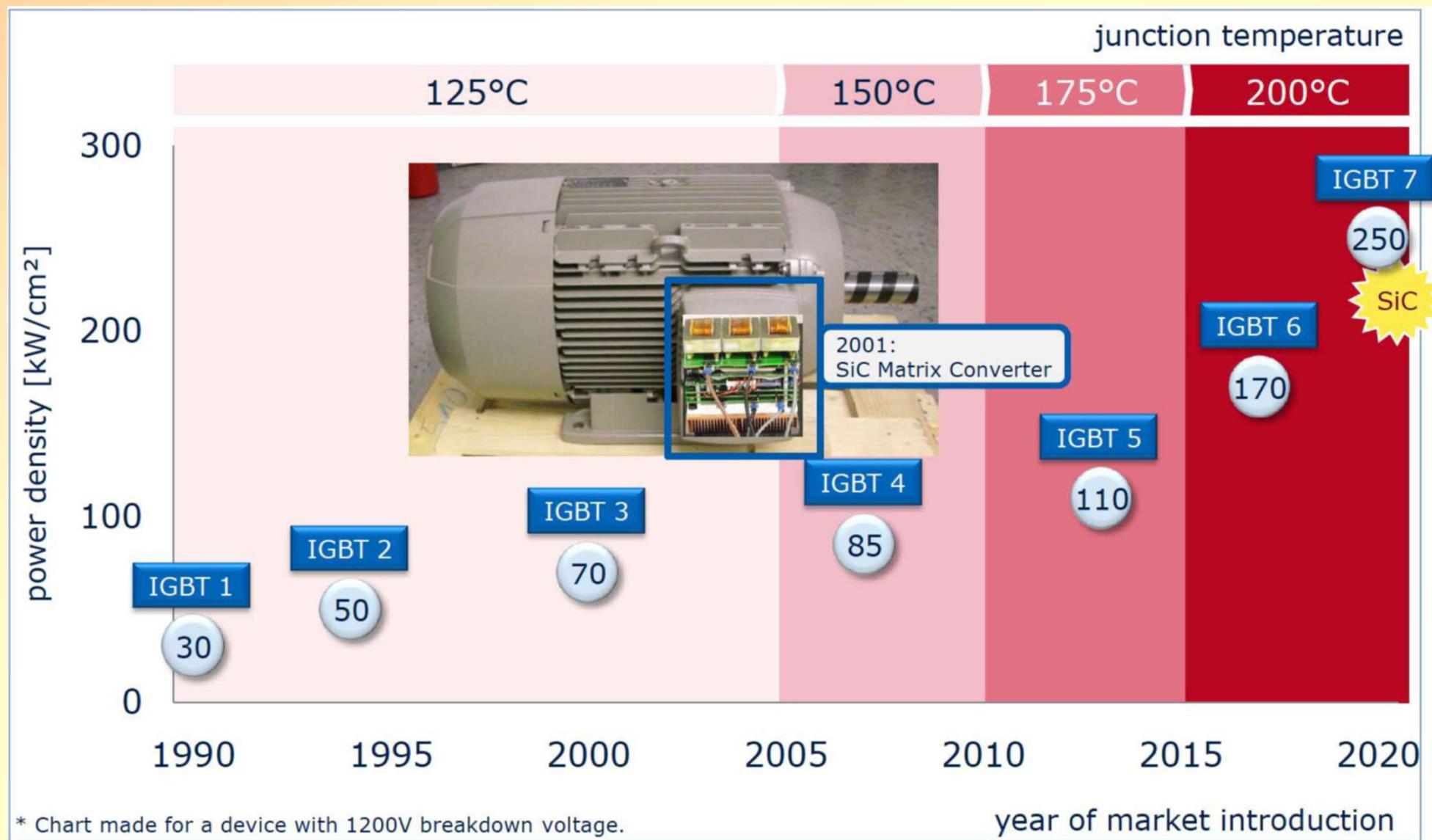
E' uno dei componenti più usati.

Questo componente offre alcuni vantaggi dei MOSFET, BJT e GTO combinati.

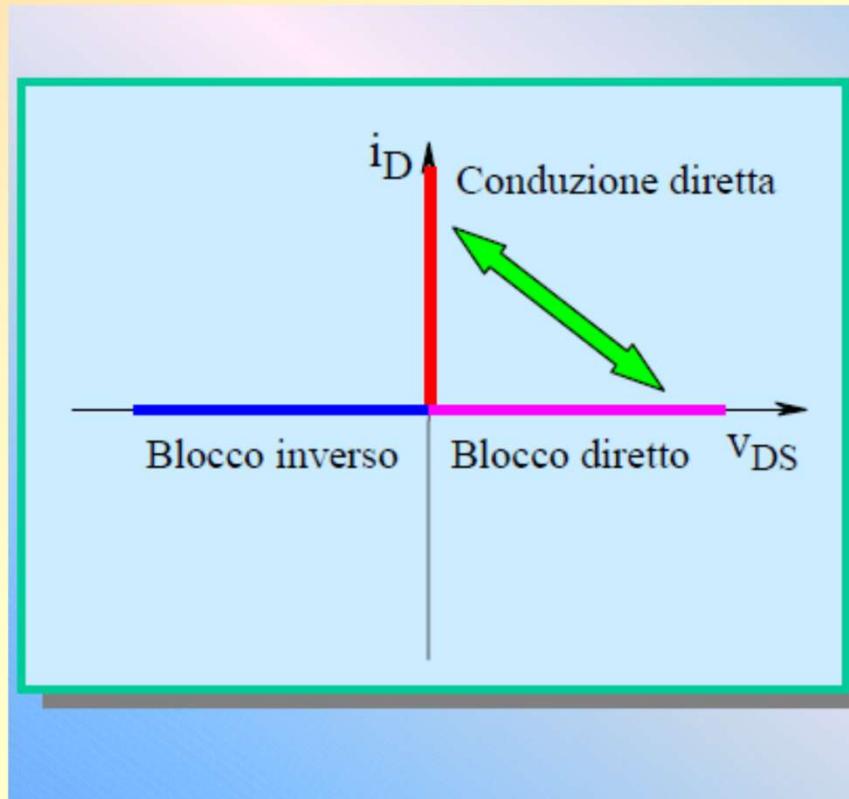
- Come il MOSFET è *controllato in tensione*, ha elevata impedenza di Gate, quindi piccole perdite per il controllo.
- Come il BJT ha *piccole cadute in conduzione (2÷5 V)*.
- Come il GTO *può resistere a tensioni inverse*.
- I tempi di commutazione sono dell'ordine di 1 Microsec (componente veloce, fino a **30 kHz**).
- I limiti attuali sono **2500 V, 1000 A**.

IGBT

Evoluzione del mercato (densità di potenza e temperatura massima di giunzione)



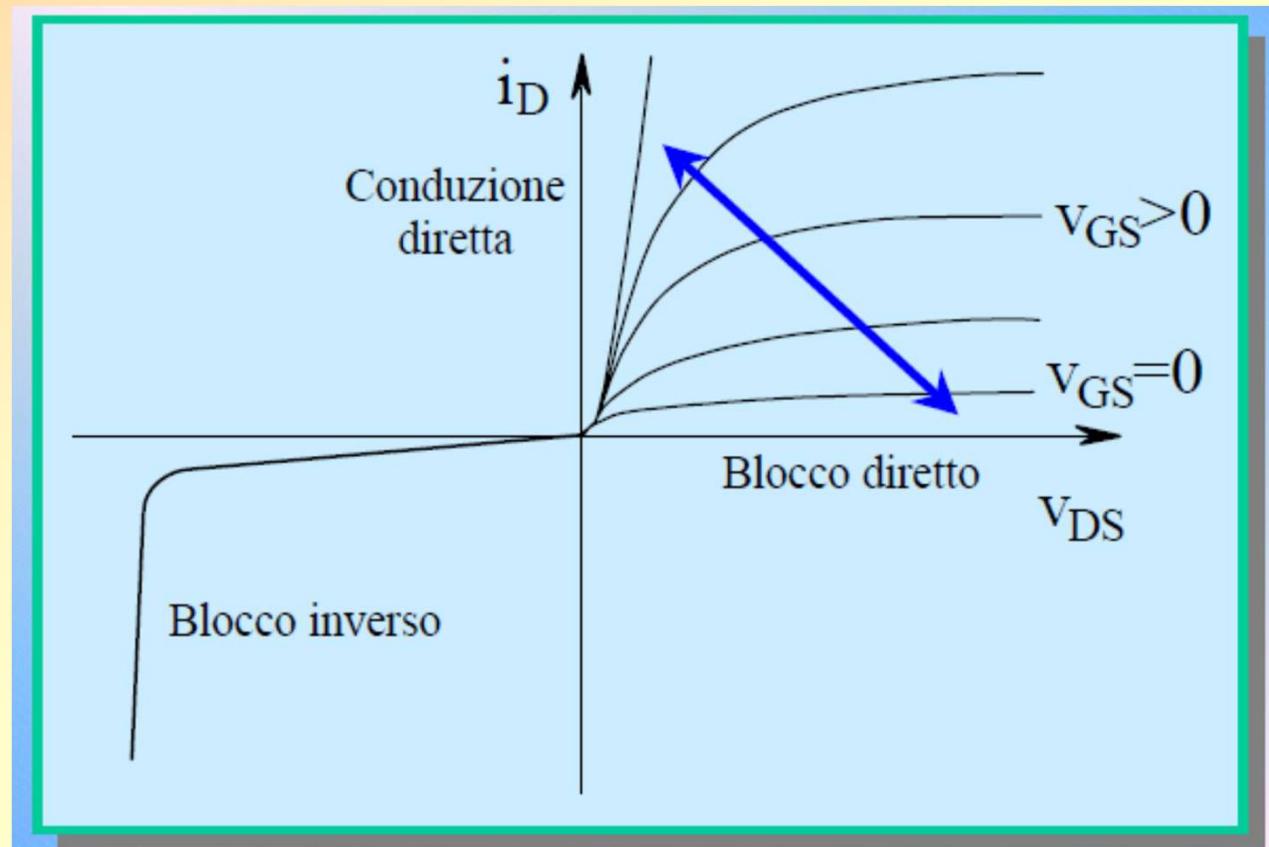
IGBT CARATTERISTICHE



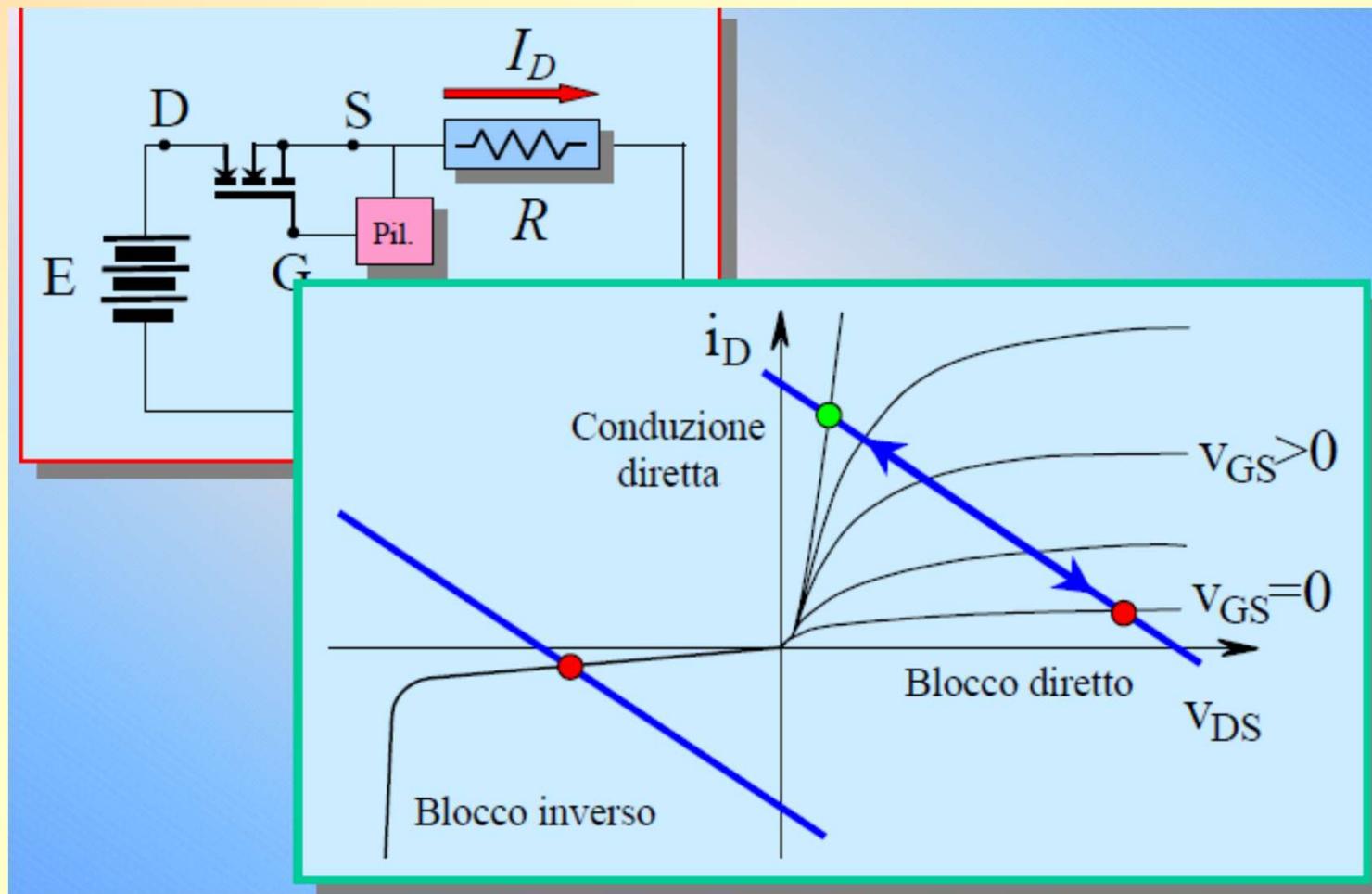
Il componente presenta, oltre allo stato di conduzione diretta e interdizione inversa del diodo, lo stato di interdizione diretta.

Il controllo della tensione di Gate consente il cambio di stato nelle due direzioni.

IGBT CARATTERISTICHE

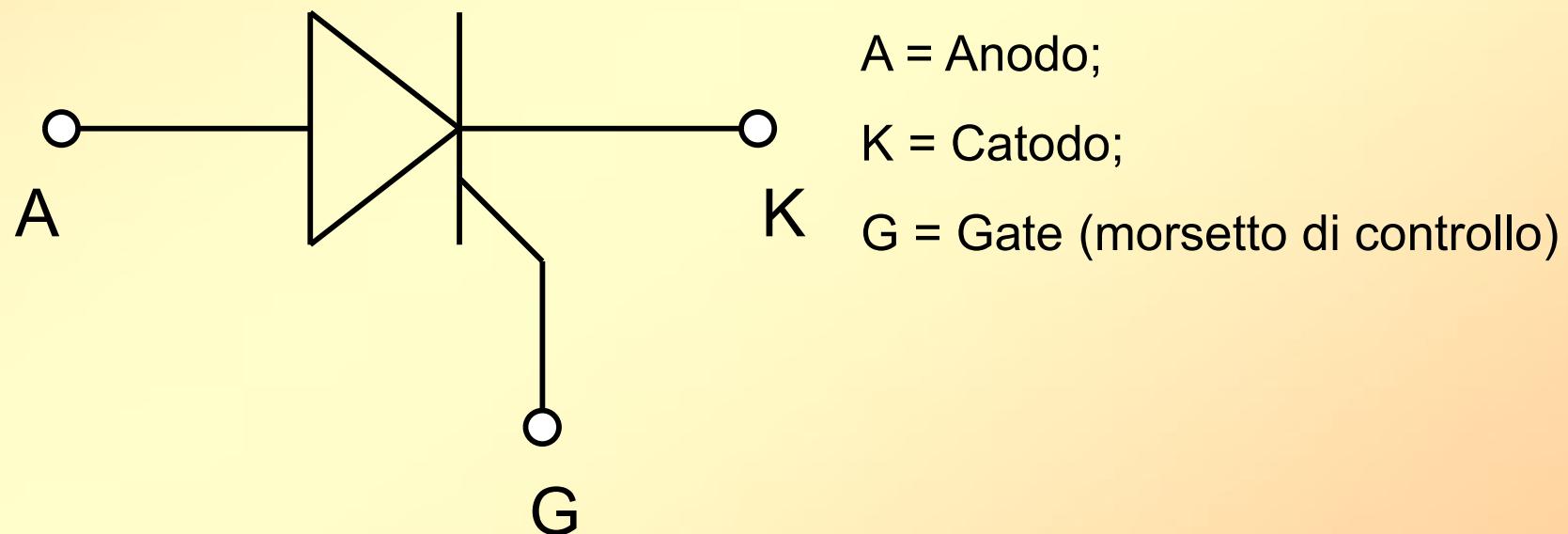


IGBT CARATTERISTICHE



TIRISTORI

- SCR : Dispositivo usato nella conversione della potenza



ALCUNE CARATTERISTICHE

E' l'elemento fondamentale su cui si basa la moderna conversione energetica.

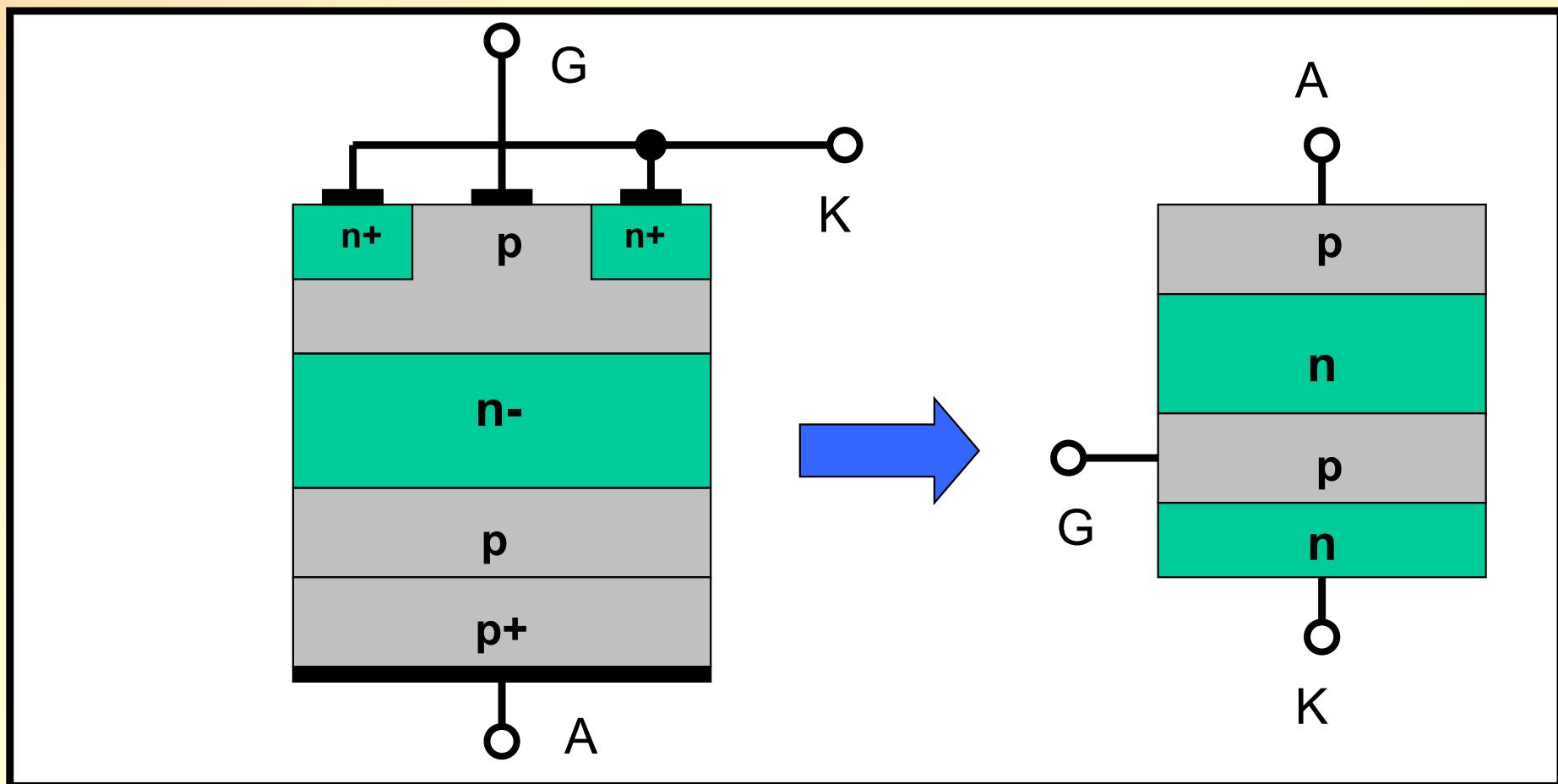
Dal 1960, anno della sua comparsa sul mercato, la tensione di funzionamento è passata da poche centinaia di volt a 3000-4000 V, e la corrente da 25 A a 3000 A. In configurazione serie/parallelo è quindi possibile operare un controllo di potenze dell'ordine dei MW.

Vantaggi della conversione statica dell'energia elettrica

- Possibilità di evitare tutte le perdite dovute al movimento: per esempio in passato la conversione della corrente alternata in continua si otteneva utilizzando il sistema rotante generatore – dinamo;
- Riduzione del peso e dell'ingombro dei dispositivi;
- Semplice installazione e manutenzione;
- Eliminazione delle vibrazioni e dei rumori, con conseguente aumento del rendimento;
- L'applicazione dei convertitori statici ha avuto un rapido incremento grazie alla possibilità di impiegare i microprocessori nel sistema di controllo

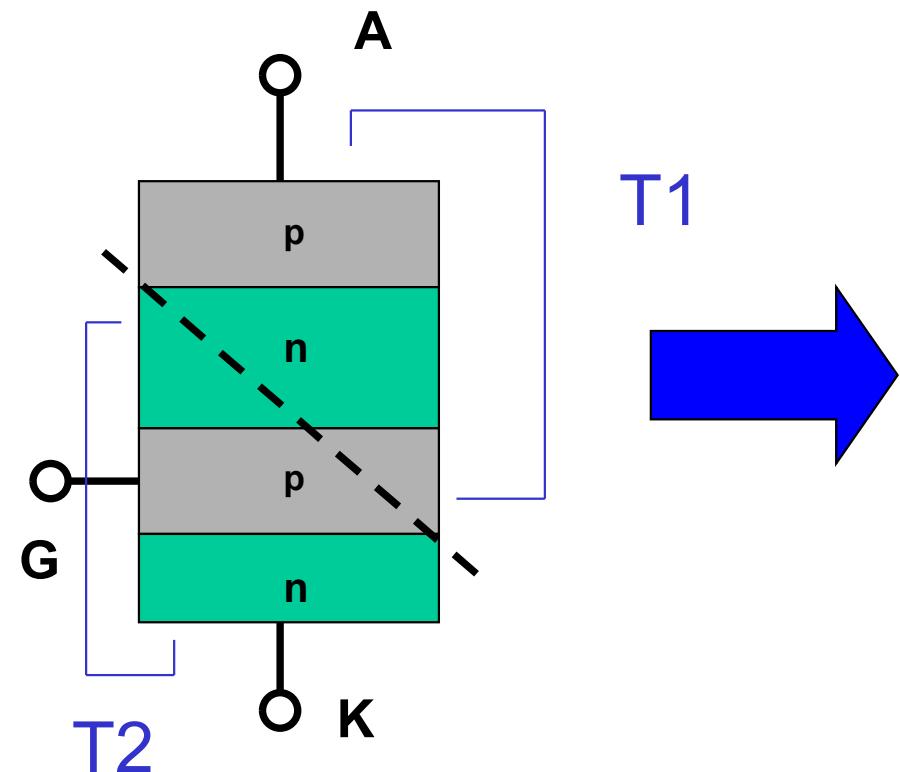
Struttura del SCR

E' caratterizzato da una struttura p-n-p-n che può essere assimilata ad una coppia di BJT. L'interazione con il circuito esterno avviene attraverso i due morsetti di potenza **A** e **K** e uno di controllo **G**.

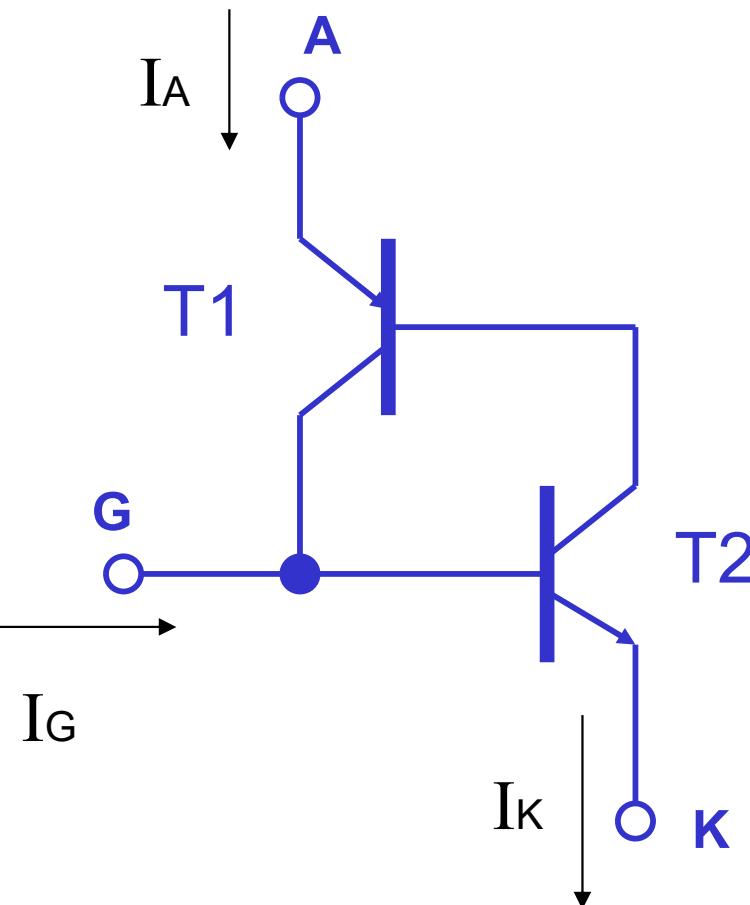
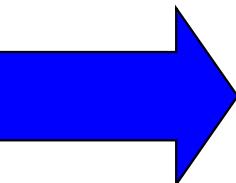


SCR visto come connessione di BJT

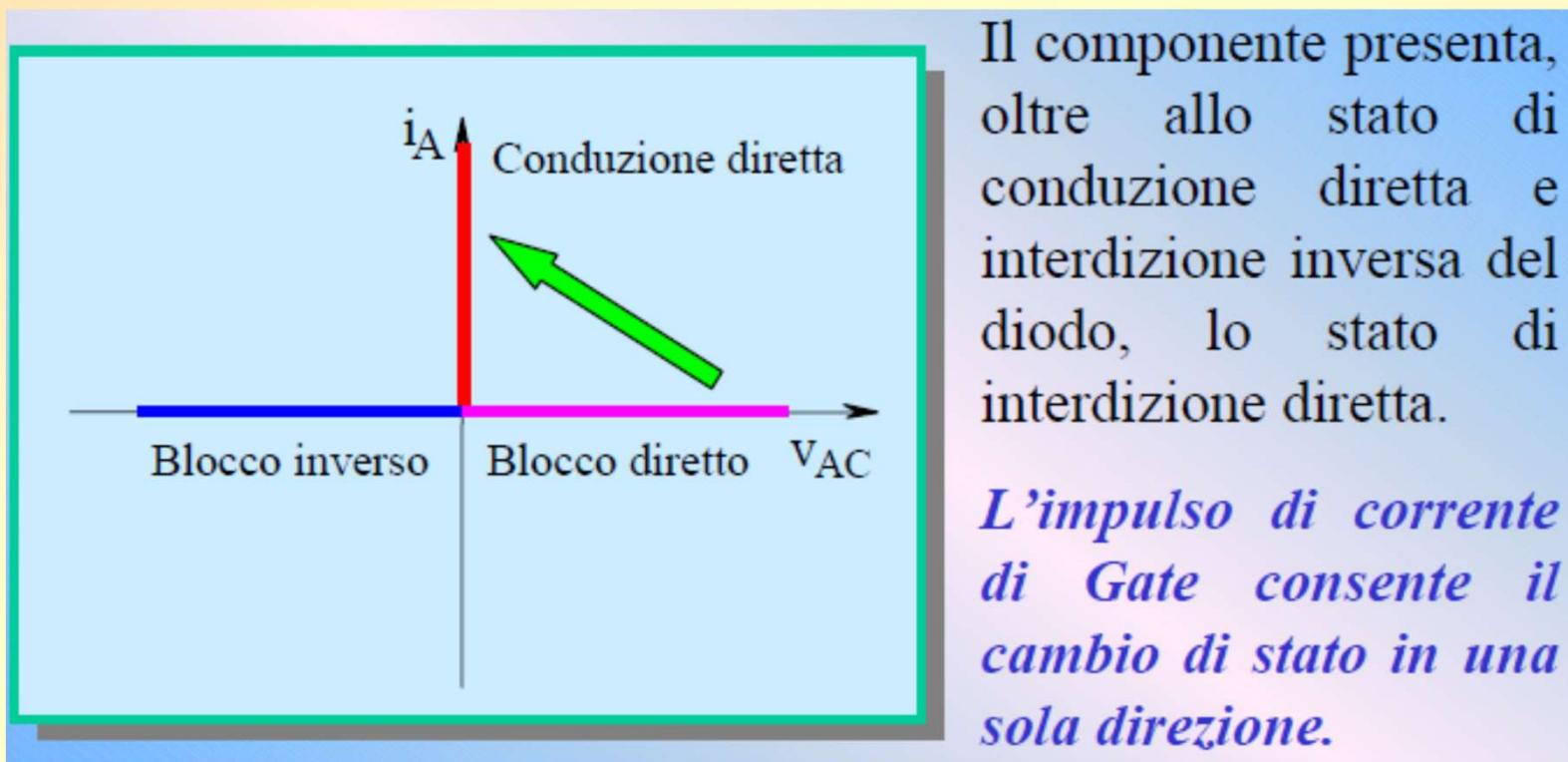
SCR:



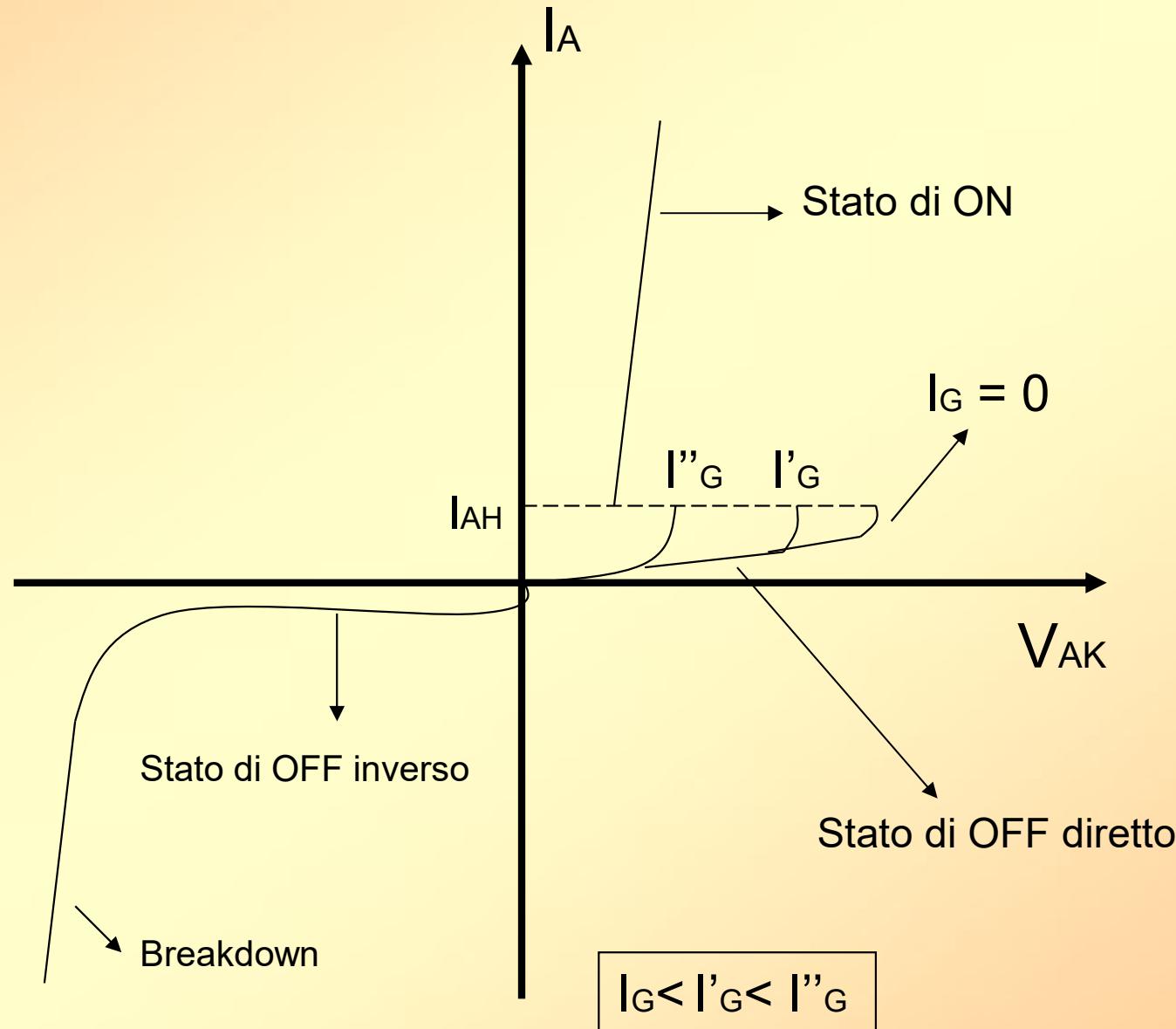
T_1



CARATTERISTICA I-V



CARATTERISTICA V-I



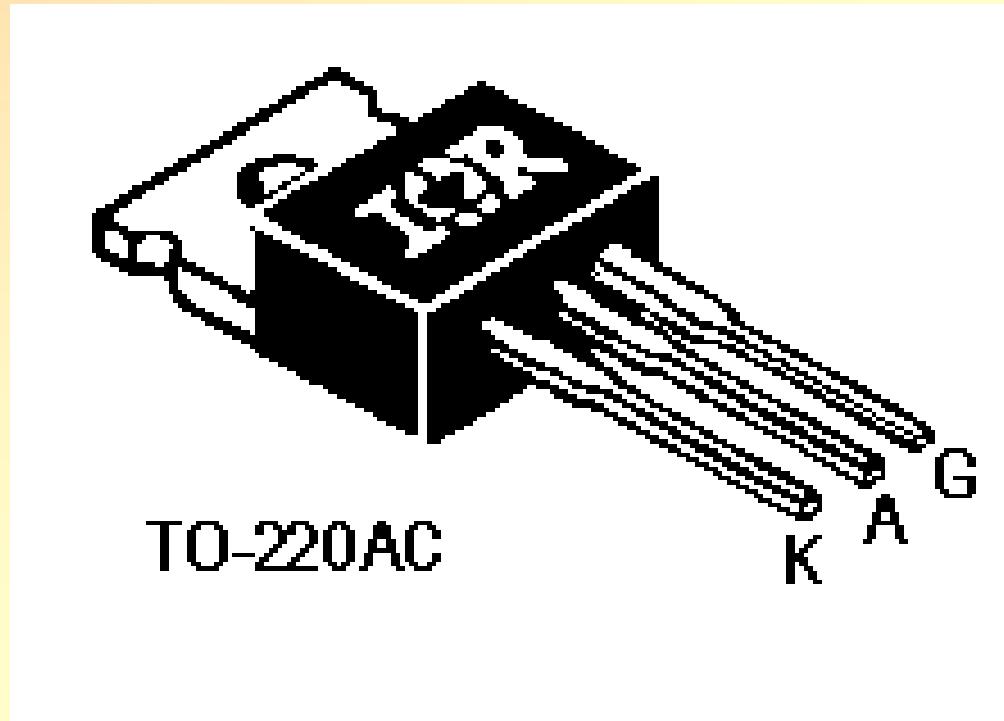
DUE CATEGORIE DI SCR

- SCR RECTIFIER GRADE: usati per convertitori AC-DC per frequenze fino a 400 Hz
- SCR INVERTER GRADE: usati per convertitori DC-AC fino a 20 kHz

SPEGNIMENTO (TURN-OFF) DELL'SCR

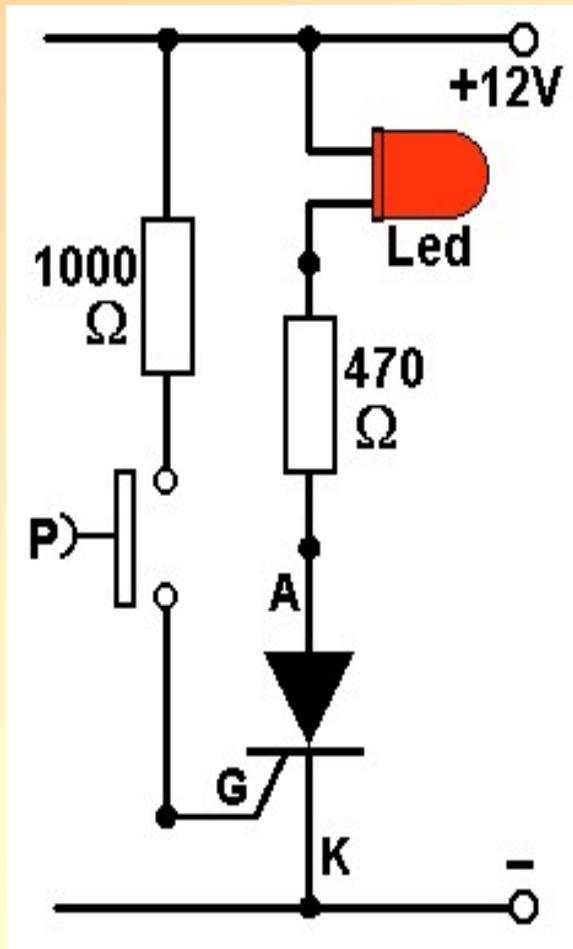
- Spegnimento naturale di linea (dato dall'alimentazione);
- Spegnimento naturale di carico (se è capacitivo o attivo);
- Spegnimento forzato a tensione impressa;
- Spegnimento forzato a corrente impressa.

SCR di potenza prodotto da “IR” (International Rectifier)



Può lavorare con correnti fino a 6,5 A e tensioni fino ad 800 V.
Le lettere indicano i tre elettrodi: K(catodo), A(anodo) e G(gate). Come si vede, l'aspetto non differisce da quello di un qualsiasi transistor di potenza.

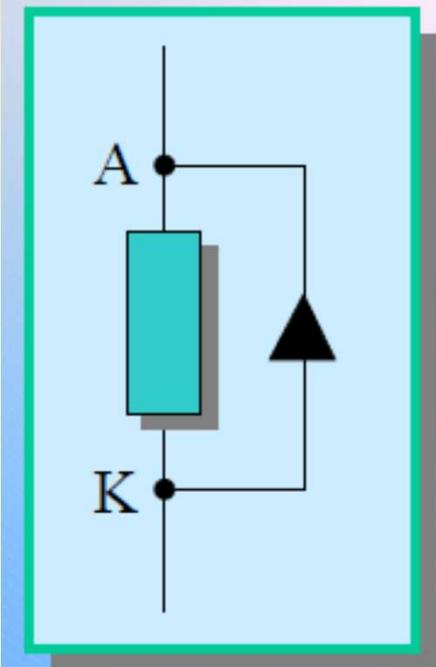
Esempio di circuito di prova



- Circuito collegato all'alimentazione: non passa alcuna corrente;
- Basta premere il pulsante P perché tiristore SCR passi in conduzione, facendo accendere il Led.
- Una volta che il led è acceso, l'unico modo per interrompere il passaggio di corrente è quello di staccare l'alimentazione al circuito.

DIODO di PROTEZIONE

Consideriamo un generico componente di morsetti A e K. Collegato in antiparallelo vi è un diodo.



Quando la tensione v_{AK} è maggiore di 0 (componente polarizzato in diretta) il diodo è polarizzato in inversa e non ha alcun effetto.

Quando la tensione v_{AK} tende a diventare negativa (componente polarizzato in inversa) il diodo è polarizzato in diretta, entra in conduzione lasciando fluire una corrente da K ad A, mantenendo la v_{AK} limitata a pochi Volt.

Snubber

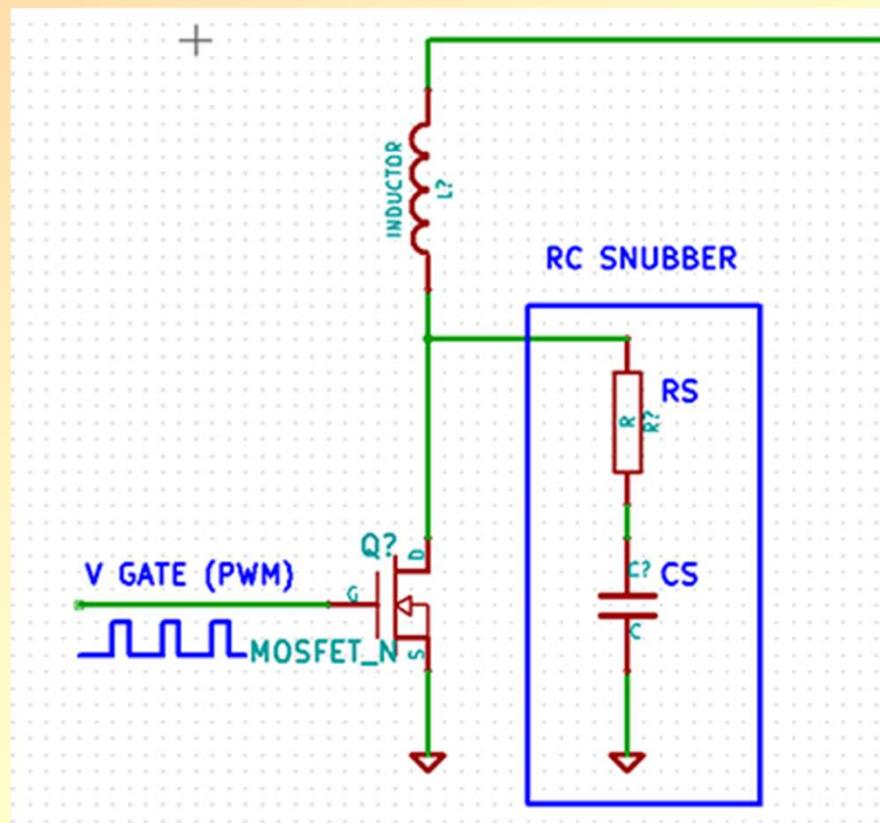
Circuito di **snubber** attenua o sopprime (snub) fenomeni di over-voltage in transitori di solito dovuti all'interruzione in power switch di corrente in carichi induttivi

Infatti in induttanza si ha $V=L \frac{dI}{dt}$

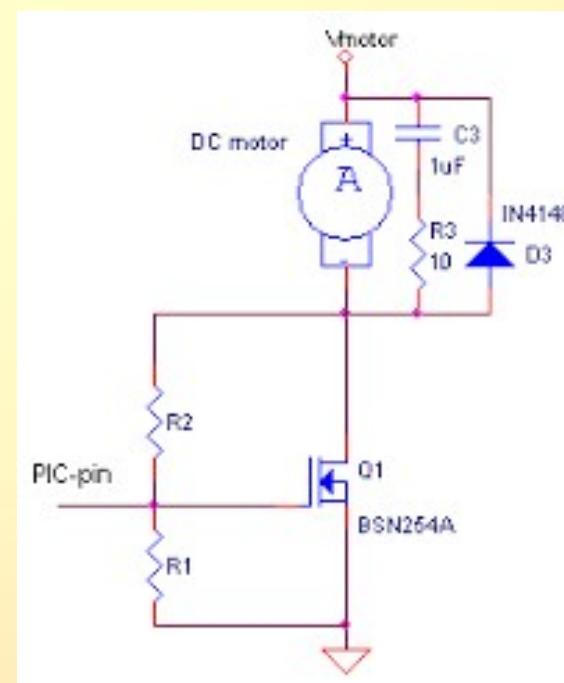
se I varia rapidamente (es. uno switch comandato interrompe flusso di corrente in L) si hanno fenomeni di over-voltage

Snubber

Esempi di circuito di **snubber** di tipo RC e RCD (effetto dissipativo di R serve per smorzare picchi nei segnali, intervenire solo in transitorio e quindi effetto negativo di R su efficienza energetica è limitato)



- RC snubber



- RCD snubber

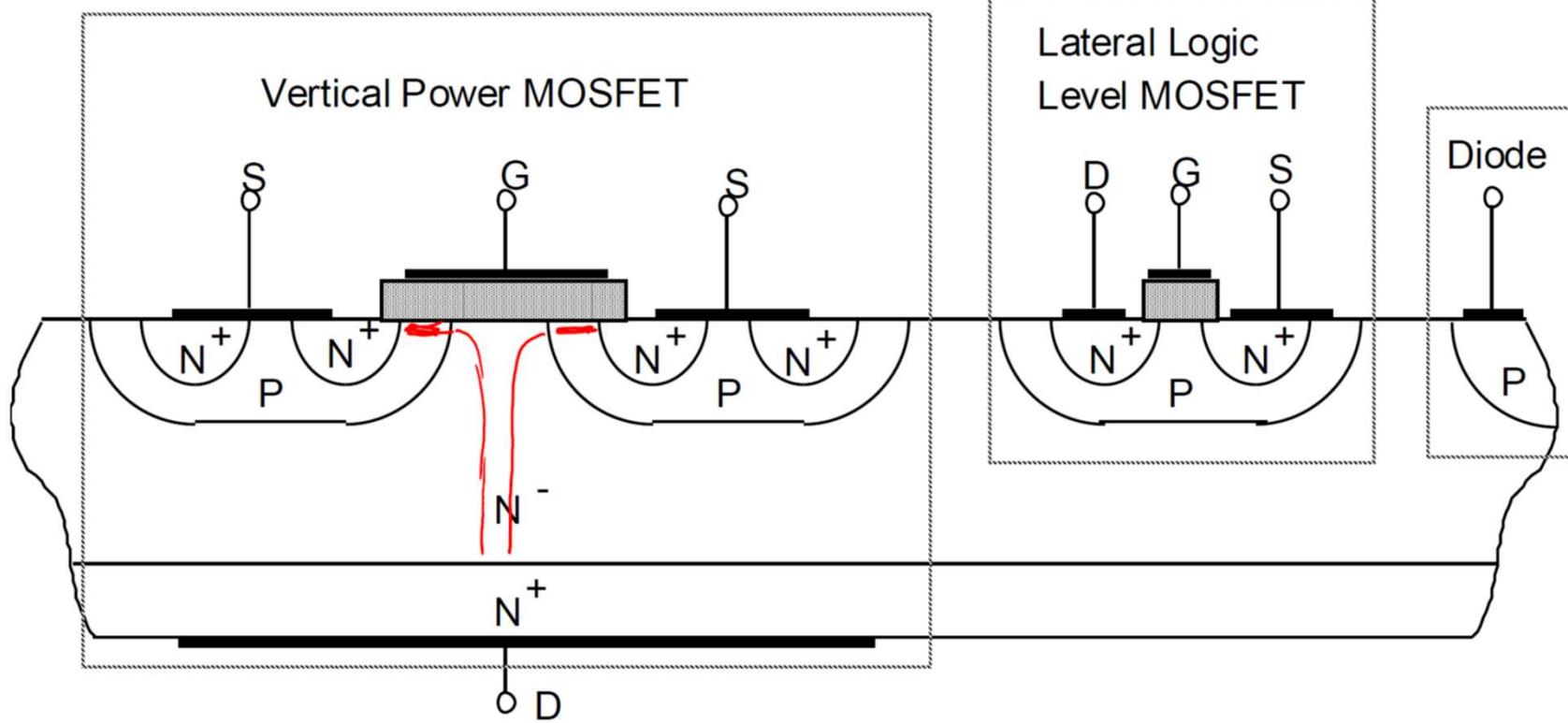
Smart power - circuiti integrati (IC) per potenza e controllo

Type	Ratings	Process (example)
Discrete modules	V up to ~KV, I up to ~KA	
Smart Power/Smart Switches	I < 50-100 A V < 1 KV	Vertical + Lateral Devices
High-Voltage ICs	I < 50-100 A, V< 1 KV	High Voltage BCD
High-density PMICs	V<100 V	High Density BCD

- PMIC: Power management integrated circuits
- BCD: Bipolar (BJT) CMOS DMOS

Smart power

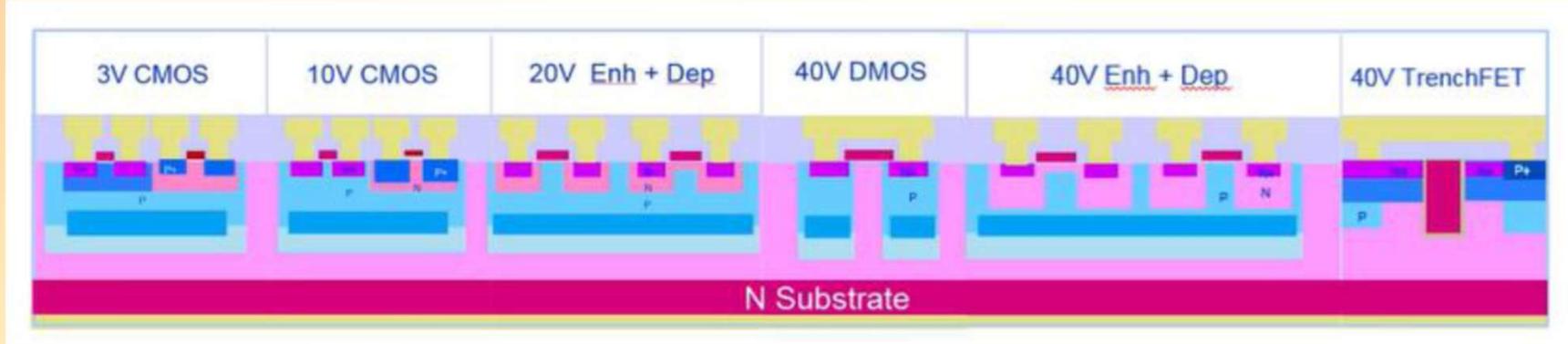
Vertical Power devices + Lateral Devices for (some) logic



Uso di Vertical devices per la potenza e lateral devices per controllo

Smart power

Esempio di integrazione di circuiti CMOS per segnali a bassa potenza e DMOS per applicazioni a 40V



Pros:

- Improved reliability (no bonding, no complex packaging)
- Reduced EMI
- Smaller chip area (improved integration)

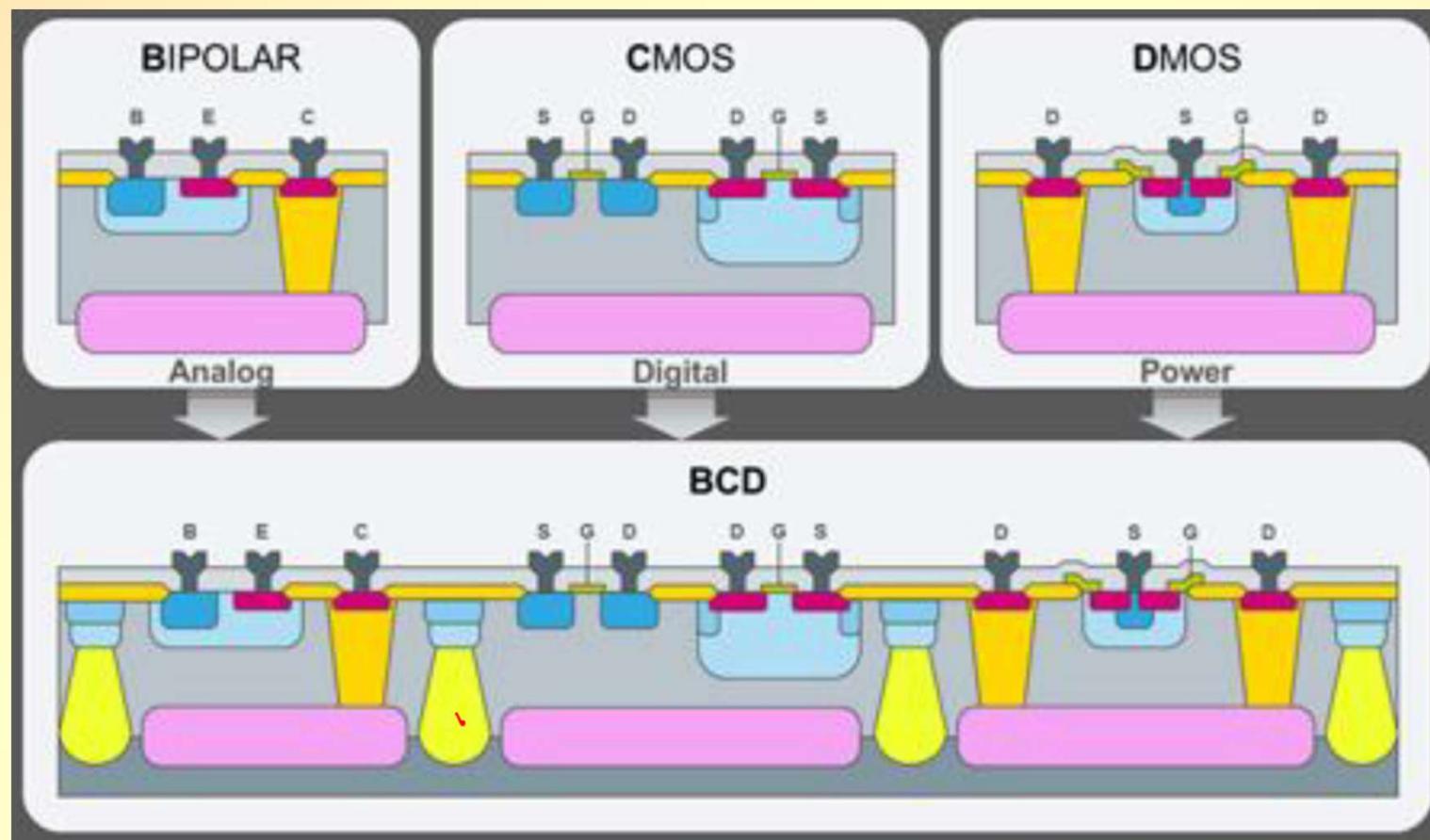
Cons

- No component is optimized (e.g. digital is not optimized (long channel lengths and thick oxides))

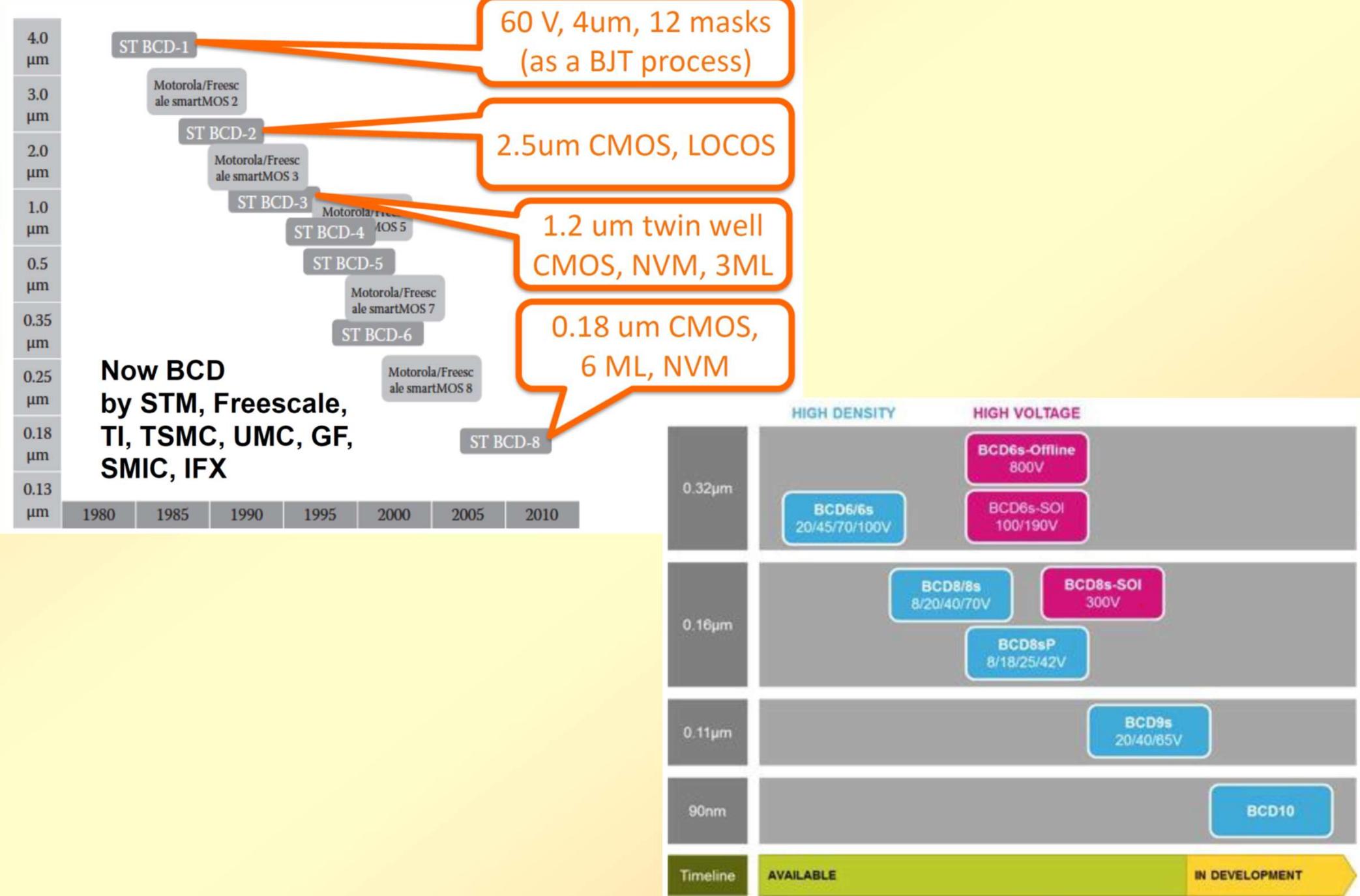
Smart power – BCD

Leader di mercato (STM, Infineon).

Esempio BCD di STM (lateral devices sia per logica CMOS che per alte tensioni DMOS con potenza gestita inferiore a vertical devices o discreti)



Smart power – STM BCD



Agenda

- Intro modulo 4: Elettronica di potenza, Convertitori (DC/DC e AC/DC, inverter DC/AC), Fuel Cells
- Componenti (Materiali, Dispositivi) Elettronici di Potenza:
 - generalità
 - materiali
 - dispositivi (diodi, SCR, BJT, MOSFET, IGBT)
 - protezione (diodi, snubber)
 - smart power (circuiti integrati di potenza)
- Analisi data sheet MOSFET e IGBT commerciali per automotive

**Analisi di componenti
commerciali
power Mosfets (e.g. Toshiba) per
applicazioni 24V/48V HEV**

**IGBT (Infineon) per applicazioni
a veicoli Full Electric**

Innovazione su packaging

HEV are using 12V, 24V and up to 48V nominal DC Bus →
Demand of 100V (max Voltage) MOSFETs is increased

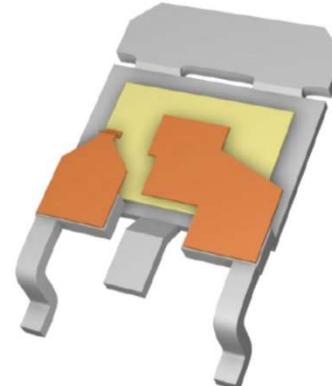
DPAK



**Lower package
Resistance**



DPAK+



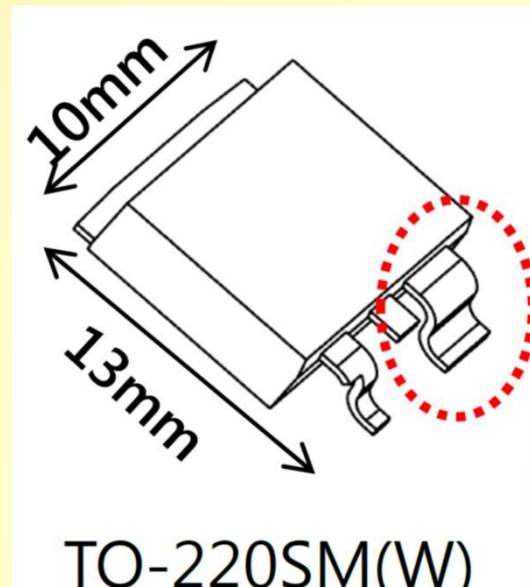
Al wire

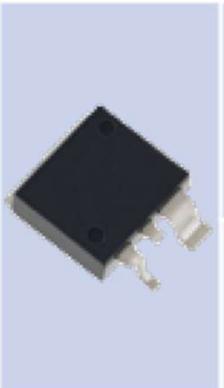
Cu connector

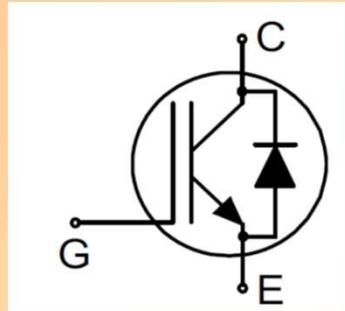
both a thermal and electrical conductivity perspective copper is much better than aluminum. Thermal conductivity is 401W/(m·K) for copper, while it is 237W/(m·K) for aluminum. Electrical resistivity (at 20°C) is 16.8nΩ·m for copper and 28.2nΩ·m for aluminum. Higher thermal conductivity helps release heat from the connecter element of the package and the lower resistivity contributes to the reduction of package resistance.



PowerMOSFET Toshiba

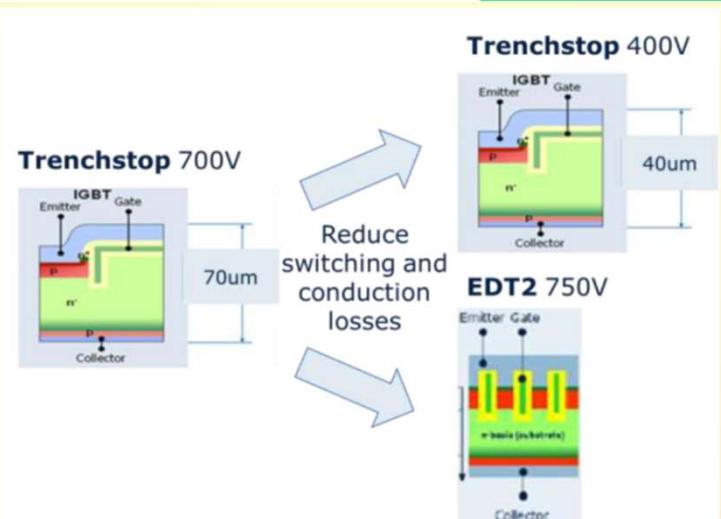
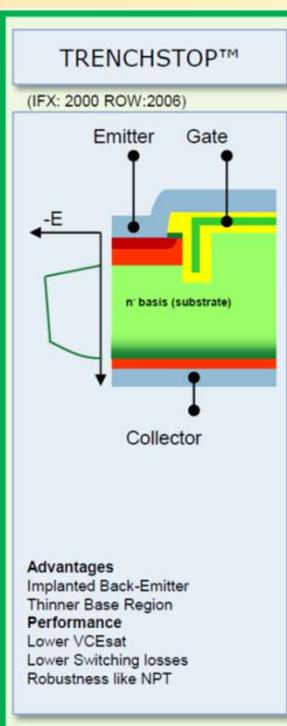
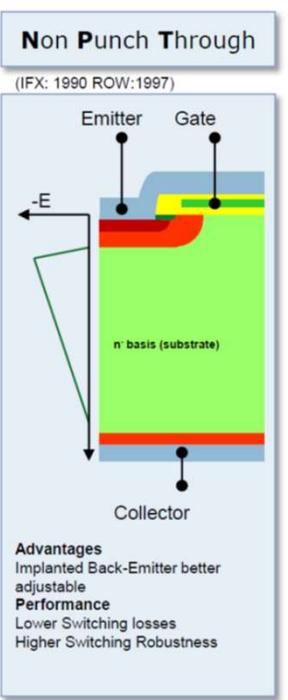
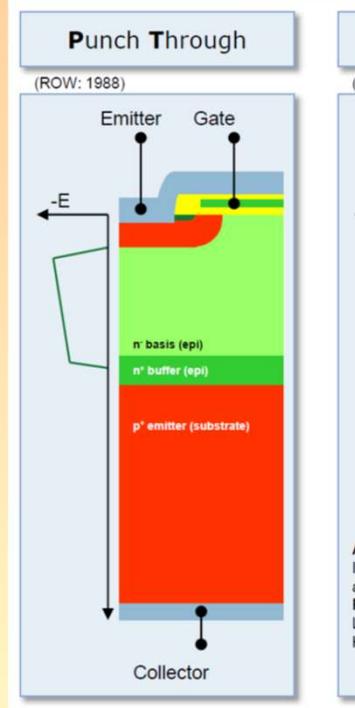


Package	Polarity	Process	V_{DSS} (V)	Part No.	$R_{DS(ON)}$ max (mΩ)		$I_D(\text{DC})$ (A)	P_D (W)	Qg typ (nC)	AEC-Q101
					$V_{GS}=10\text{V}$ (-10V Pch)	$V_{GS}=6\text{V}$ (-6V Pch)				
TO-220SM(W) Package (10mm x 13mm)										
	Nch	UMOS9	40	TKR74F04PB	0.74	0.98	250	375	227	✓
				TK1R4F04PB	1.35	1.90	160	205	103	✓
		UMOS8	40	TK200F04N1L	0.9	1.37	200	375	214	✓
				TK60F10N1L	6.11	9.25	60	205	60	✓
	Pch	UMOS6	100	TK160F10N1L	2.4	3.9	160	375	122	✓
				TJ200F04M3L	1.8	2.6	-200	375	460	✓
			-40	TJ100F04M3L	3.6	5.4	-100	250	250	✓
			-60	TJ150F06M3L	5.6	6.1	-150	300	420	✓
				TJ100F06M3L	7.1	10.7	-100	250	250	✓



IGBT Infineon

nomenclatura e tecnologie



I	K	W	75	N	65	E	S5	Explanation
I	2	3	4	5	6	7	8	Group
S	D							Infineon
	G							Formerly Siemens
	H							Single diode
	K							Single IGBT
		A						Reverse conducting IGBT for soft switching applications
		B						IGBT + anti-parallel diode
		D						TO-220 FullPAK
		H						TO-263 DPAK
		I						TO-252 DPAK
		P						TO-220 real-2-pin
		Q						TO-262 PPAK
		U						TO-220
		V						TO-247 PLUS
		W						TO-251 IPAK
			75					TO-220 real-2-pin FullPAK
				E				TO-247
				N				Current in A at 100°C case temperature
				T				EmCon diode
					60			N-channel
					65			Trenchstop (1200V only)
					90			600V
					100			650V
					110			900V
					120			1000V
					135			1100V
					160			1200V
						B		1350V
						C		1600V
						D		Emitter Controlled diode
						E		Emitter Controlled full rated diode
						M		Rapid1 diode
						N		Rapid1 full rated diode
						R		Rapid2 diode
						S		Rapid2 full rated diode
							F5	SiC 5 th Gen diode
							H3	SiC 5 th Gen full rated diode
							H5	Trenchstop™ (1200V)
							HS	Fastest IGBT based on Trenchstop™ 5 technology
							L5	High speed 3 based on Trenchstop™ technology
							H5	High speed IGBT based on Trenchstop™ 5 technology
							HS	High speed (600V)
							L5	Low V _{CE(sat)} technology based on Trenchstop™ 5 technology
							R	Reverse conducting IGBT
							R2	Reverse conducting IGBT Gen2
							R3	Reverse conducting IGBT Gen3
							R5	RC next generation
							S5	Soft switching technology based on Trenchstop™ 5 technology
							T	Trenchstop™ (600V)
							T2	Trenchstop™ Gen2 (IGBT4), 1200V only
							WR5	RC next generation optimized for welding applications

IGBT Infineon

tensioni e correnti

Collector-emitter breakdown voltage	$V_{BR(ICES)}$	$V_{GE} = 0V, I_C = 0.20mA$	650	-	-	V
-------------------------------------	----------------	-----------------------------	-----	---	---	---

Collector-emitter saturation voltage V_{CESat}						
Collector-emitter saturation voltage	V_{CESat}	$V_{GE} = 15.0V, I_C = 40.0A$ $T_{vj} = 25^\circ C$ $T_{vj} = 125^\circ C$ $T_{vj} = 175^\circ C$	-	1.65	2.10	V
			-	1.85	-	
			-	1.95	-	

DC collector current, limited by T_{vjmax} $T_C = 25^\circ C$ $T_C = 100^\circ C$	I_C	74.0	A
		46.0	

Pulse collector current I_{Cpuls}			
Pulsed collector current, t_p limited by T_{vjmax}	I_{Cpuls}	120.0	A

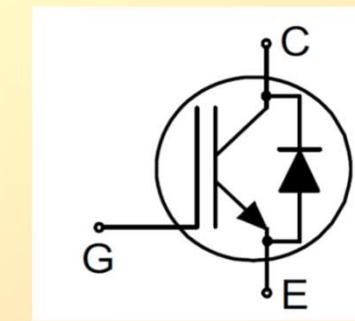
Current rating of DuoPack diode I_F and I_{Fpuls}			
Diode forward current, limited by T_{vjmax} $T_C = 25^\circ C$ $T_C = 100^\circ C$	I_F	36.0	A
Diode pulsed current, t_p limited by T_{vjmax}	I_{Fpuls}	21.0	A
		120.0	A

Gate-emitter voltage V_{GE}			
Gate-emitter voltage Transient Gate-emitter voltage ($t_p = 10\mu s, D < 0.010$)	V_{GE}	± 20	V
		± 30	

Gate-emitter threshold voltage	$V_{GE(th)}$	$I_C = 0.40mA, V_{CE} = V_{GE}$	3.2	4.0	4.8	V
--------------------------------	--------------	---------------------------------	-----	-----	-----	---

Diode forward voltage	V_F	$V_{GE} = 0V, I_F = 20.0A$ $T_{vj} = 25^\circ C$ $T_{vj} = 125^\circ C$ $T_{vj} = 175^\circ C$	-	1.45	1.80	V
			-	1.40	-	
			-	1.40	-	

Leakage currents I_{CES} and I_{GES}						
Zero gate voltage collector current	I_{CES}	$V_{CE} = 650V, V_{GE} = 0V$ $T_{vj} = 25^\circ C$ $T_{vj} = 175^\circ C$	-	-	40.0	μA
Gate-emitter leakage current	I_{GES}	$V_{CE} = 0V, V_{GE} = 20V$	-	-	100	nA



IGBT Infineon

aspetti termici e transitori

Power dissipation P_{tot}

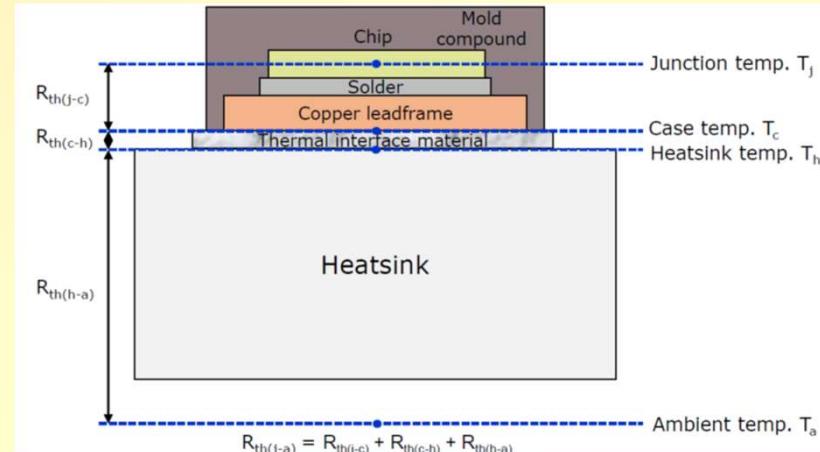
Power dissipation $T_C = 25^\circ\text{C}$	P_{tot}	255.0	W
Power dissipation $T_C = 100^\circ\text{C}$		120.0	

Operating junction temperature T_{vj}

Operating junction temperature	T_{vj}	-40...+175	°C
--------------------------------	----------	------------	----

Thermal resistance $R_{th(j-c)}$

IGBT thermal resistance, junction - case	$R_{th(j-c)}$		0.60	K/W
Diode thermal resistance, junction - case	$R_{th(j-c)}$		1.80	K/W



Input, output and reverse transfer capacitance C_{ies} , C_{oes} and C_{res}

Input capacitance	C_{ies}		-	2500	-	
Output capacitance	C_{oes}	$V_{CE} = 25\text{V}$, $V_{GE} = 0\text{V}$, $f = 1\text{MHz}$	-	50	-	pF
Reverse transfer capacitance	C_{res}		-	9	-	

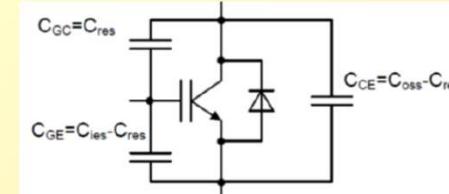
Gate charge Q_G

Gate charge	Q_G	$V_{CC} = 520\text{V}$, $I_C = 40.0\text{A}$,	-	95.0	-	nC
-------------	-------	-------------------------------------------------	---	------	---	----

Internal emitter inductance L_E

Internal emitter inductance measured 5mm (0.197 in.) from case	L_E	PG-T0220-3 PG-T0247-3	-	7.0 13.0	-	nH
----------------------------------------------------------------	-------	--------------------------	---	-------------	---	----

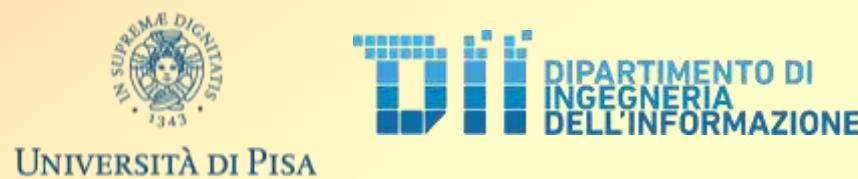
Diode reverse recovery time	t_{rr}	$T_{vj} = 25^\circ\text{C}$,	-	62	-	ns
Diode reverse recovery charge	Q_{rr}	$V_R = 400\text{V}$,	-	0.45	-	μC
Diode peak reverse recovery current	I_{rrm}	$I_F = 20.0\text{A}$,	-	12.5	-	A
Diode peak rate of fall of reverse recovery current during t_b	dI_{rr}/dt	$dI/dt = 1000\text{A}/\mu\text{s}$	-	-290	-	$\text{A}/\mu\text{s}$



$$P_{Gdr} = Q_G \cdot (V_{GE(on)} - V_{GE(off)}) \cdot f_{sw}$$

Parameter	Symbol	Conditions	Value			Unit
			min.	typ.	max.	
IGBT Characteristic, at $T_{vj} = 25^\circ\text{C}$						
Turn-on delay time	$t_{d(on)}$	$T_{vj} = 25^\circ\text{C}$, $V_{CC} = 400\text{V}$, $I_C = 20.0\text{A}$, $V_{GE} = 0.0/15.0\text{V}$, $R_{G(on)} = 15.0\Omega$, $R_{G(off)} = 15.0\Omega$, $L_\sigma = 30\text{nH}$, $C_\sigma = 30\text{pF}$	-	22	-	ns
Rise time	t_r		-	12	-	ns
Turn-off delay time	$t_{d(off)}$		-	165	-	ns
Fall time	t_f		-	13	-	ns
Turn-on energy	E_{on}	E_{on} , C_σ from Fig. E Energy losses include "tail" and diode reverse recovery.	-	0.39	-	mJ
Turn-off energy	E_{off}		-	0.12	-	mJ
Total switching energy	E_{ts}		-	0.51	-	mJ

Sistemi Elettronici per Automazione e Robotica



4 PWM switching converters, AC/DC

Prof. Sergio Saponara

DII, Università di Pisa

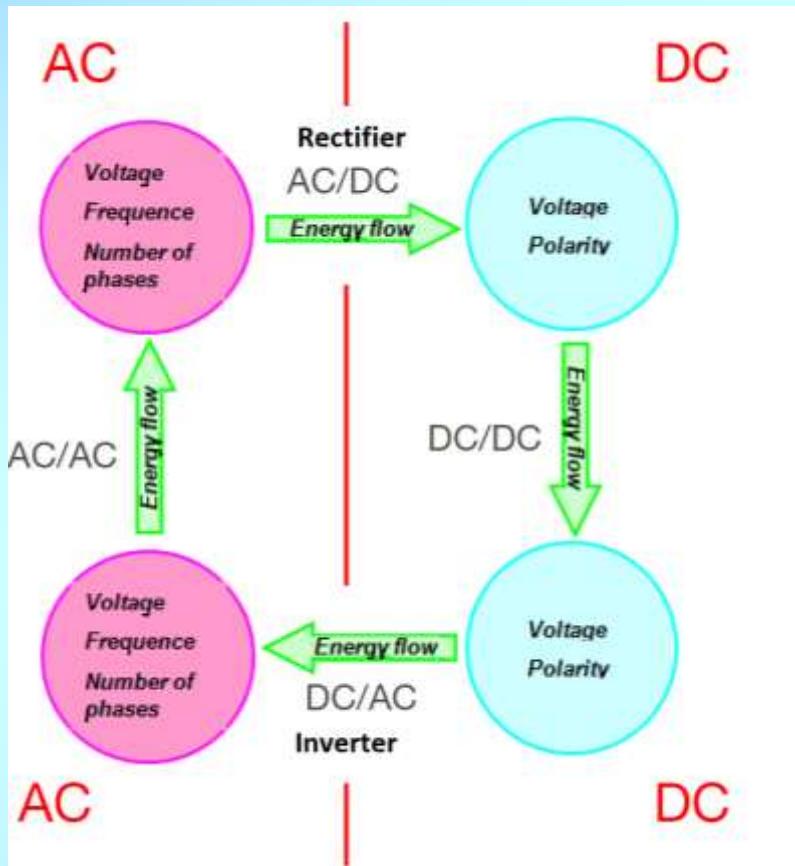
sergio.saponara@unipi.it

AGENDA

- Principi di conversione della potenza
- Generazione segnali PWM
- Convertitori AC/DC

Principi di conversione della potenza

4 tipi di convertitori: AC/AC, AC/DC, DC/AC, DC/DC per modificare livelli di tensione (corrente), polarità (i.e. segno), frequenza, numero delle fasi



Principi di conversione della potenza

4 tipi di convertitori: AC/AC, AC/DC, DC/AC, DC/DC per modificare livelli di tensione e/o corrente, polarità (i.e. segno), frequenza, numero delle fasi

Convertitori di potenza sono necessari per adattare sorgente (e.g. 50 Hz AC mono o trifase da rete elettrica, AC da macchina elettrica che funziona da generatore, DC da batterie,...) a sistema di accumulo e carico (e.g. DC nel caso di ECUs e sensori, DC o AC mono o trifase nel caso di attuatori, DC nel caso di energy storage su batterie)

Più convertitori di tipi diversi possono essere combinati tra loro

Applicazioni 1

- **CONVERTITORI SWITCHING DA ALTERNATA A CONTINUA: CONVERTITORI AC-DC**
(es. Alimentazione e controllo dei motori a corrente continua a partire da sorgente in alternata; on-board charger di batterie in DC ricaricate da sorgenti in AC)
- **CONVERTITORI SWITCHING DA CONTINUA AD ALTERNATA: CONVERSIONE DC-AC (INVERTER)**
(es. usati per variazione della velocità dei motori a corrente alternata a partire da sorgente di potenza in continua, es pacco batteria in full Electric Vehicle)

Applicazioni 2

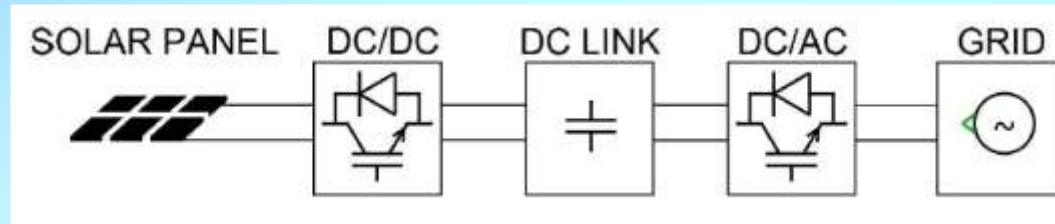
- CONVERSIONE AC/AC si può fare con trasformatori (polarità e ampiezza di tensione/corrente, ma a parità di frequenza). Per conversione AC/AC con cambio di frequenza si può ricorrere a cascata convertitori switching AC/DC e poi DC/AC

CONVERTITORI SWITCHING DC/DC

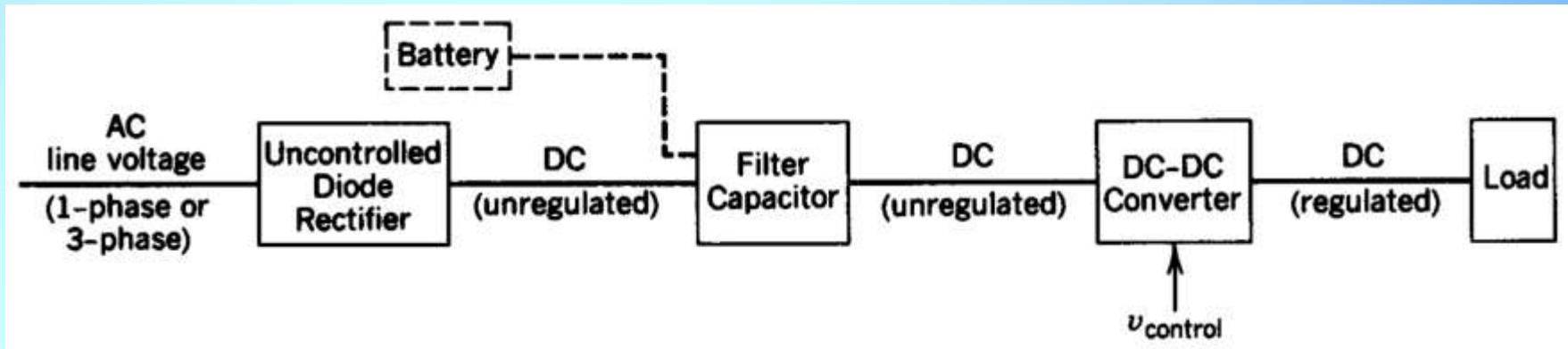
(tra domini diversi in continua, es. 48V/12V in veicolo ibrido, 400V/48V/12V in full Electric)

Principi di conversione della potenza

Esempio di cascata di un DC/DC e successivo DC/AC per accumulare su una batteria o supercap potenza da pannello fotovoltaico e poi reimetterlo in AC in rete



Esempio di cascata di un AC/DC, filtro e successiva DC/DC per alimentare un carico (es. ECUs con sensori, processori, memorie) a partire da una sorgente in AC mono o trifase



Principi di conversione della potenza

Basse potenze → regolatori DC/DC lineari che hanno vantaggio di essere semplici e integrabili e non richiedere induttanze o controlli complessi (es alimentare MCU a 3V a partire da alimentazione di scheda a 5 V)

Efficienza massima teorica limitata a V_{out}/V_{in} (qui $I_{in}=I_{out}$), usati essenzialmente come point of load per regolare tensione di alimentazione finale a carichi di bassa potenza

V_{out} è sempre minore di V_{in} (step-down)

Siccome si usano spesso con V_{out} vicina a V_{in} per non avere bassa efficienza si parla anche di **regolatori LDO** (Low Drop Out)

Per le applicazioni che richiedono **medie-alte potenze o alta efficienza energetica** si usano **convertitori switching**

Efficienza massima teorica del 100%

Richiedono uso di induttanze e controlli più complessi

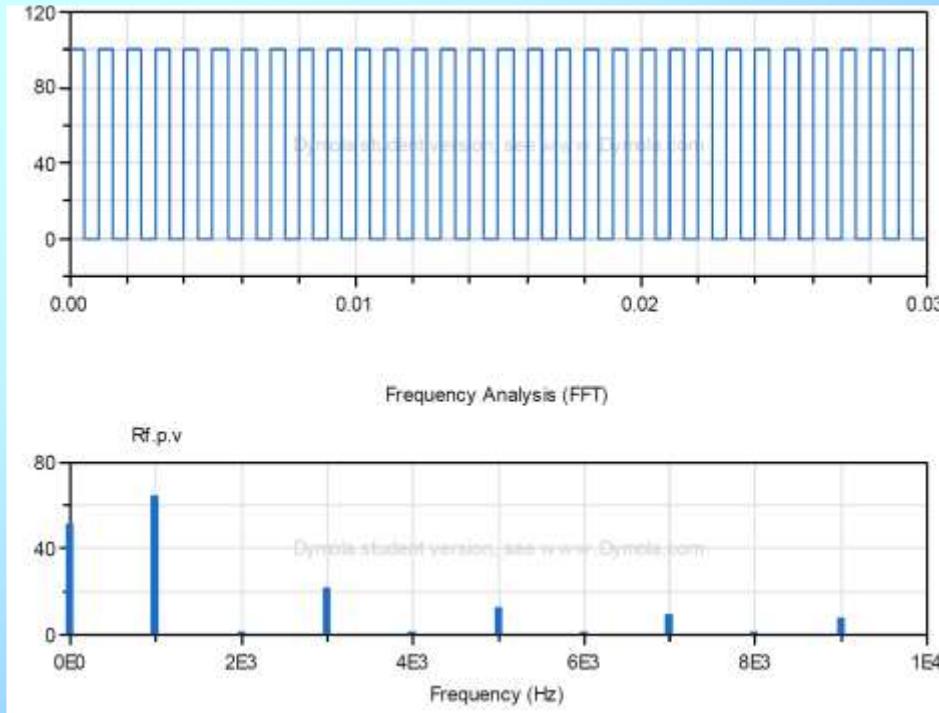
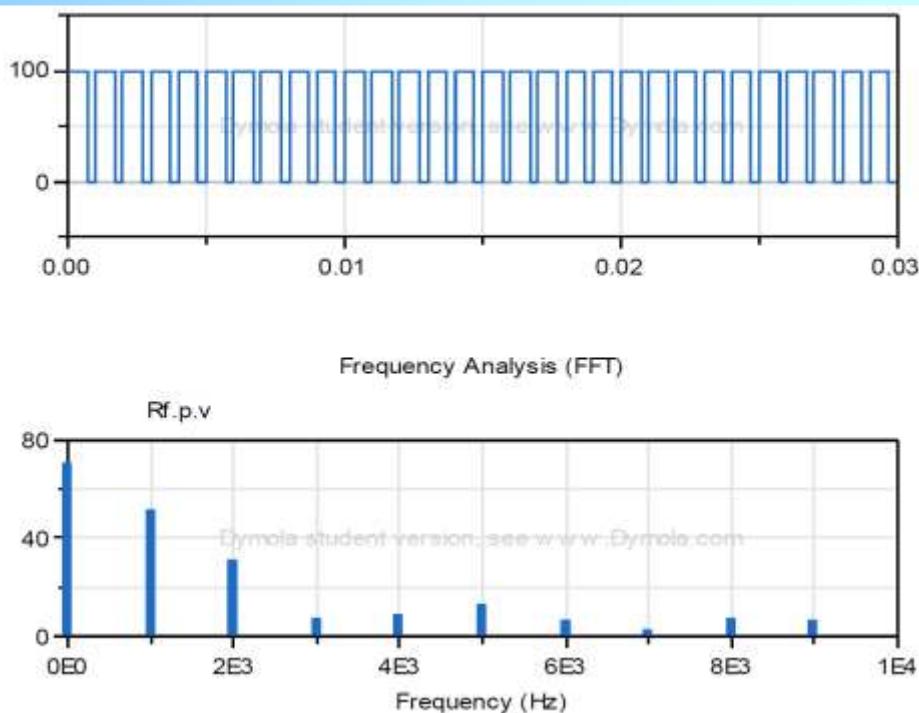
AGENDA

- Principi di conversione della potenza
- Generazione segnali PWM
- Convertitori AC/DC

Modulazione PWM

Andamenti nel tempo e in frequenza di segnali PWM (2 livelli) con stessa frequenza di switching $T_s = T_{on} + T_{off} = 1$ ms, Livelli fissi $V_L = 0$, $V_H = 100$ (normalizzato), duty cycle: SX 0.7 (Ton=0.7ms, Toff=0.3 ms), DX 0.5 (Ton=Toff=0.5 ms)

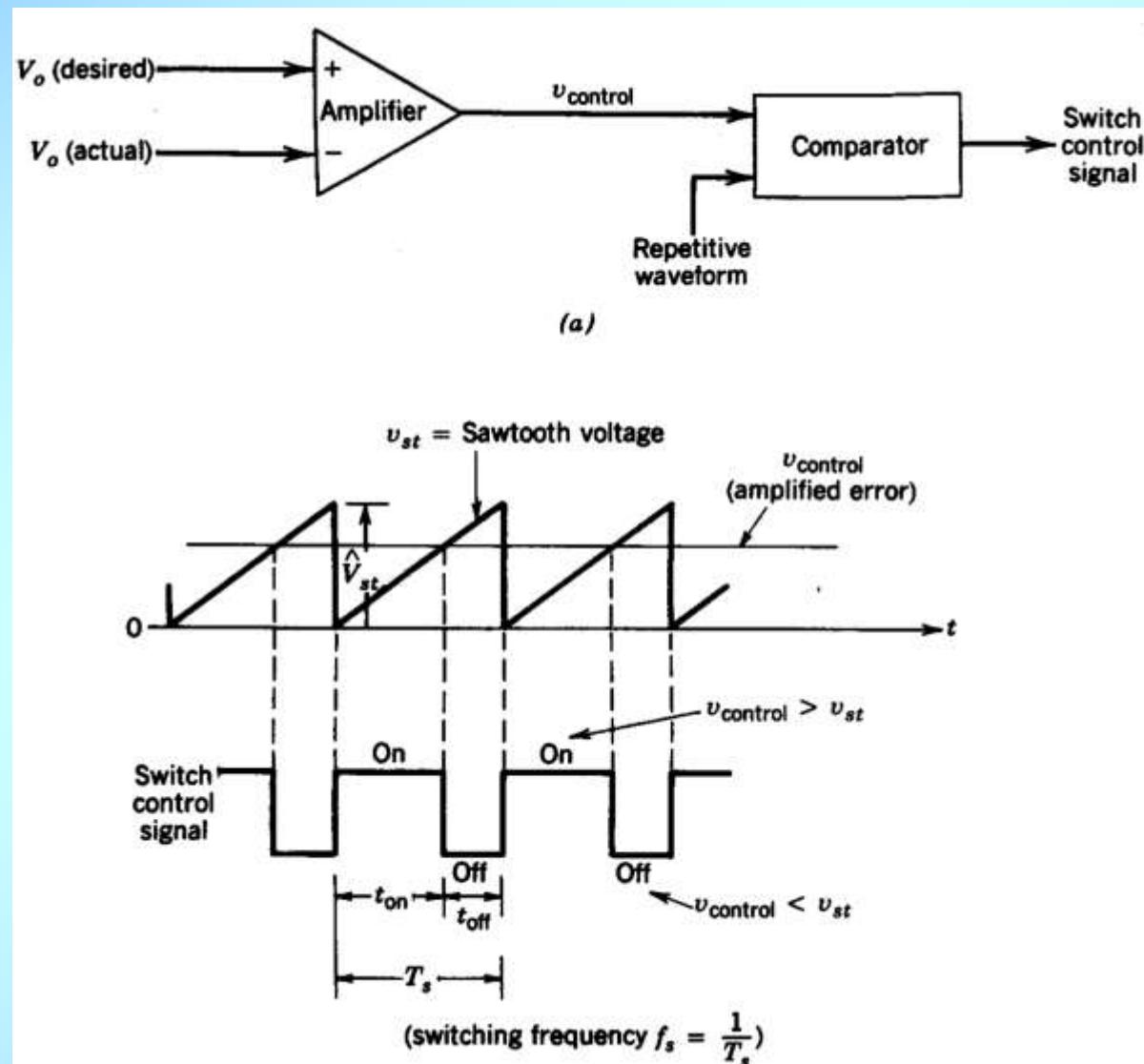
Per entrambi in frequenza fondamentale è a 1kHz, la continua (0Hz) è $(T_{on} \cdot V_H + T_{off} \cdot V_L) / T_s = 70$ a SX e 50 a DX



Generazione segnale PWM

Se segnale di riferimento è costante allora duty-cycle è costante.

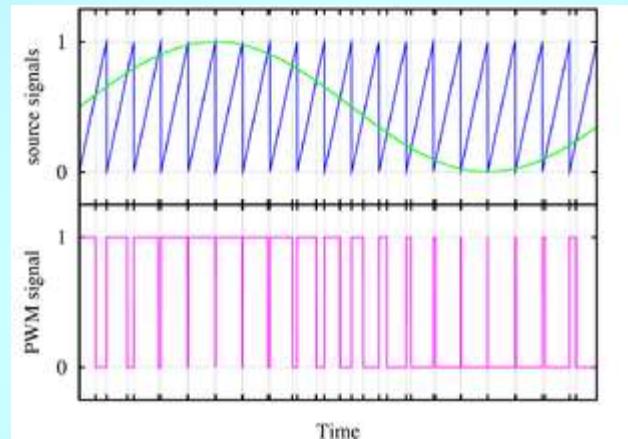
Frequenza è fissata da onda di riferimento (di solito un dente di sega)



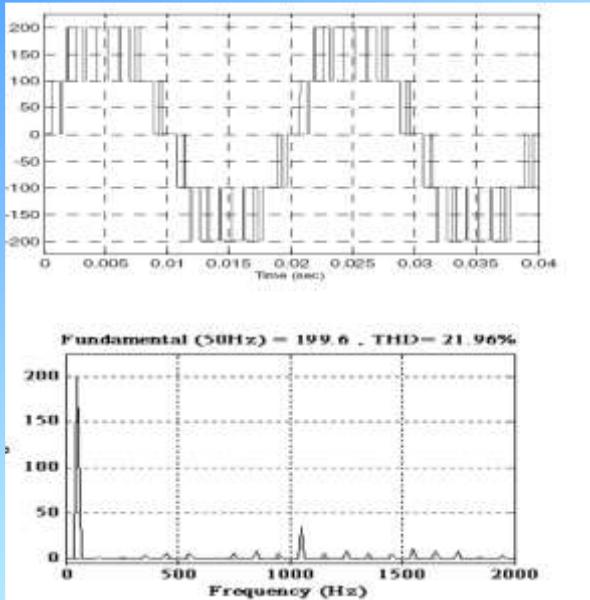
Generazione segnale PWM

Se segnale di riferimento è variabile con banda massima B (es. una sinusoide) allora duty-cycle è variabile e suo valore è proporzionale ad ampiezza segnale di riferimento.

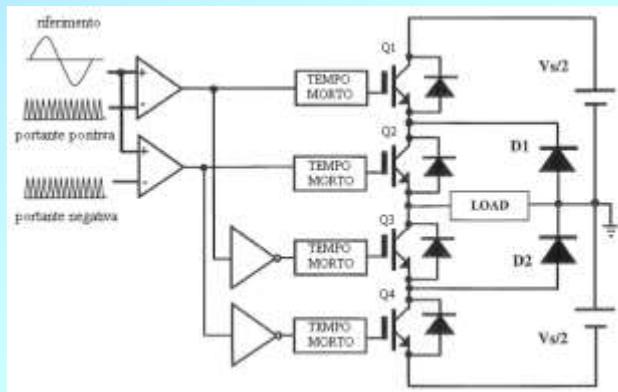
Infatti modulazione PWM si ottiene confrontando il segnale di ingresso con un segnale a dente di sega di frequenza $> 10^*B$



PWM multi-livello



Esempio PWM 5 livelli nel tempo e in frequenza, con $T_s=1$ ms in applicazione DC/AC con AC uscita a 50 Hz
(si noti come la portante a 1kHz è estremamente ridotta e difatti altre spurie sono praticamente cancellate)



Circuito che realizza modulazione multilivello riportata

Pro/contro convertitori PWM multi-livello

VANTAGGI

- 1) Consentono di superare i limiti sulle tensioni massime applicabili al sistema di conversione, altrimenti imposti dai valori massimi applicabili ai singoli dispositivi di potenza utilizzati (e.g. permettono la realizzazione di apparati che possono essere collegati alle reti di distribuzione in media tensione senza l'interposizione di trasformatori, oppure alimentare grandi macchine elettriche rotanti di decine e centinaia di kW)
- 2) Danno luogo ad una considerevole riduzione sia del contenuto armonico nelle grandezze elettriche in uscita e in ingresso, sia della frequenza di commutazione dei dispositivi a semiconduttore impiegati. Infatti, le tensioni presenti ai morsetti di uscita presentano forme d'onda che approssimano sinusoidi, con un basso contenuto di armoniche spurie
- 3) Ciò consente di incrementare l'efficienza e ridurre dimensioni dei filtri in uscita e/o in ingresso.

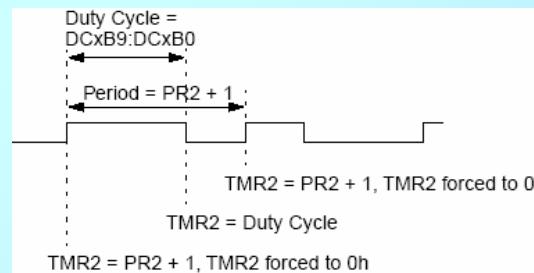
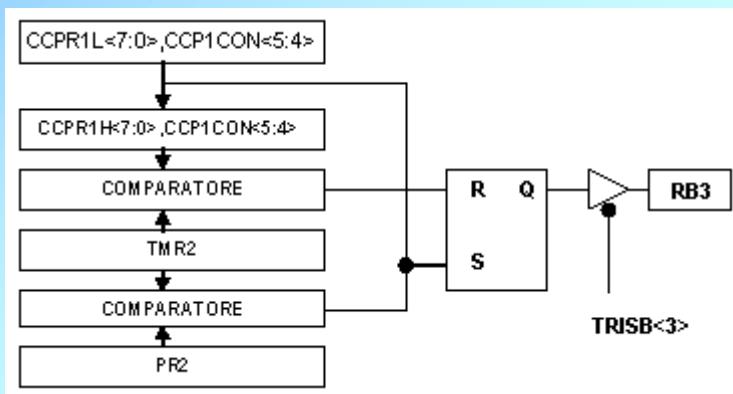
SVANTAGGI

- 1) Maggiore numero di Switch (componenti attivi)
- 2) Necessità di un controllo più sofisticato

Generazione PWM con microcontrollori digitali

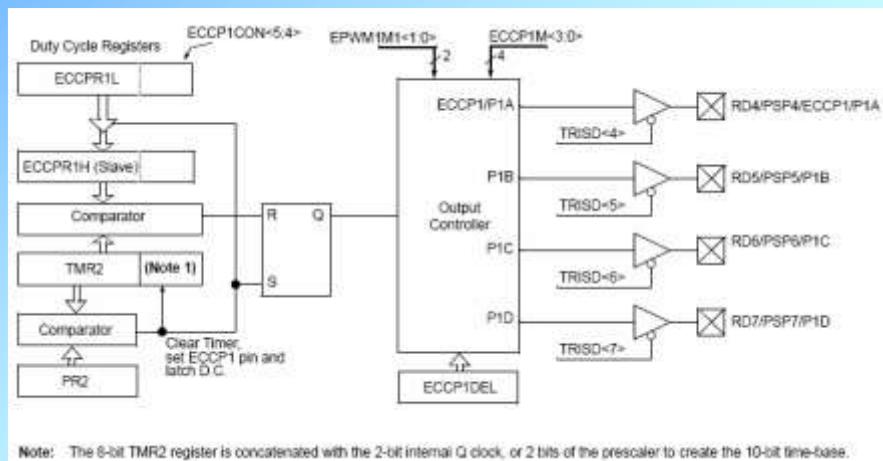
Di solito si carica il valore del duty cycle in appositi registri (es. 10 bit in microprocessori PIC16Fxx) e vengono confrontati con i numeri contati da un timer (TMR2) in modo da resettare a 1 uscita quando segnale del comparatore (che emula il dente di sega analogico supera il valore del codice di riferimento). Il comparatore TMR2 è periodicamente resettato una volta raggiunto un valore massimo (corrispondente alla max dinamica del segnale per duty-cycle=1) conservato nel registro PR2.

Frequenza di PWM dipende da clock del micro, prescaler del timer e da PR2.



Generazione PWM con microcontrollori digitali

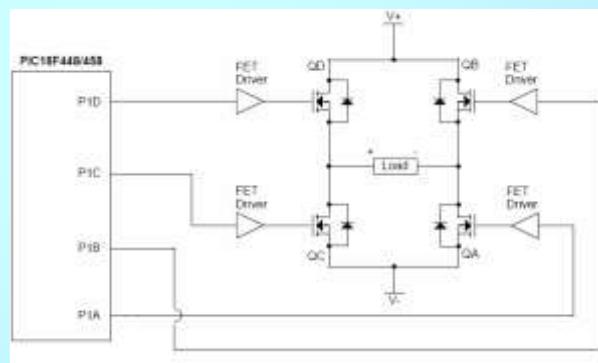
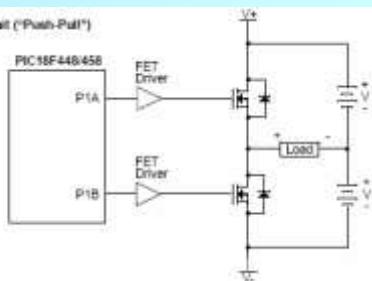
Possono esser previste configurazioni con più pin di uscita dedicati ad altrettanti canali PWM (es 4 in PIC18F448). Generazione PWM viene fatta scrivendo opportuno codice SW sul microcontrollore.



Note: The 8-bit TMR2 register is concatenated with the 2-bit internal Q clock, or 2 bits of the prescaler to create the 10-bit time-base.

INIZIALIZZAZIONE PWM MODE

```
CLRF  CCP1CON      ; CCP Module is off
CLRF  TMR2          ; Clear Timer2
MOVlw  0x7F          ;
MOVwf  PR2           ;
MOVlw  0x1F          ;
MOVwf  CCP1RL        ; Duty Cycle is 25% of PWM Period
CLRF  INTCON        ; Disable interrupts and clear TOIF
BCP   TRISC. PWM1  ; Make pin output
CLRF  PIE1           ; Disable peripheral interrupts
CLRF  PIR1           ; Clear peripheral interrupt Flags
MOVlw  0x2C          ; PWM mode, 2 LSbs of Duty cycle = 10
MOVwf  CCP1CON        ;
BSF   T2CON, TMR2ON ; Timer2 starts to increment
;
; The CCP1 interrupt is disabled,
; do polling on the TMR2 Interrupt flag bit
;
PWM_Period_Match
    BTFS  PIR1, TMR2IF
    GOTO  PWM_Period_Match
;
; Update this PWM period and the following PWM Duty cycle
;
BCF   PIR1, TMR2IF
```

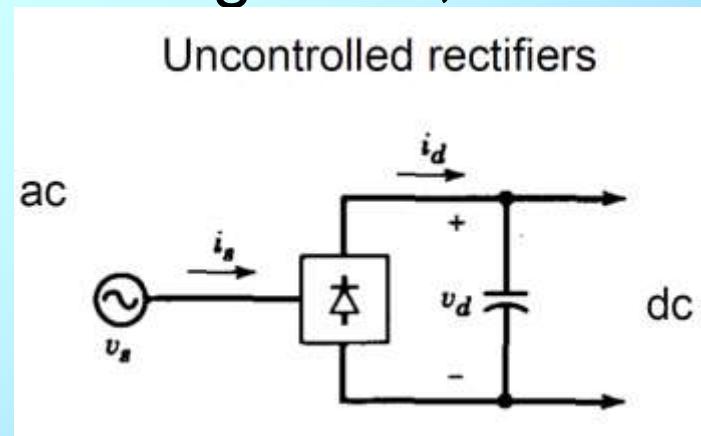


AGENDA

- Principi di conversione della potenza
- Regolatori Lineari
- Generazione segnali PWM
- Convertitori AC/DC

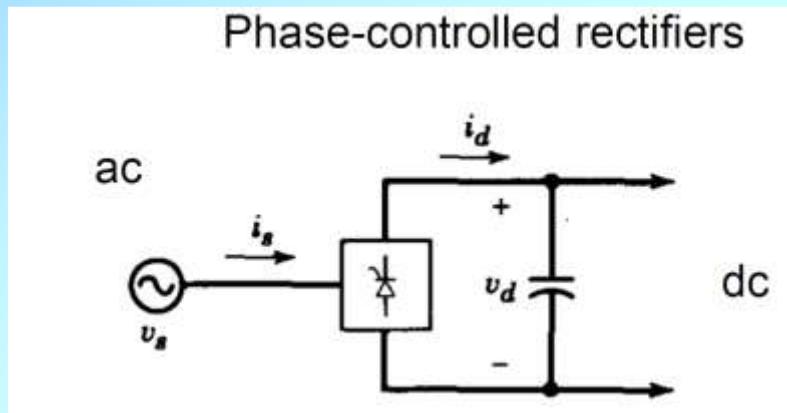
Convertitori AC-DC

- Sono sistemi di potenza: IN = grandezza elettrica alternata (AC) e OUT = grandezza elettrica continua (DC)
- Possono essere non controllati (usano diodi), dove la conduzione del diodo dipende solo dalla polarità della tensione in ingresso, o controllati (usano SCR)



Convertitori AC-DC controllati

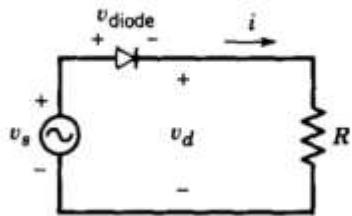
- IN = grandezza elettrica alternata (AC) e OUT = grandezza elettrica continua (DC) il cui livello di potenza è regolata con una variabile di controllo;
- Dispositivi più utilizzati: SCR (possono essere spenti naturalmente dal cambiamento di polarità della alimentazione alternata: “Spegnimento di linea”);



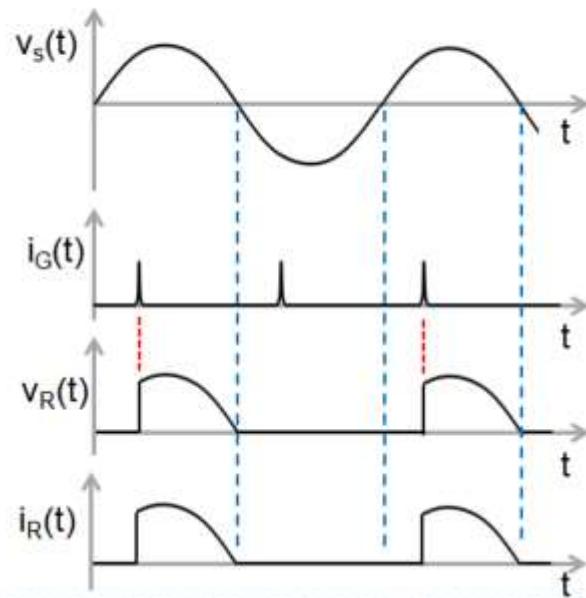
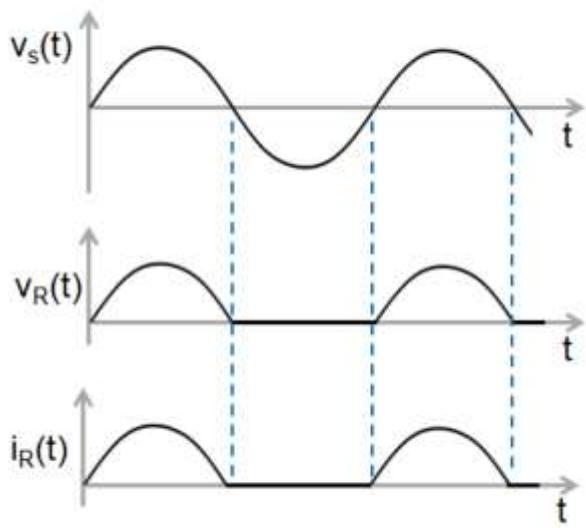
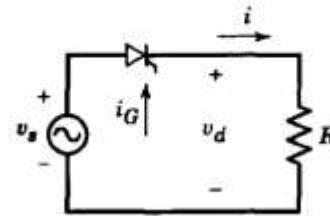
Thyristor conduction depends on Vak waveform polarity and on control input pulse

Convertitori AC-DC singola semionda

Diode based

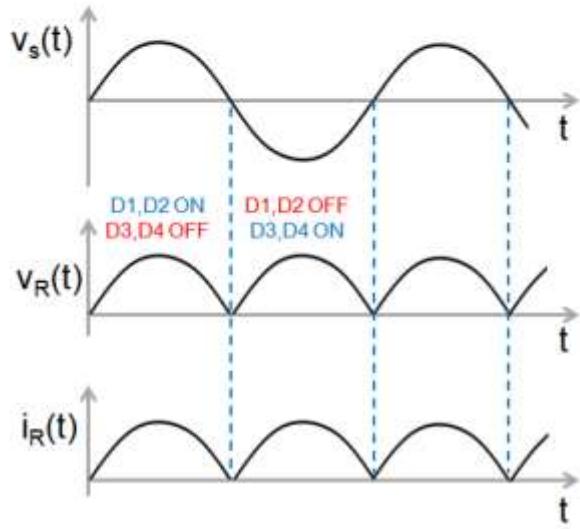
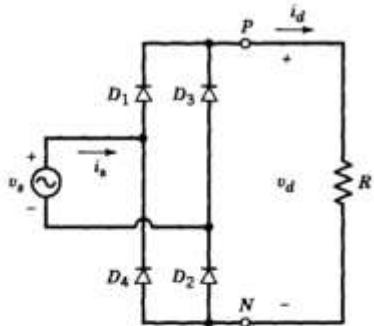


Phase-controlled

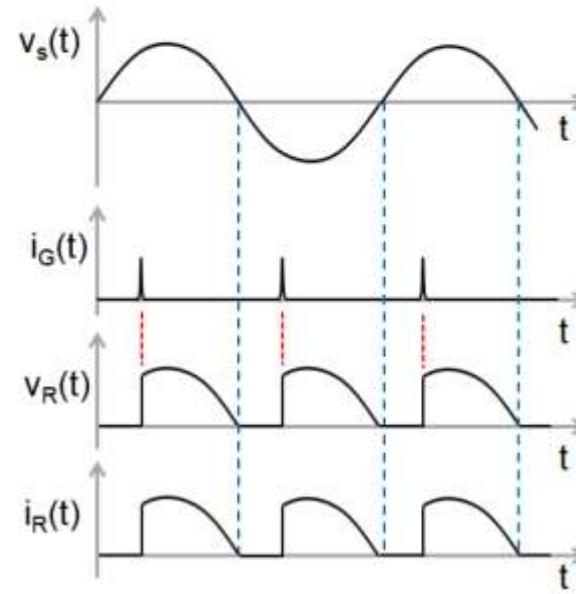
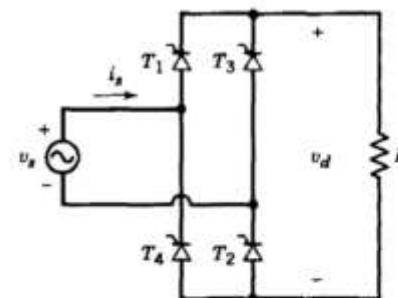


Convertitori AC-DC a ponte (doppia semionda, ponte di Graetz)

Diode based



Phase-controlled

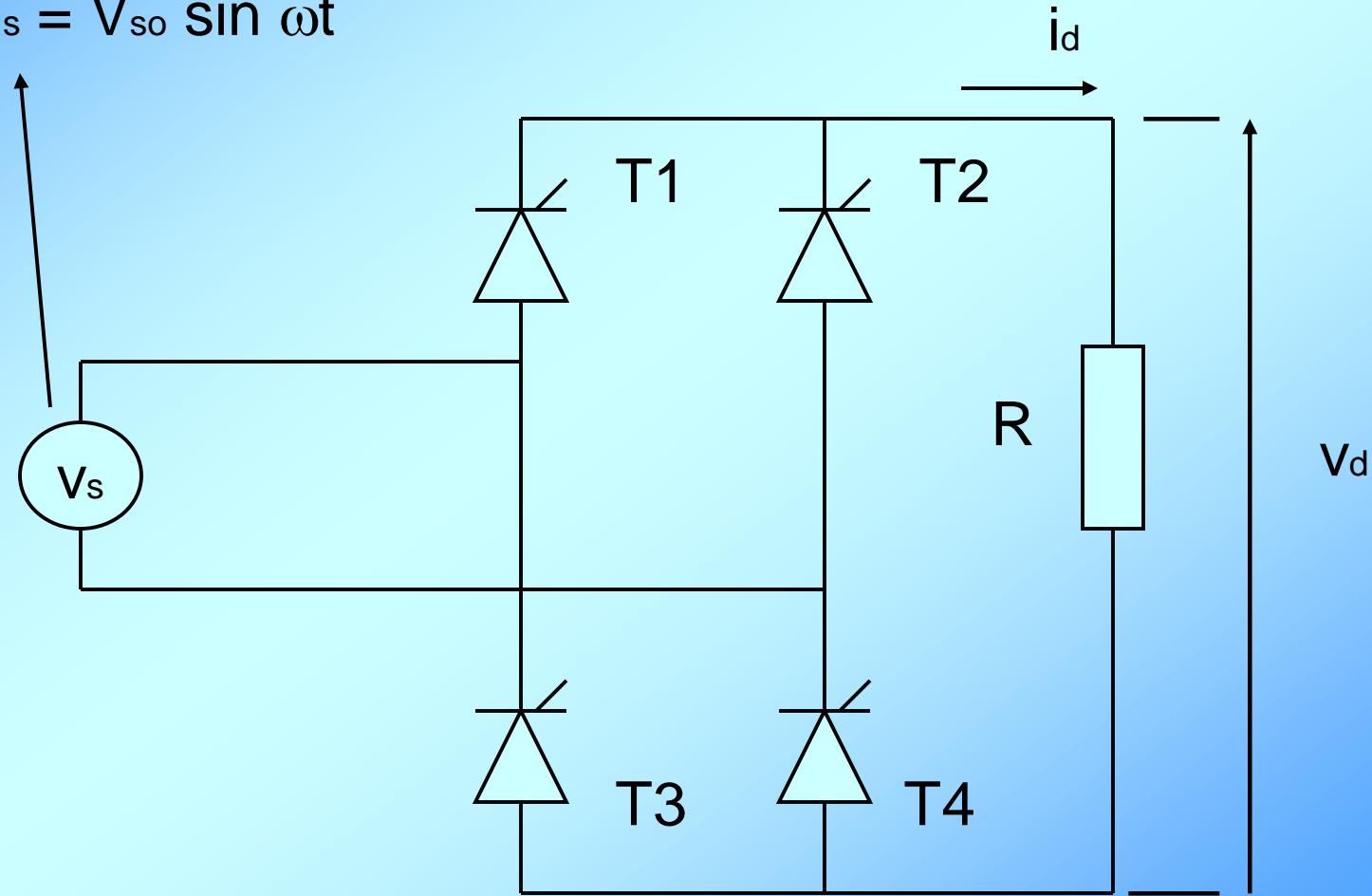


Proprietà

- Configurazione più usata: a ponte di SCR;
- Per potenze superiori a qualche kW si utilizzano sistemi trifase: nella conversione AC-DC consentono di ottenere forme d'onda più pulite in OUT (con minor contenuto armonico)
- OSS: carico = Motore Elettrico (si rappresenta con una induttanza “L”, un resistore “R” e una f.c.e.m. pari ad “E”)
- Convertitori con SCR (tiristori) permettono di variare il valor medio della tensione di uscita agendo sull'istante di innesto del componente

Per capire il funzionamento, si farà il caso semplice di un convertitore a ponte di SCR, con carico resistivo

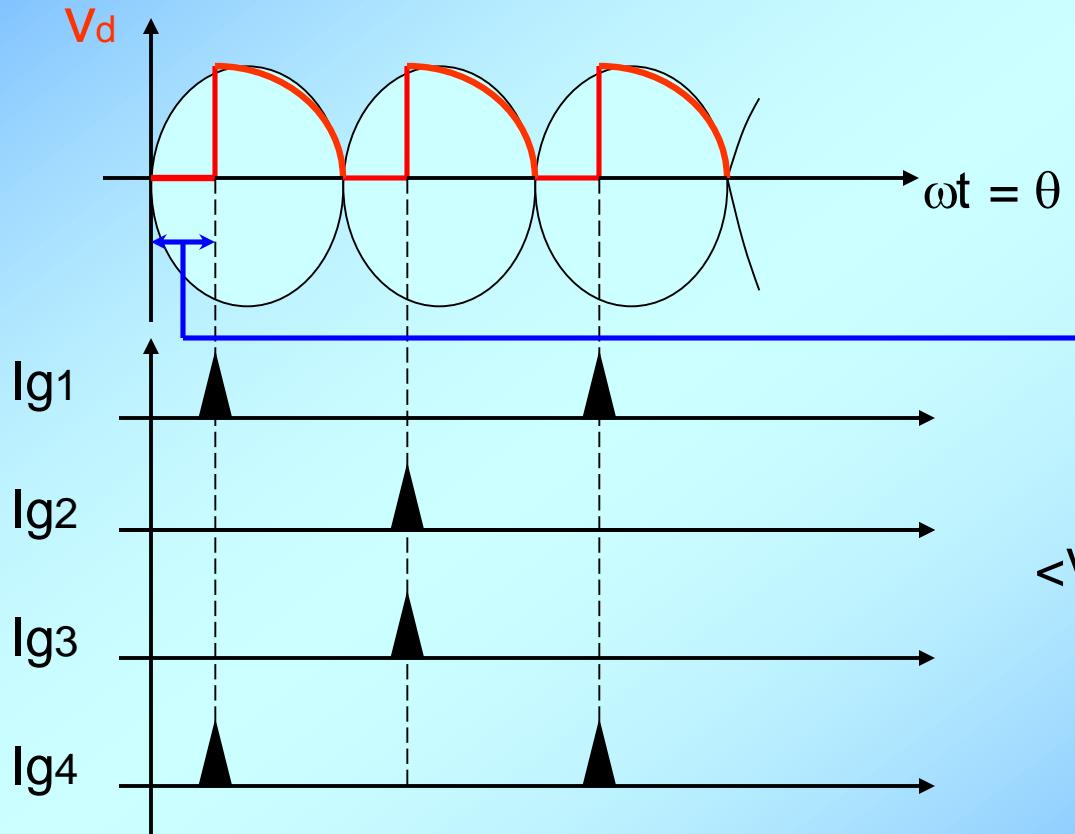
$$V_s = V_{so} \sin \omega t$$



FUNZIONAMENTO

V_s > 0: T1 e T4 sono polarizzati direttamente; si possono accendere con l'impulso di gate, mentre T3 e T4 sono polarizzati in inversa

V_s < 0: è il contrario del caso sopra!



Variando l'angolo di innesto, la V_d si modifica e varia, di conseguenza, la tensione media sul carico ($\langle V_d \rangle$).

α = angolo di innesto

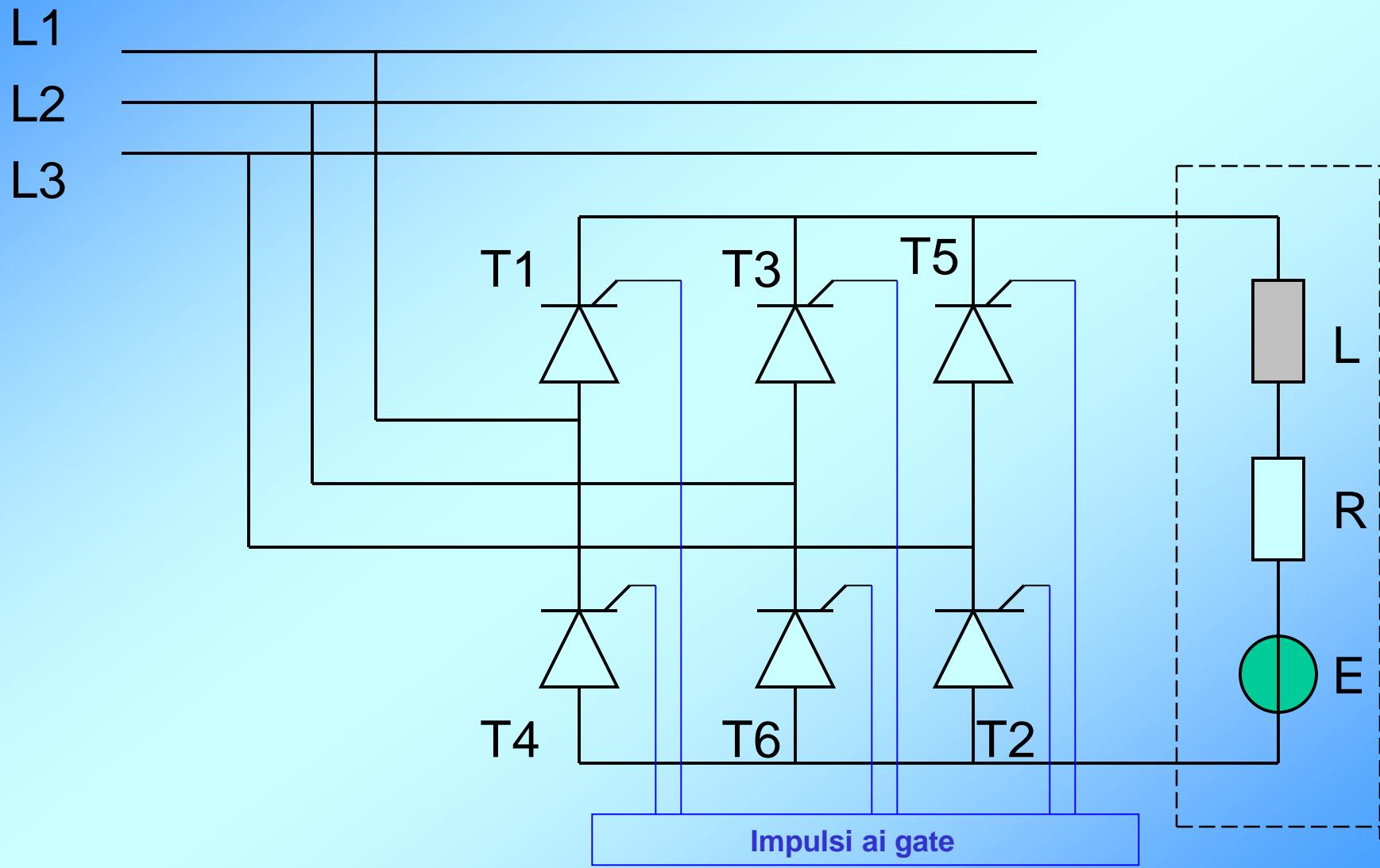
$\langle V_d \rangle$ = valor medio della V_d

$$\langle V_d \rangle = V_{so} (1 + \cos \alpha) / \pi$$

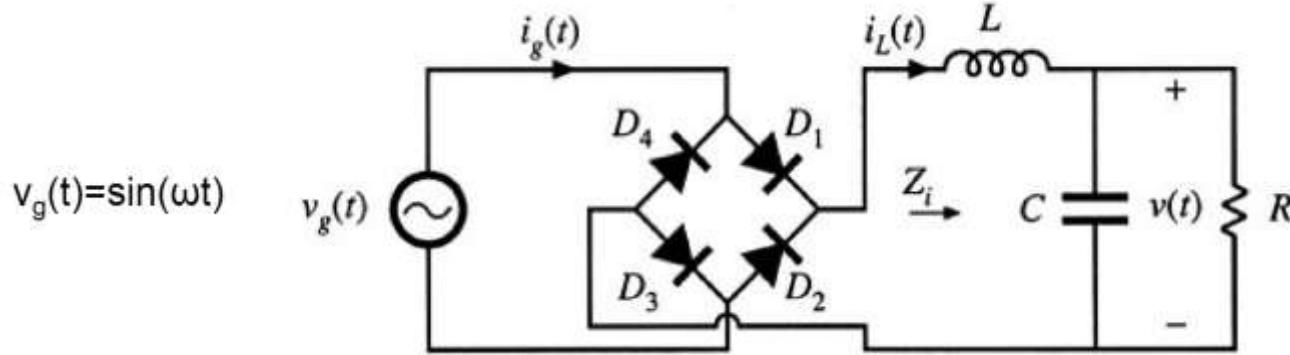
$$\langle V_d \rangle = V_{so} (1 + \cos \alpha) / \pi$$

- I valori medi dipendono da α ;
- La conduzione è discontinua per α compreso fra 0 e π ;
- Conduzione discontinua = una coppia di SCR si spegne prima che si accende l'altra coppia di SCR.

CONVERTITORI AC-DC TRIFASI



CONVERTITORI AC-DC con filtro

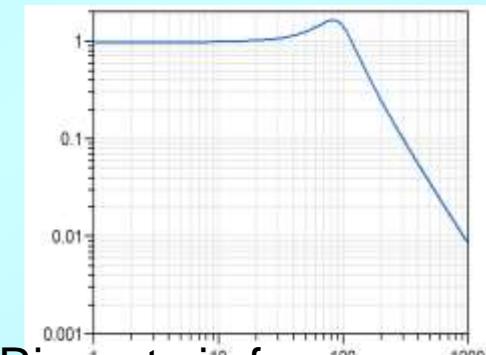


Finite values of L and C:

- THD decreases with increasing ω_0
- For a given ω_0 , THD is minimum at $Q \sim 1$

$$\begin{aligned}\bullet \omega_0 &= 1/\sqrt{(L \cdot C)} \\ \bullet Q &= R \cdot \sqrt{(C/L)}\end{aligned}$$

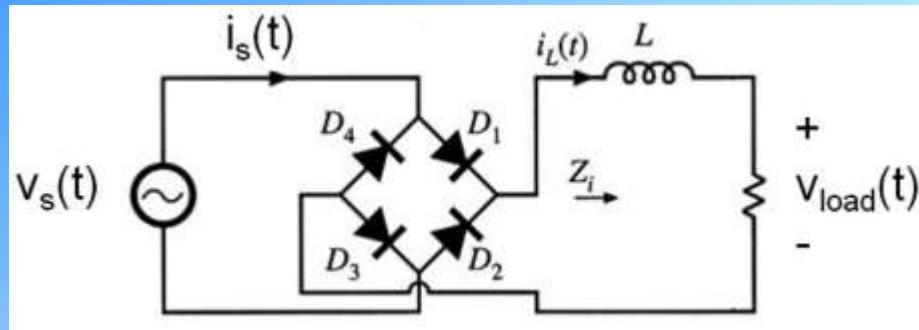
$$\text{THD} = \frac{\text{rms value of the waveform not including the fundamental component}}{\text{rms fundamental magnitude}}$$



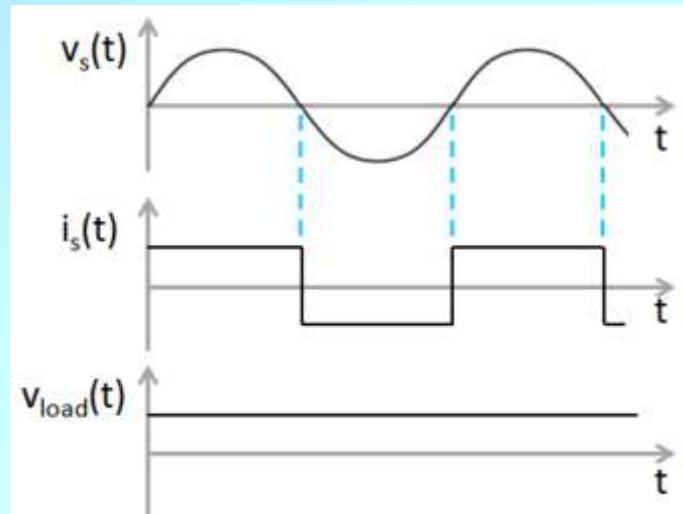
Risposta in frequenza
filtro LC (smorzato per
la R di carico), 100Hz

Sia nei convertitori AC-DC controllati (con SCR) che non (con diodi) sia singola che doppia semionda l'uso di un filtro in uscita (spesso LC, o solo C se il carico è induttivo) aiuta a reiettare armoniche spurious e ottenere una DC meno affetta da ripple (i.e. residuo di alternata)

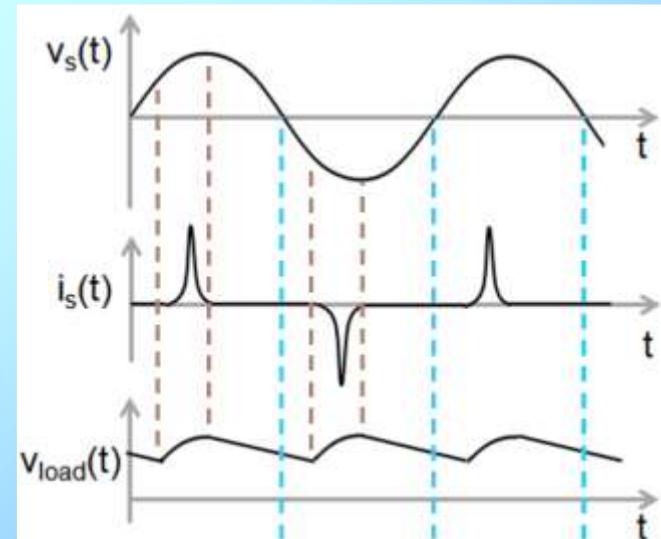
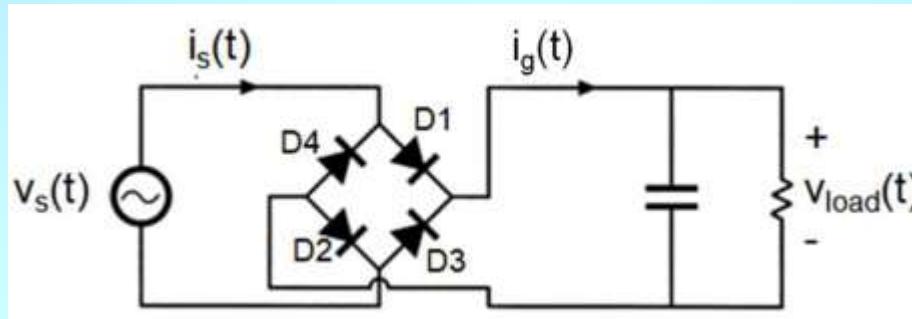
CONVERTITORI AC-DC con filtro



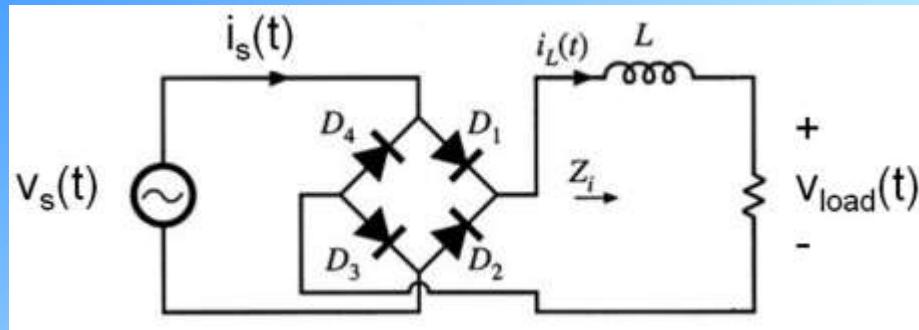
Solo con filtro induttivo



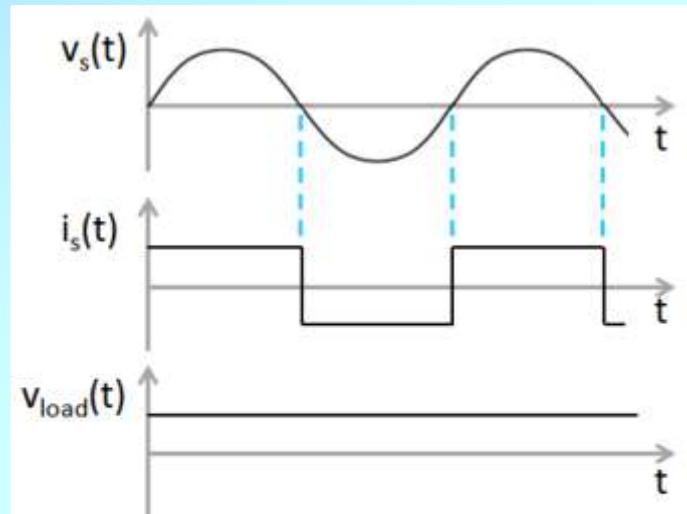
Solo con filtro capacitivo



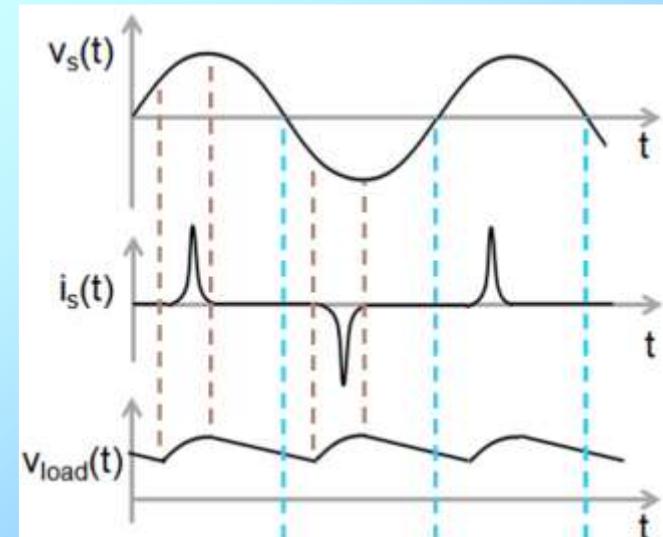
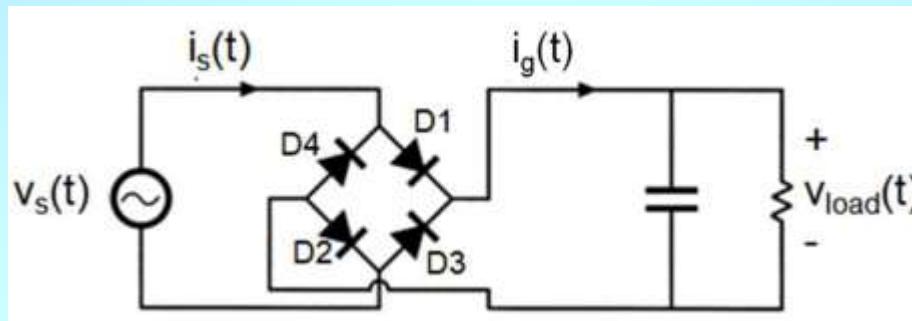
CONVERTITORI AC-DC con filtro



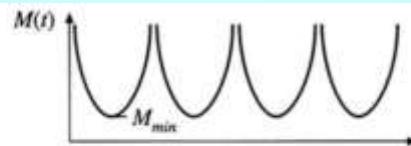
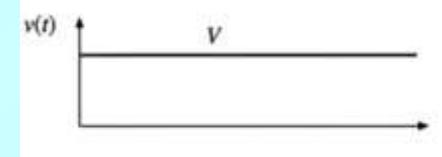
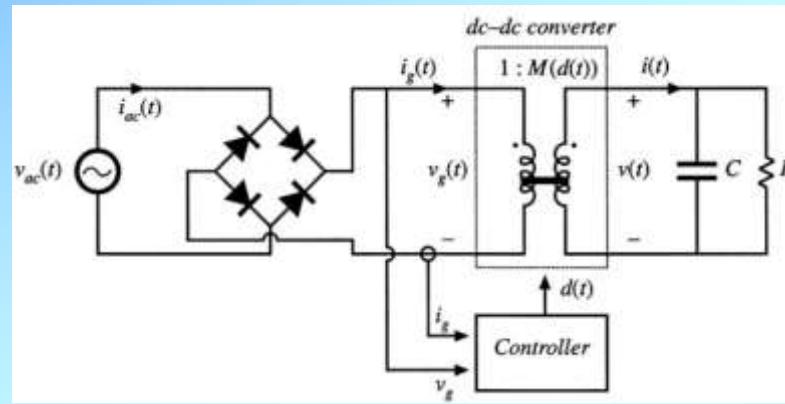
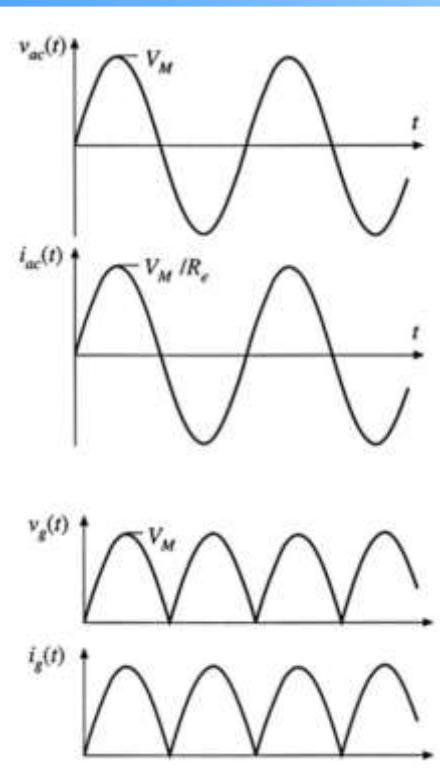
Solo con filtro induttivo



Solo con filtro capacitivo



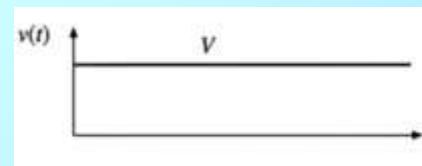
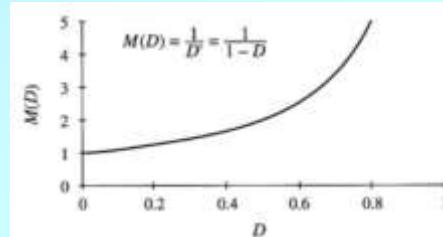
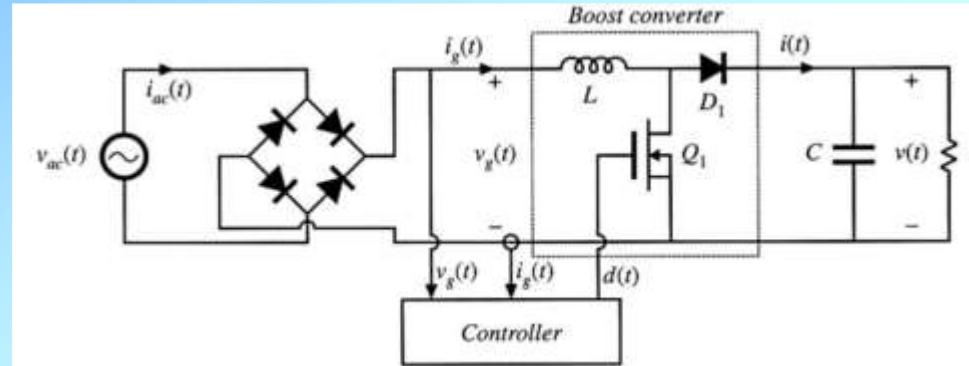
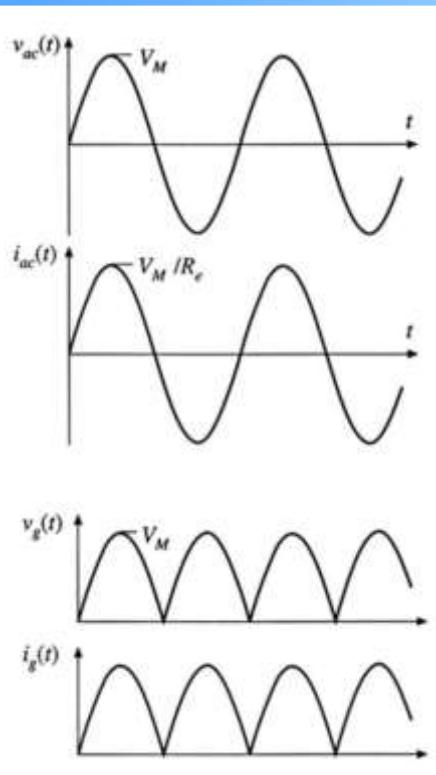
CONVERTITORI AC-DC avanzati



DC-DC converter with dynamically adjustable $M = V_o / V_i$ to follow the reference $M(t)$

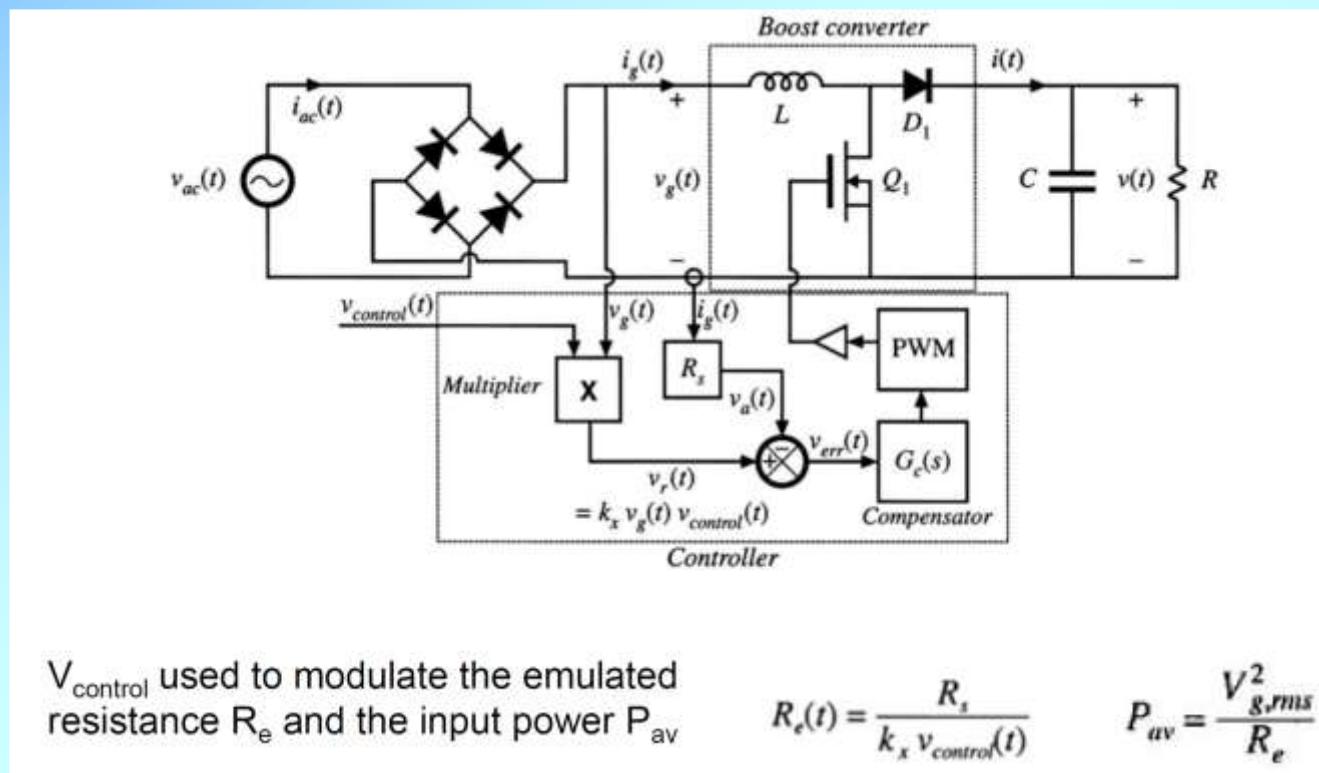
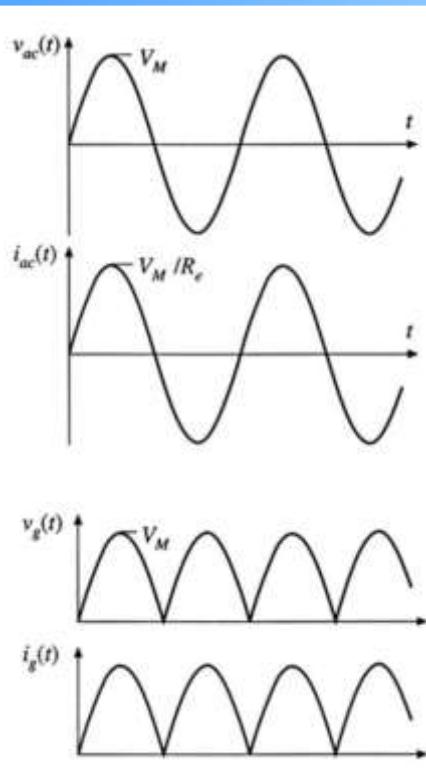
Pro) Vo/Vax max. regolabile, isolamento Out-In, rete ingresso vede Vac, Iac e Vg, Ig rifasate in fase grazie a controllore
Con) Circuito più complesso con trasformatore

CONVERTITORI AC-DC avanzati



M(D) può variare da 1 a infinito

CONVERTITORI AC-DC avanzati



$V_{control}$ used to modulate the emulated resistance R_e and the input power P_{av}

$$R_e(t) = \frac{R_s}{k_x v_{control}(t)} \quad P_{av} = \frac{V_{g,rms}^2}{R_e}$$

→ Resistive load emulated by a control loop that force the $i_g(t)$ current waveform to follow $v_g(t)$, by dynamically adjusting $d(t)$

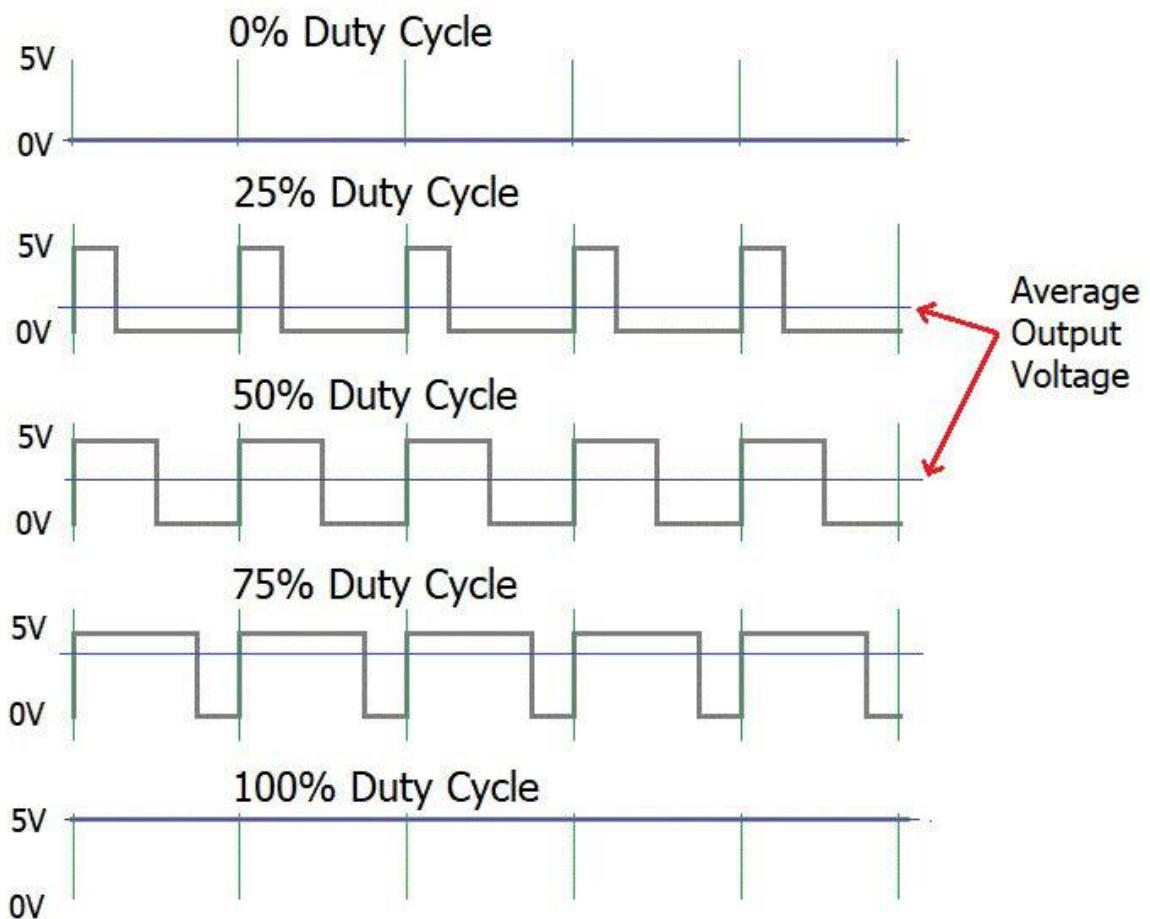


Fig. 1: esempio di segnali PWM ideali e con duty cycle fisso nel tempo

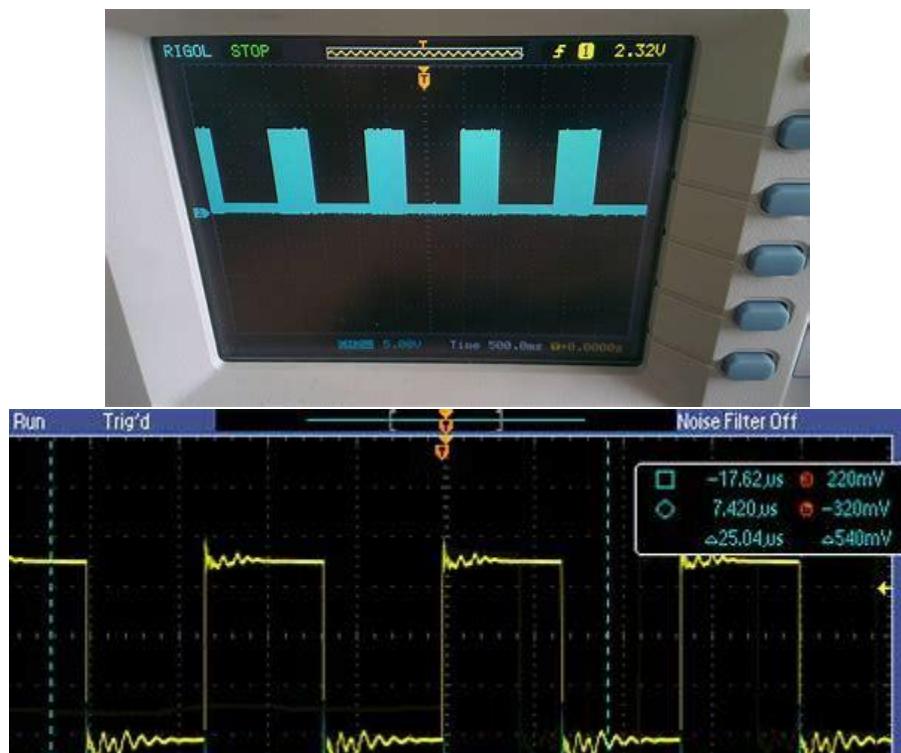


Fig. 2: esempio di segnali PWM reali con duty cycle fisso nel tempo

muselec.fr/Animations_Fourier.htm

Spectrum of a PWM signal...

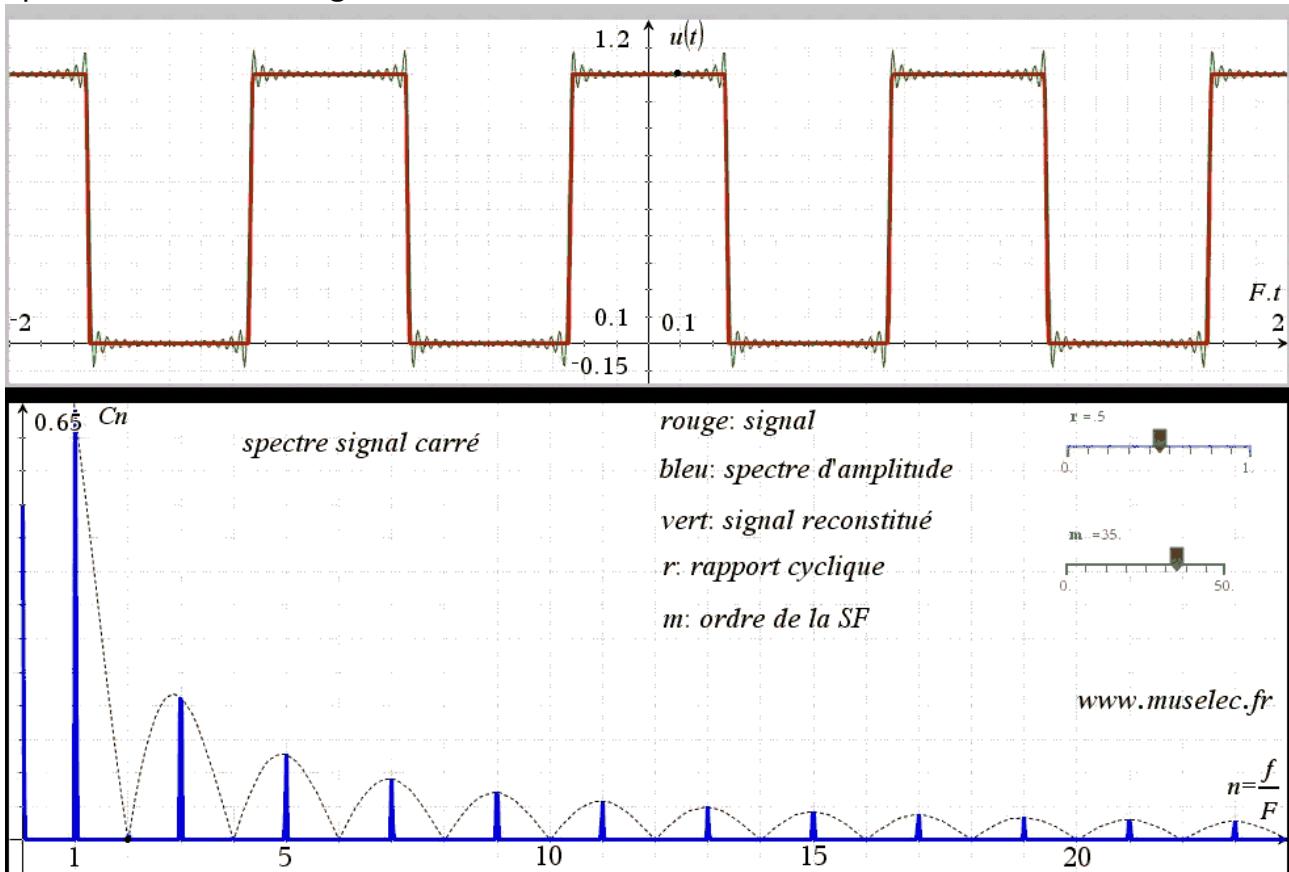


Fig. 3: esempio di spettro di segnali PWM al variare del duty cycle

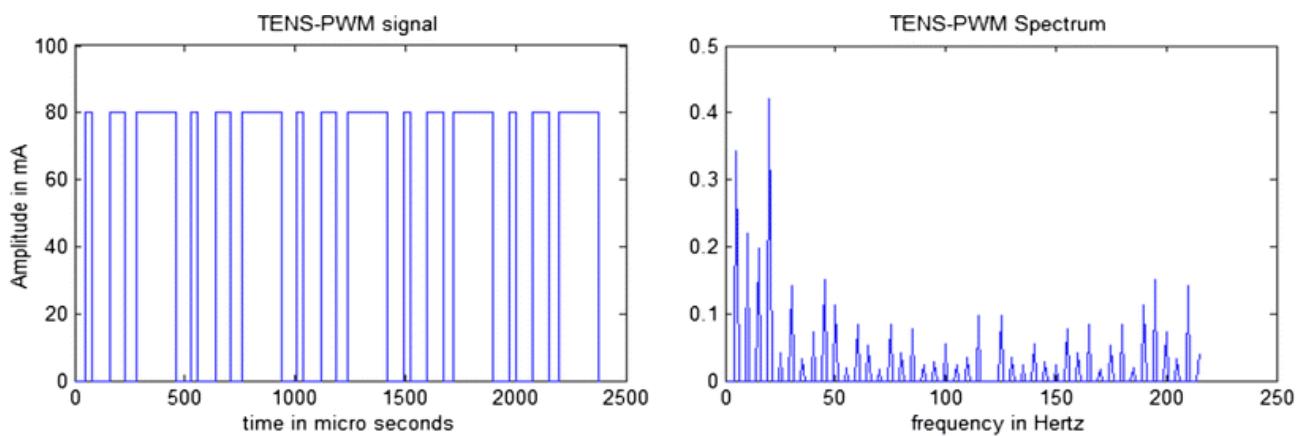
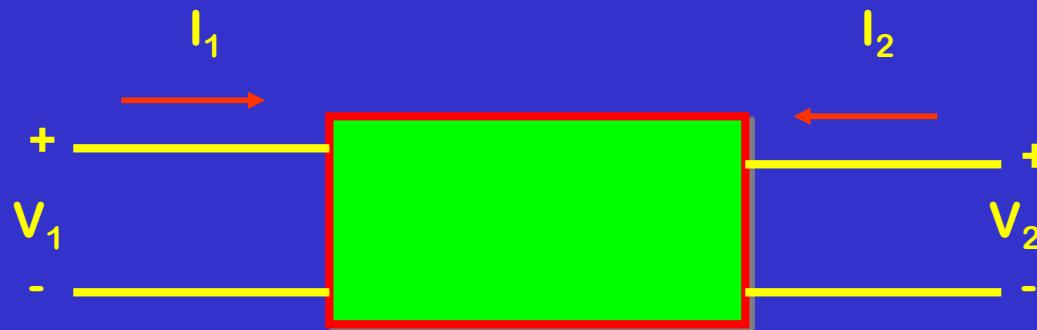


Fig. 4: esempio di spettro di segnali PWM al variare del duty cycle

Lezione 5: Traformatore è Sistema a due porte

- Su un due porte insistono quattro grandezze elettriche



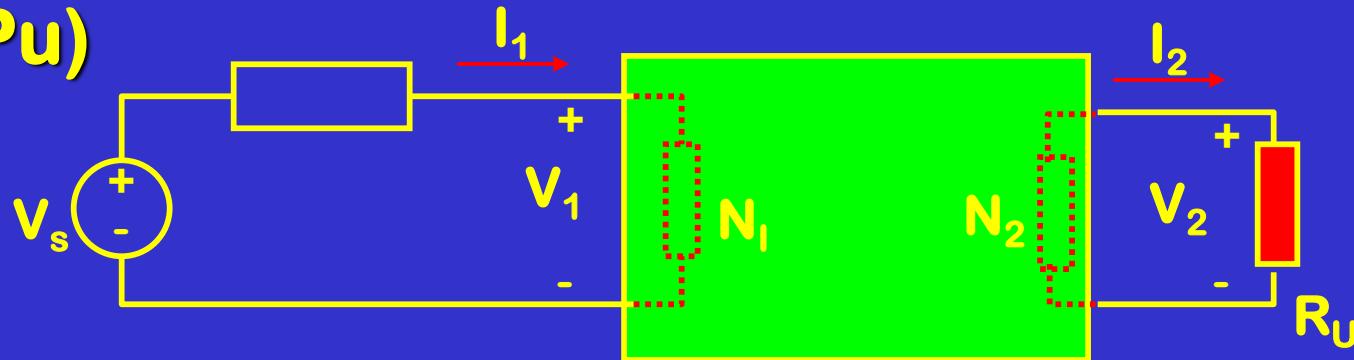
- Sono necessarie quattro equazioni
 - Due topologiche (le impone la rete)
 - Due fisiche (le impone il bipolo)

$$V_2 = A \cdot V_1 + R_{out} \cdot I_2$$
$$I_1 = B_{in} \cdot V_1 + H_r \cdot I_2$$

ESEMPIO TRASFORMATORE

- Ipotesi: Potenza e flusso si conservano

$\eta = P_U / P_{in} = 1 \rightarrow P_{in} = P_U$ e non c'è P_{al} (in Amp $P_i \ll P_U$, $P_{al} > P_U$)



$P_1 = V_1 * I_1$, $P_2 = V_2 * I_2$, $P_1 = P_2$ (si conserva potenza)

$N_1 * I_1 = N_2 * I_2$ (si conserva flusso) $\rightarrow I_2 = I_1 * N_1 / N_2$

$$V_2 = V_1 * N_2 / N_1$$

$$A_i = N_1 / N_2 \text{ e } A_v = N_2 / N_1$$

Se con rapporto spire faccio $A_i = N_1 / N_2 > 1 \rightarrow A_v$ mi verrà minore di 1 e viceversa

TRASFORMATORE come convertitore AC/AC

Pur potendo il trasformatore aumentare la tensione dimensionando opportunamente il rapporto spire N₂/N₁ (Av>1, ma allora A_i<1), non si può avere guadagno di potenza (G_p non supera 0 dB)

Il trasformatore non è un amplificatore ma è un esempio di convertitore AC/AC (potenza in uscita proviene dalla potenza del segnale di ingresso, uscita è in AC a stessa frequenza di quella AC in ingresso ma cambiando rapporto spire posso adattare livelli di tensione e/o corrente e avere V₂ diversa da V₁ o I₂ diversa da I₁)

TRASFORMATORE

come convertitore AC/AC

Trasformatore si usa con segnali di ingresso già di potenza es alternata a 50 Hz (periodo 20 ms) monofase degli impianti elettrici domestici, con Vefficace (Vrms) di 220V ovvero $V_{max}=V_{rms}*\sqrt{2}>300V$

Es Trasformatore in carcabatterie di cellulari consente di avere una V2 lato utilizzatore più piccola di 220V (Vrms) prelevando potenza dall'ingresso che è connesso a presa monofase di impianto elettrico, Inoltre trasformatore garantisce isolamento galvanico tra utilizzatore (lato2) e impianto elettrico (lato 1)

TRASFORMATORE

come convertitore AC/AC

Invece amplificatore si usa per aumentare potenza del segnale in uscita (conservando forma del segnale di ingresso) a spese di una alimentazione

Trasformatore essendo basato su induttanze funziona solo in AC (induttanze sono dei corti in DC in quanto in induttanza L si ha:

$V_L = L \frac{dI_L}{dt}$ e quindi se in DC I_L è costante nel tempo allora derivata è nulla $V_L = 0$

Ma se ho I_L diversa da 0, con $V_L = 0$ comportamento è come quello di un cortocircuito

Sistemi Elettronici per Automazione e Robotica



UNIVERSITÀ DI PISA



5 DC/DC converters

Prof. Sergio Saponara

DII, Università di Pisa

sergio.saponara@unipi.it

Agenda

- Principi convertitori DC/DC switching
- Buck converter (step-down)

Analisi in frequenza e nel tempo

- Half Bridge e Full Bridge
- Boost converter (step-up)
- Buck-Boost converter (invertente)
- MOS bridge anche per AC/DC

Principi convertitori DC-DC switching

► I regolatori switching sono costituiti da due blocchi:

- Un "convertitore di potenza", che trasforma la tensione e la corrente in ingresso in una tensione e una corrente d'uscita di livello opportuno per alimentare correttamente il carico
- Un anello di controllo che legge la tensione d'uscita (ed eventualmente altre grandezze) e pilota il convertitore per ottenere la tensione d'uscita voluta compensando le variazioni del carico e della tensione d'ingresso

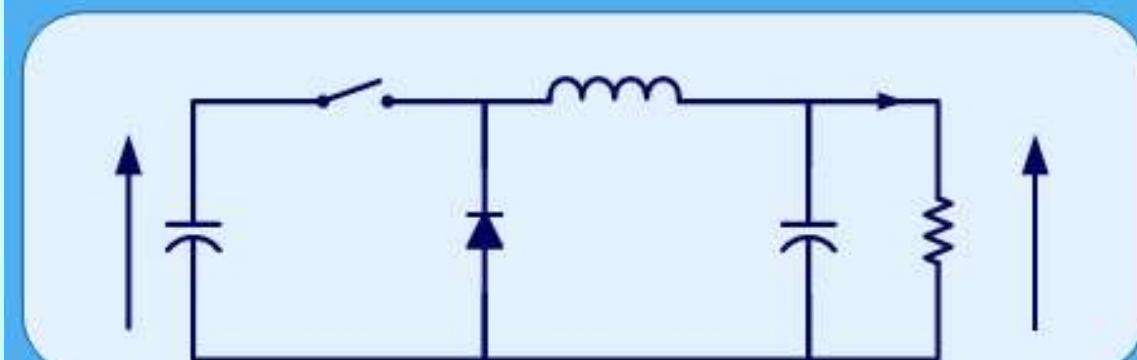
Convertitori DC-DC switching

- Il convertitore ha elevata efficienza in quanto gli elementi attivi interni sono utilizzati come interruttori e non in linearità
- La legge che lega l'uscita all'ingresso del convertitore non è lineare e per di più varia a seconda delle condizioni di carico, quindi l'anello di controllo è difficile da progettare e da rendere stabile in tutte le condizioni d'utilizzo
- Nel seguito si studieranno i convertitori, mentre si darà solo uno schema di principio del controllore

Buck-converter

- ▶ Analisi modo continuo
- ▶ Limiti modo continuo
- ▶ Convertitore buck: non linearità

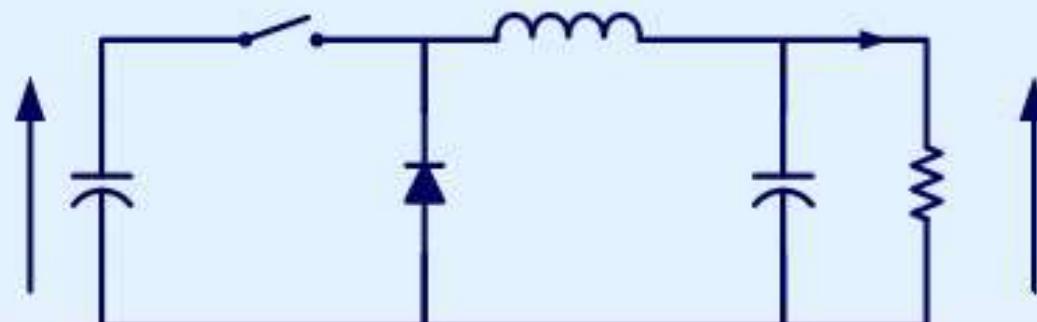
- ▶ La caratteristica peculiare del convertitore buck è che la tensione d'uscita può solo essere più bassa di quella d'ingresso, da cui il nome di step-down
- ▶ R_L rappresenta il carico del convertitore, C_u e C_i filtrano le correnti d'uscita e d'ingresso, il convertitore vero e proprio è costituito da S , D ed L



Buck-converter

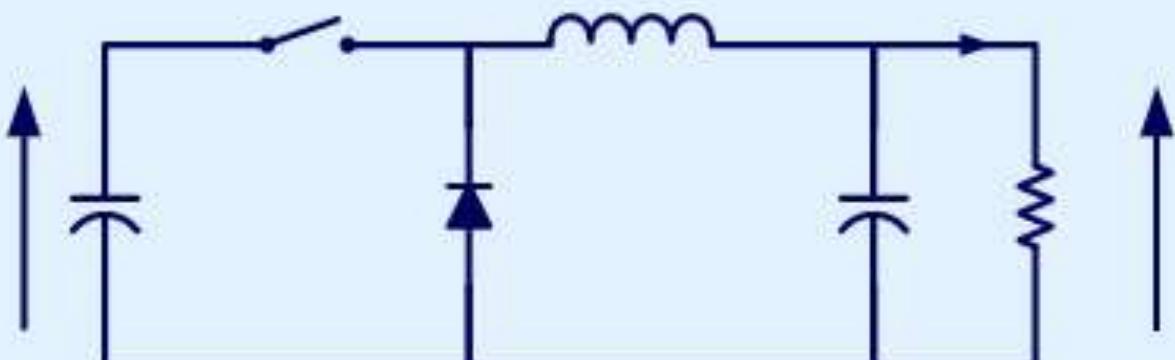
► Ipotesi iniziali:

- S pilotato in modo periodico, da onda quadra, ON per tempo T_1 , OFF per T_2 .
- Studio a regime: tutti i cicli sono uguali (in particolare la corrente nell'induttanza all'inizio di T_1 è uguale a corrente all'inizio del ciclo successivo)
- V_I e V_O costanti in un ciclo

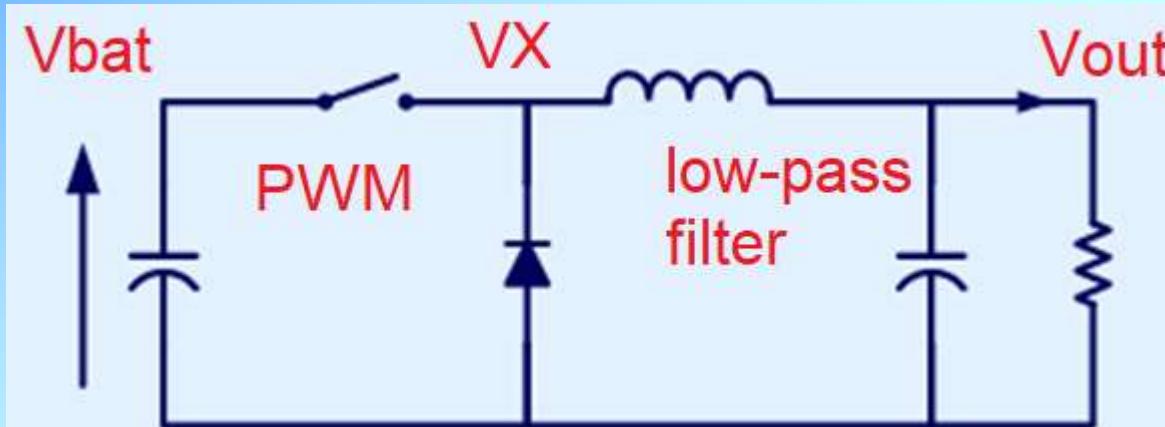


Buck-converter

- Il comportamento del convertitore è diverso a seconda che la corrente nell'induttanza sia sempre diversa da 0: modo continuo (Continuous Current Mode) oppure vada a 0 per una parte di periodo (Discontinuous Current Mode)
- Si studierà prima la modalità CCM

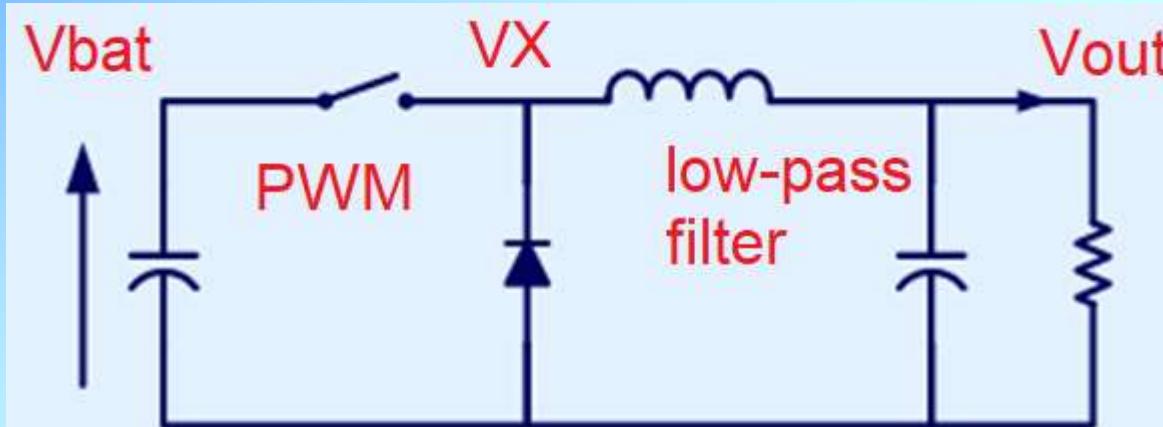


Buck-converter analisi in dominio frequenziale



Tensione VX varia tra 0 e V_{bat} con
andamento PWM (duty cycle D, F_{sw}) + Filtro
LC low-pass per prelevare la DC
($f_t = 1/2\pi\sqrt{LC} \ll F_{sw}$)

Buck-converter analisi in dominio frequenziale

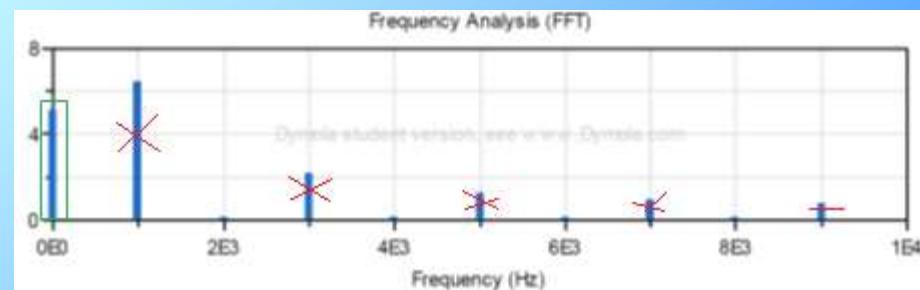
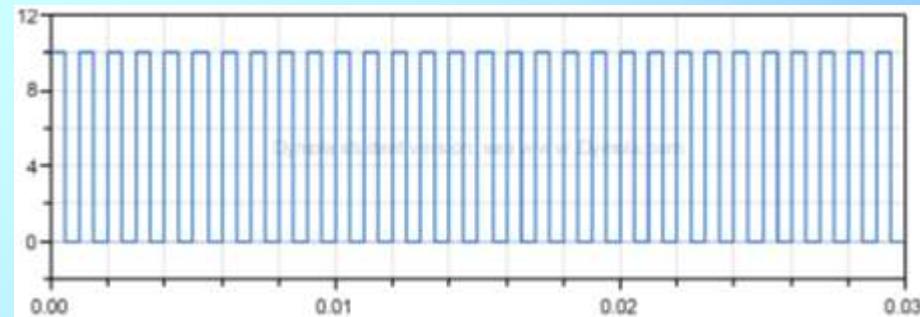


Se $V_{bat}=10V$

PWM ($D=0.5$, $F_{sw}=1\text{ kHz}$)

Filtro LC low-pass ($L=10\text{ mH}$, $C=10\text{ mF} \rightarrow F_t=15.9\text{ Hz} << 1\text{ kHz}$)

$$V_{out}=D \cdot V_{bat}=5\text{ V}$$



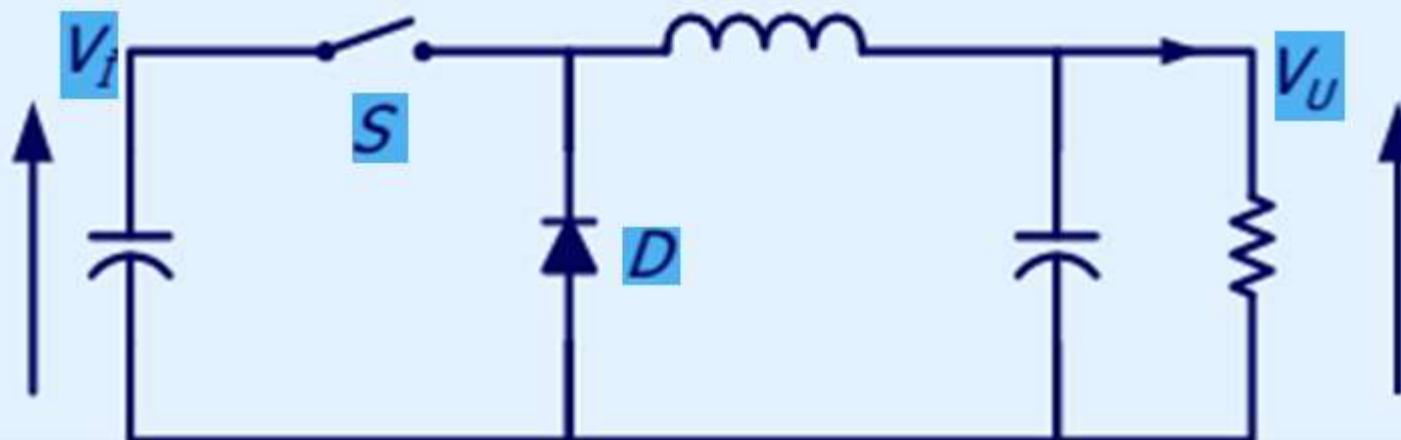
Buck-converter analisi nel tempo

- La chiave per ricavare la transcaratteristica dei convertitori switching consiste sempre nell'analisi di corrente e tensione nell'induttanza.
- Caratteristiche principali del componente ideale:
 - La corrente nell'induttanza non ha discontinuità
 - La relazione tra tensione e corrente in un induttore è la seguente

$$V_L = L \frac{di_L}{dt} \quad di_L = \frac{1}{L} V_L dt \quad i_L(t) = i_L(0) + \frac{1}{L} \int_0^t V_L(t') dt'$$

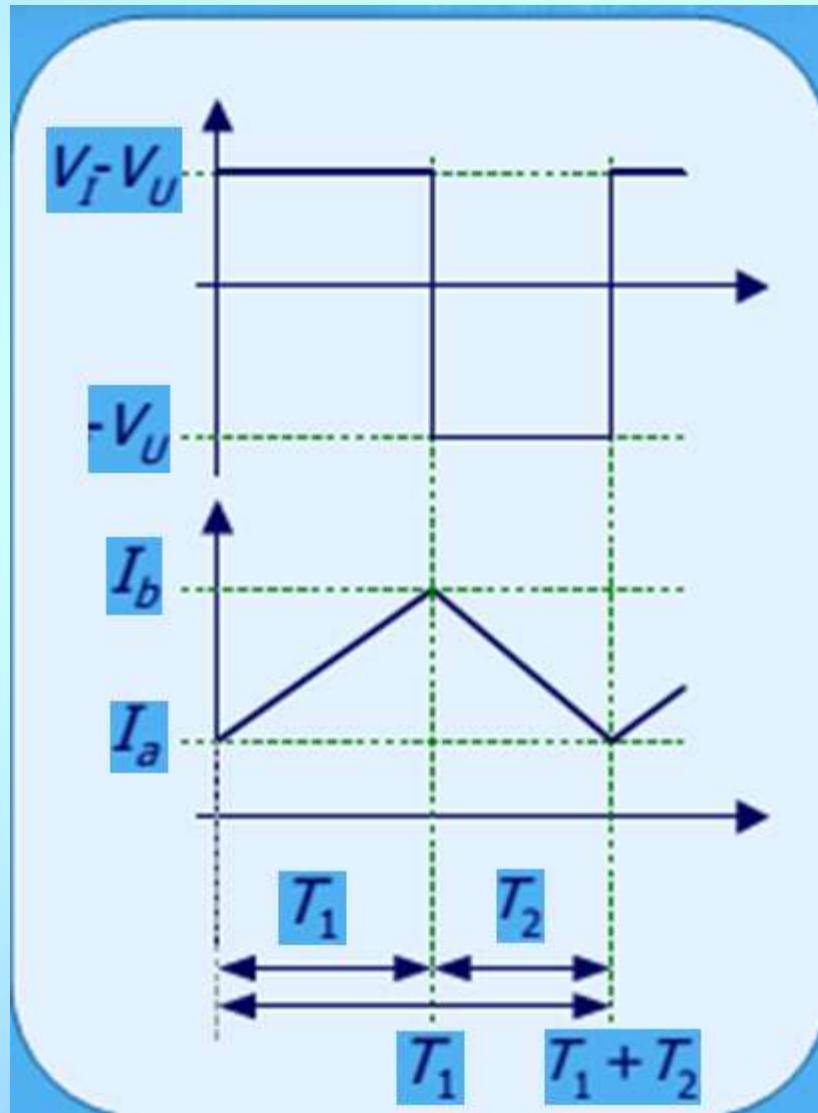
Buck-converter

- ▶ Si trascurano le cadute di tensione su D e su S
- ▶ Con S chiuso, la tensione ai capi di L vale $V_L = V_I - V_U$
- ▶ Con S aperto, la corrente in L continua a scorrere tramite D . Perché sia possibile, occorre che il verso della corrente sia concorde col diodo. Quindi:
 - Nel convertitore buck $V_I > V_U$



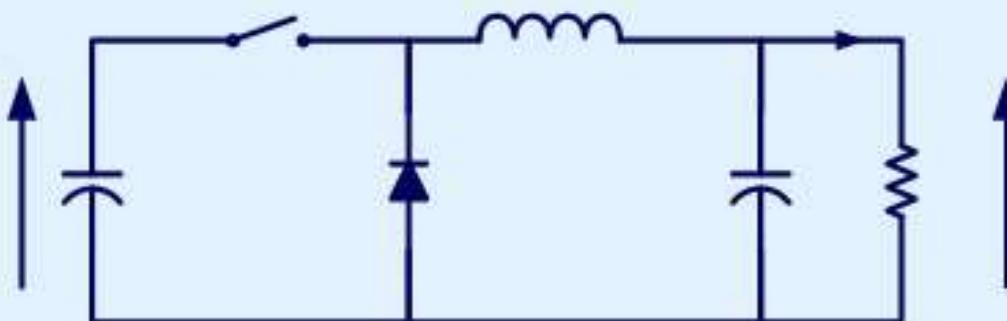
Buck-converter

- ▶ Indichiamo con I_a la corrente in L alla chiusura dell'interruttore
- ▶ Con S chiuso,
 $i_L(t) = I_a + t(V_I V_U)/L$
- ▶ Al termine di T_1 la corrente avrà raggiunto il valore
 $I_b = I_a + T_1(V_I V_U)/L$
- ▶ $I_b - I_a = T_1(V_I V_U)/L$



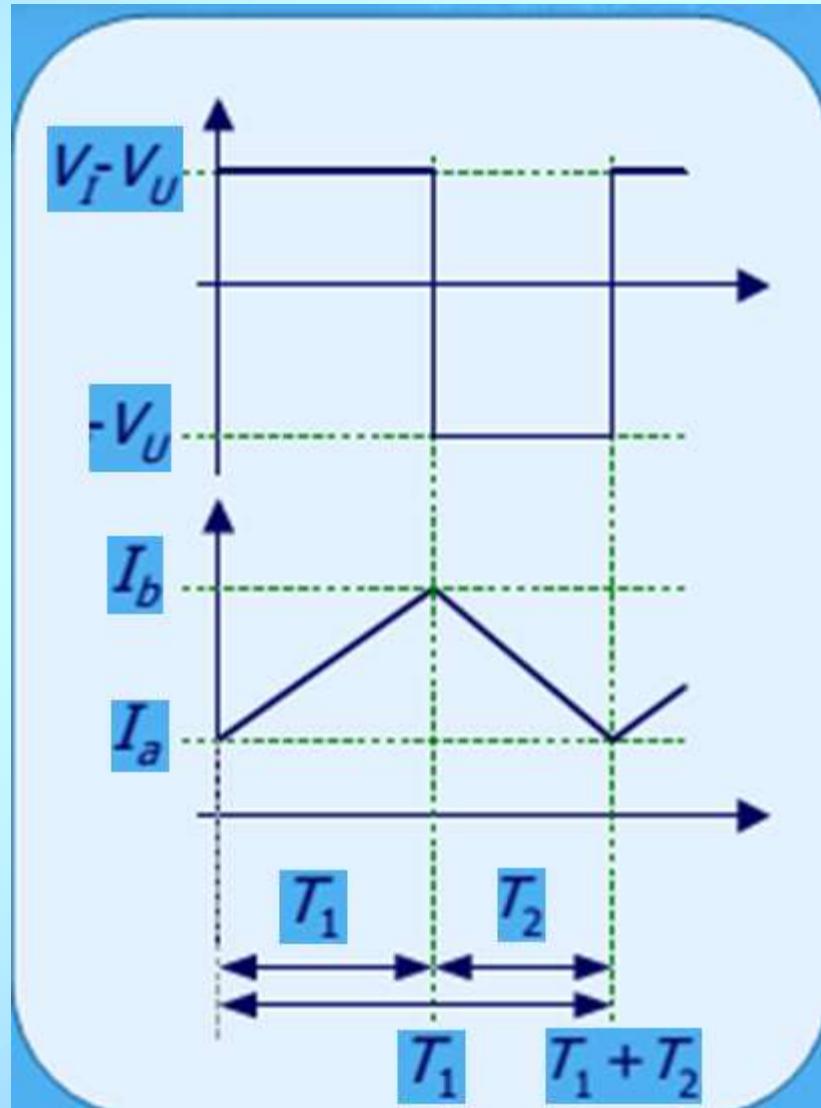
Buck-converter

- ▶ Con S aperto, la tensione ai capi di L vale $V_L = -V_U$
- ▶ Essendo V_U costante in un periodo, la corrente I_L sarà una rampa.
- ▶ Il valore finale dovrà coincidere con I_a (ipotesi di regime)



Buck-converter

- ▶ Con S aperto,
 $i_L(t) = I_b + t(-V_U) / L$
- ▶ Al termine di T_2 la corrente avrà raggiunto il valore
 $I_a = I_b - T_2 V_U / L$
- ▶ $I_b - I_a = T_2 V_U / L$

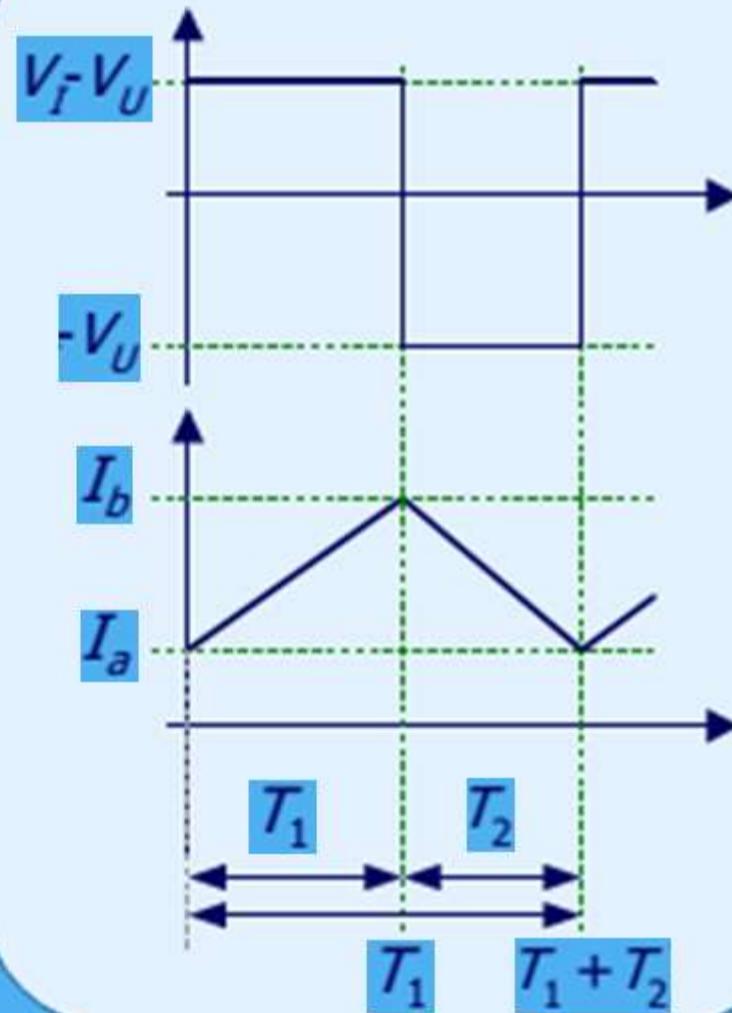


Buck-converter

- ▶ La relazione trovata tra V_U e V_I dà una prima idea dei compiti dell'anello di controllo. Per variare la tensione d'uscita si dovrà agire su T_1 T_2 .
- ▶ Sono possibili diverse strategie:
 1. T_1 costante, T_2 variabile
 2. T_1 variabile, T_2 costante
 3. T_1 variabile, T_2 variabile, ma $T_1 + T_2$ costante
- ▶ Le prime due scelte implicano variazione della frequenza di commutazione, la terza no
- ▶ La scelta 3 permette filtraggio più semplice dei disturbi prodotti dalle commutazioni dell'interruttore

Buck-converter

- ▶ Eguagliando le due espressioni di $I_b - I_a$ si ottiene:
 - $T_1(V_I - V_U) / L = T_2 V_U / L$
 - $T_1 V_I = (T_1 + T_2) V_U$
 - $V_U = V_I T_1 / (T_1 + T_2)$
- ▶ La relazione tra le tensioni di ingresso e di uscita è solo funzione dei valori di T_1 e T_2



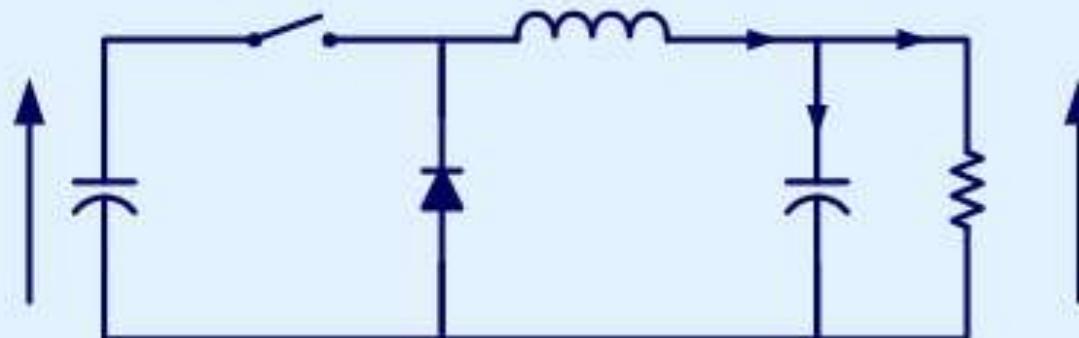
Buck-converter

($V_u < V_i \rightarrow$ è detto anche step-down;
siccome efficienza teorica è 100% allora
 $P_u = P_i$ e dunque $I_u > I_i$)

- ▶ Si definisce Duty-Cycle D la quantità
 - $D = T_1 / (T_1 + T_2)$
- ▶ La relazione tra V_u e V_i per il convertitore buck diventa:
 - $V_u / V_i = D$
- ▶ Il rapporto V_u / V_i nei convertitori switching si indica normalmente con M
 - $M = D$ per un convertitore buck in CCM
- ▶ Poiché D è compreso fra 0 e 1, si è riottenuto il risultato che V_u è minore o uguale a V_i

Buck-converter

- ▶ Quali sono le condizioni per lavorare in CCM?
- ▶ La funzione di C_u è di assorbire la parte variabile di I_L
- ▶ I_U coincide col valor medio di I_L e vale
 - $I_U = V_U / R_L$
- ▶ Il limite del funzionamento in CCM si ha per $I_a = 0$



Buck-converter

$$\frac{I_a + I_b}{2} = \frac{V_U}{R_L}$$

$$I_b - I_a = \frac{V_U}{L} T_2$$

- ▶ Espressione della corrente media nell'induttanza
- ▶ La differenza tra corrente massima e minima era già stata trovata prima, ma occorre esprimere la funzione di D

Buck-converter

$$\frac{I_a + I_b}{2} = \frac{V_U}{R_L}$$

$$I_b - I_a = \frac{V_U}{L} T_2$$

► Dalla definizione di D si può ricavare un'espressione alternativa per T_2

$$D = \frac{T_1}{T_1 + T_2} = \frac{T_1}{T_{SW}}$$

$$T_2 = T_{SW}(1 - D)$$

$$T_2 = \frac{1 - D}{f_{SW}}$$

Buck-converter

$$\frac{I_a + I_b}{2} = \frac{V_u}{R_L}$$

$$I_b - I_a = \frac{V_u}{L} T_2$$

$$D = \frac{T_1}{T_1 + T_2} = \frac{T_1}{T_{SW}}$$

$$T_2 = T_{SW}(1 - D)$$

$$T_2 = \frac{1 - D}{f_{SW}}$$

► Le relazioni trovate finora possono essere combinate per ottenere un sistema

$$\begin{cases} I_b + I_a = & \frac{2V_u}{R_L} \\ I_b - I_a = & \frac{V_u}{L \cdot f_{SW}}(1 - D) \end{cases}$$

Spesso si dimensiona per
 $I_a = 0 \rightarrow I_b = I_{max} = 2 * V_u / R_L = 2 * I_u$

Buck-converter

- ▶ Risolvendo il sistema per I_a e imponendo che sia maggiore di zero si ottiene:

$$I_a = \frac{V_u}{R_L} - \frac{V_u}{2L \cdot f_{sw}}(1 - D)$$

$$L \cdot f_{sw} > \frac{R_L(1 - D)}{2}$$

Spesso si dimensiona per
 $I_a=0 \Rightarrow L=RL^*(1-D)/2F_{sw}$

Buck-converter

- ▶ Risolvendo il sistema per I_a e imponendo che sia maggiore di zero si ottiene:
- ▶ Quali sono i gradi di libertà?

- R_L rappresenta il carico, i limiti sono dati di progetto
- D dipende dalla tensione d'ingresso

$$I_a = \frac{V_U}{R_L} - \frac{V_U}{2L \cdot f_{SW}} (1 - D)$$
$$L \cdot f_{SW} > \frac{R_L (1 - D)}{2}$$

- f_{SW} si sceglie con considerazioni su ingombro, efficienza e EMC (50kHz-1MHz)
- L è l'unico grado di libertà

Buck-converter

- ▶ Non è possibile progettare un regolatore Buck che funzioni in CCM per qualunque condizione di carico e tensione d'ingresso
- ▶ Il modo di funzionamento dipende dal valore dei parametri di progetto e dalle condizioni operative
- ▶ Data la corrente minima del carico(R_{LMAX}) e la tensione massima d'ingresso (D_{MIN}) è possibile trovare la L_{MIN} che garantisce il CCM in condizioni nominali

$$L > \frac{R_{LMAX}(1 - D_{MIN})}{2 \cdot f_{sw}}$$

Buck-converter

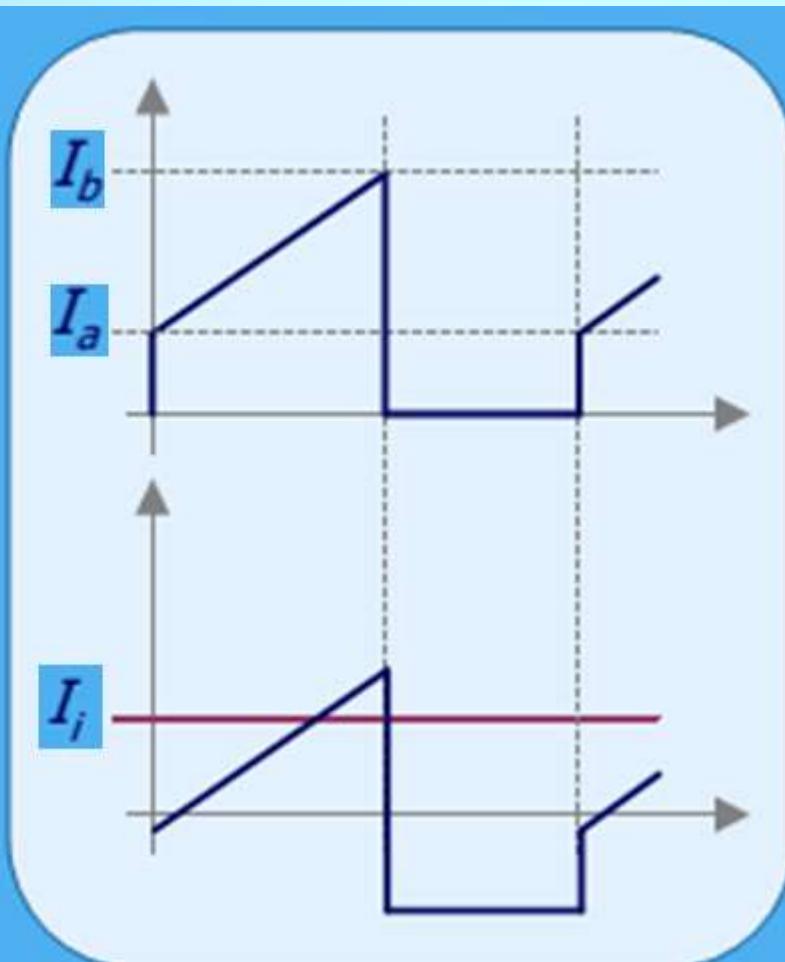
- ▶ Il convertitore buck CCM è un buon alimentatore?
- ▶ Regolazione di carico: $\Delta V_U / \Delta I_U = 0$
 - La tensione d'uscita dipende solo da tensione d'ingresso e Duty-Cycle, quindi è un buon generatore di tensione (finché si è in CCM)
- ▶ Regolazione di linea: $\Delta V_U / \Delta V_I = D$
 - E' compito del sistema di controllo stabilizzare la tensione d'uscita: il guadagno d'anello deve essere elevato
- ▶ Con 5 se diodo ideali il rendimento è del 100%

Buck-converter

- ▶ Che cosa succede in caso di anomalie in ingresso o uscita?
- ▶ Cortocircuito in uscita: OK
 - il sistema di controllo può facilmente controllare la corrente d'uscita e ridurre D in caso di sovraccarico
- ▶ Sovratensioni in ingresso: KO
 - L'interruttore è collegato direttamente all'ingresso, quindi è esposto alle sovratensioni d'ingresso

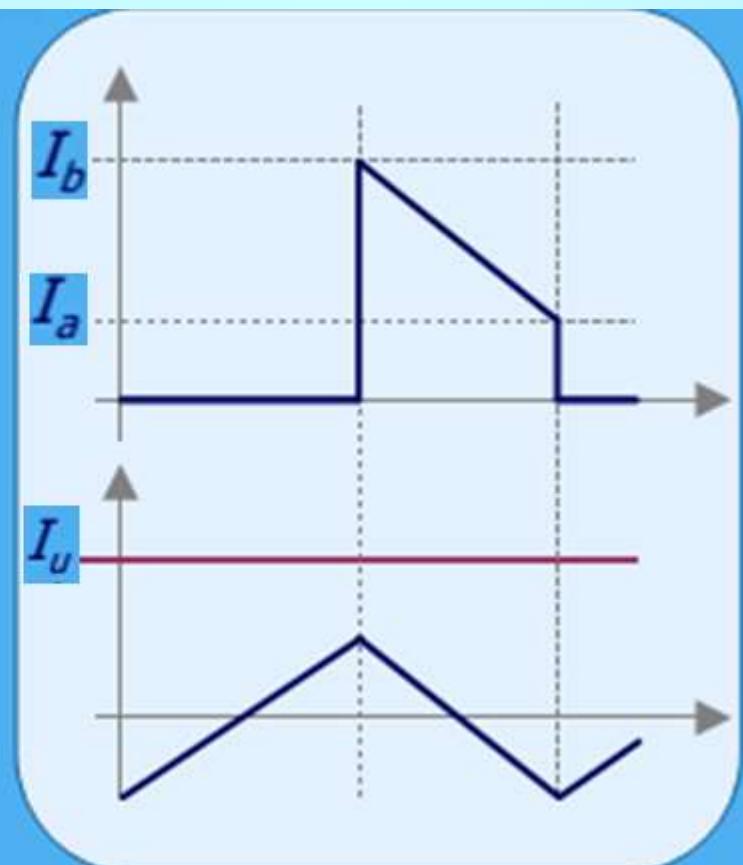
Buck-converter, correnti ingresso

- ▶ Abbiamo visto le forme d'onda sull'induttore. E il resto del circuito?
- ▶ i_s , corrente nell'interruttore, scorre solo quando S è chiuso, ed è la stessa di L durante T_1
- ▶ La corrente in C_i è quella dell'interruttore privata del valor medio
- ▶ La corrente d'ingresso I_i è il valor medio di i_s



Buck-converter, correnti di uscita

- ▶ La corrente nel diodo scorre solo quando S è aperto, ed è anch'essa pari a I_L (durante T_2)
- ▶ La corrente in C_u è pari al ripple della corrente nell'induttanza
- ▶ La corrente I_u è pari al valor medio della corrente nell'induttanza



Buck-converter, correnti



Dall'esame delle correnti si deduce che:

- Il convertitore produce bassi disturbi in uscita (non vi sono salti di corrente).
- La corrente d'ingresso invece è impulsiva, quindi un convertitore buck inietta facilmente disturbi nei circuiti a monte.
- Considerazioni analoghe portano a dire che il condensatore d'uscita sarà sottoposto a bassi stress (corrente RMS bassa) mentre quello d'ingresso sarà molto più sollecitato.

Buck-converter esempio di dimensionamento

Specifiche: V_i sia 36V DC e V_o 12V DC, con I_u 10 A

Ne segue che $P_{out}=120W$ e $R_L=1.2 \text{ Ohm}$

Duty cycle $D=V_o/V_i=1/3$

Se scelgo componenti di potenza pilotati con frequenza di switch $F_{sw}=100 \text{ kHz}$ (periodo $T_{sw}=10 \text{ us}$) $\rightarrow T_1=3.33 \mu\text{s}$, $T_2=6.66 \mu\text{s}$

Imponendo che $I_a=0 \rightarrow$

$$L=R_L \cdot (1-D)/2F_{sw} = 1.2 \cdot 0.66/200k \text{ H}=4 \mu\text{H} \text{ e}$$

$$I_b=I_{max}=2 \cdot I_u=20A$$

C in uscita è tale che $1/\sqrt{LC} << 2 \cdot 3.14 \cdot F_{sw} = 628k \text{ rad/s}$

Esempio con $C= 100\mu\text{F}$ si ha $1/\sqrt{LC}=50k \text{ rad/s}$

Buck-converter esempio di dimensionamento

Basta dunque selezionare BJT(o MOS) e diodi con:

I_{max} di almeno 20A

V_{max} di almeno V_{in} (36V)

Tempi di accensione/spegnimento e rise/fall inferiori ai 3.3/6.6.
μs (bastano anche sulle centinaia di ns)

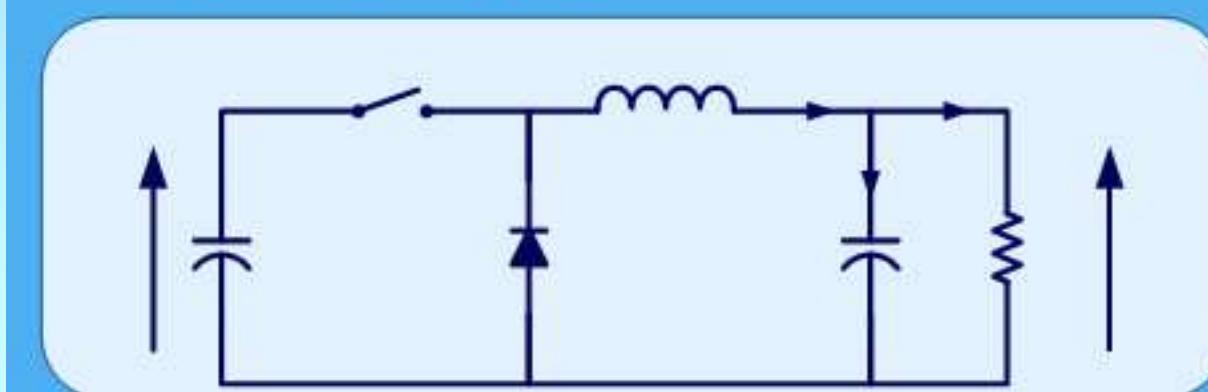
L da 4 μH con correnti tra 0 e 20 A (10A in media)

C_u da 100 μF con correnti tra -10A e 10 A (0 in media)

Ingresso ha corrente media pari a quella dello switch S che è in media 10A durante T₁ e 0 durante T₂ e dunque vale in media 10A*T₁/(T₁+T₂)= 3.33A (varia tra 0 e 20 A)

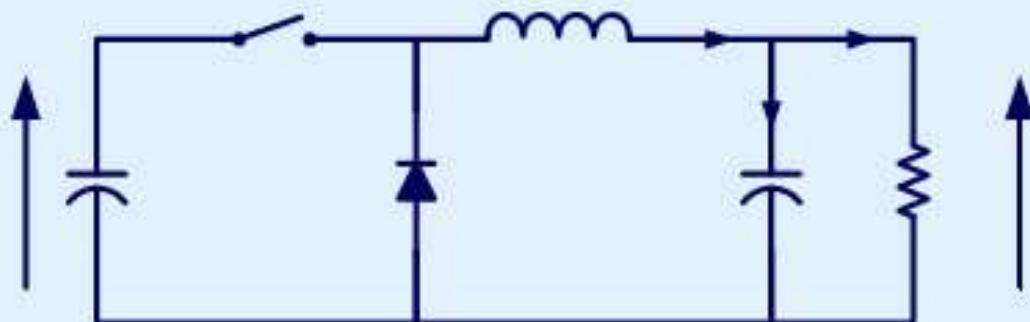
Buck-converter, perdite su switch

- ▶ Come variano le caratteristiche considerando la caduta di tensione sul diodo e sullo switch?
- ▶ Per quanto riguarda il diodo, esso modifica la tensione ai capi di L durante T_2 :
 - $i_L(t) = I_b + t(-V_U - V_D)/L$



Buck-converter, perdite su switch

- ▶ Se lo switch è un BJT, provoca una caduta di tensione costante V_S , che cambia il valore di V_L durante T_1 :
 - $i_L(t) = I_a + t(V_f V_u - V_s)/L$
- ▶ Nel caso di MOS, il comportamento è resistivo:
 - $V_s = i_L \cdot R_{ON}$
 - Il valor medio di i_L è I_u , quindi $V_s = V_u \cdot R_{ON} / R_L$

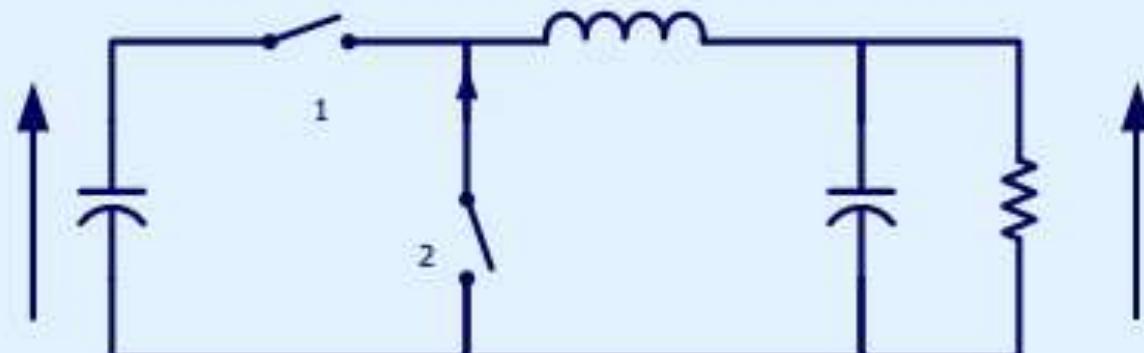


Buck-converter, perdite

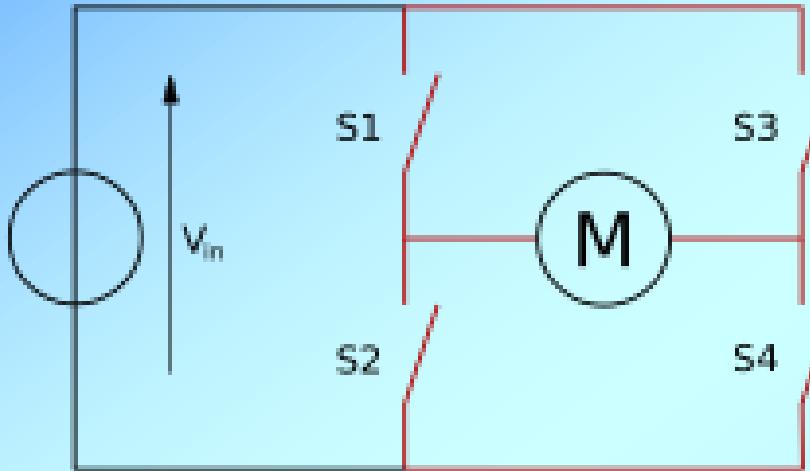
- ▶ Le equazioni precedenti permettono di calcolare facilmente la transcaratteristica tenendo conto delle cadute su diodo e switch.
- ▶ Altro parametro da considerare è la componente resistiva dell'induttore.
- ▶ Tutte queste considerazioni portano ad una definizione leggermente diversa della transcaratteristica, che viene però compensata dall'anello di controllo (D deve essere leggermente più alto per avere V_U voluta).
- ▶ Le cadute di tensione su diodo, switch e sulla componente resistiva dell'induttanza provocano anche dissipazione di potenza
- ▶ Altra potenza viene dissipata nelle commutazioni dell'interruttore e nella ESR dei condensatori
- ▶ In generale, il fattore predominante per il rendimento è il comportamento dello switch, ma anche la caduta sul diodo può essere un problema, specie in caso di basse tensioni d'uscita.

Synchronous rectifier

- Un modo per migliorare il rendimento è sostituire il diodo con uno switch: si parla di synchronous rectifier.
- S_2 deve essere chiuso durante T_2 ma deve essere aperto se I_{S2} va a zero (DCM).
- Anello di controllo più complesso (deve leggere I_{S2})

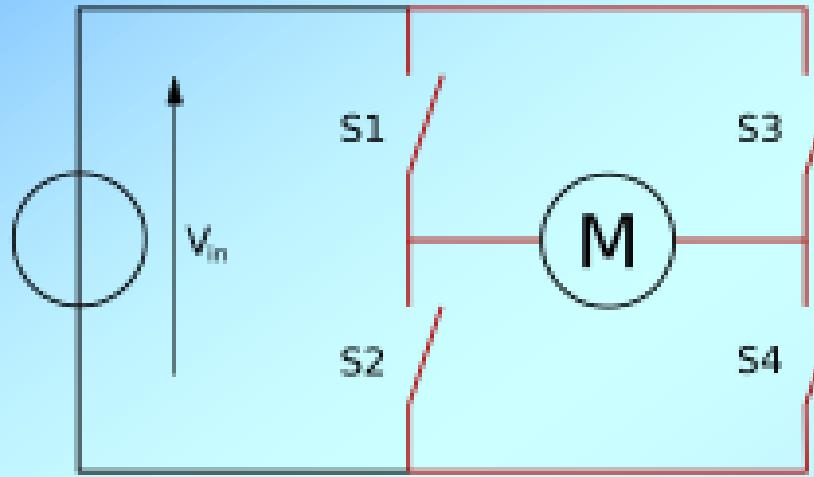


Da Half a Full Bridge



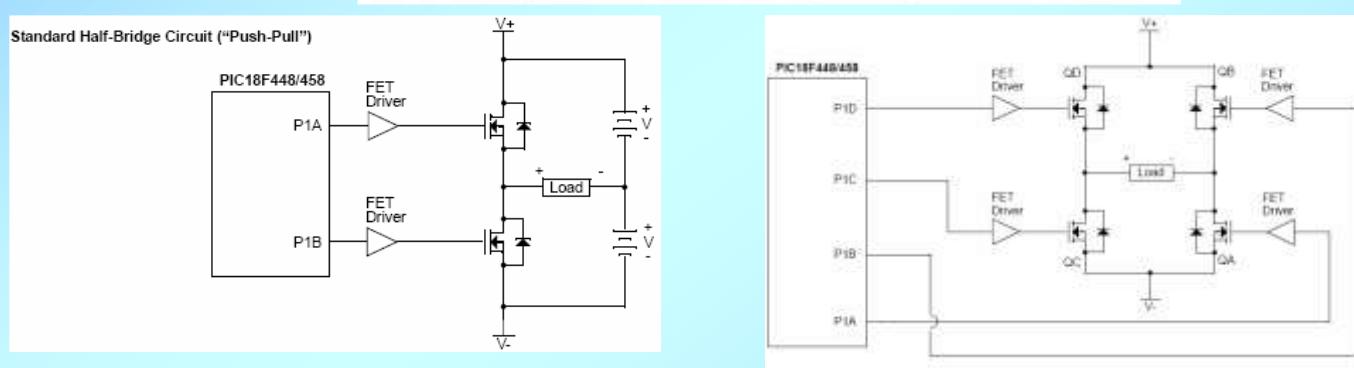
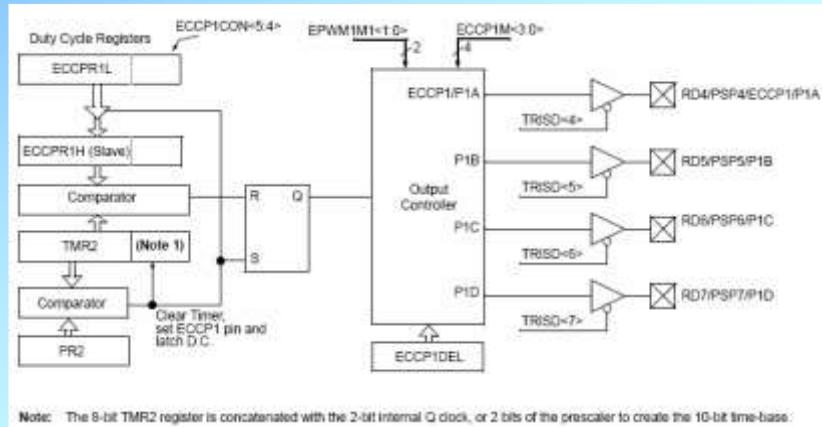
Può funzionare nei quattro quadranti del piano corrente-tensione sul carico. Corrente e tensione di carico possono essere sia positive che negative. Per un carico induttivo, es. un motore in continua, questo tipo di convertitore può controllare il flusso di potenza e la velocità del motore nel funzionamento diretto (tensione e corrente di carico positive), nella frenatura a recupero diretto (tensione di carico positiva e corrente di carico negativa), nel funzionamento inverso (tensione e corrente di carico negative). Lo schema del convertitore viene realizzato mediante una struttura detta “ponte H”

Da Half a Full Bridge



La tensione di ingresso è fissa e pari a V_d , mentre quella di uscita è pari a V_0 e può essere controllata in ampiezza e polarità, variando gli istanti di conduzione degli switch. Gli switch dello stesso ramo non possono condurre simultaneamente, ovvero non può avvenire l'accensione contemporanea dei transistors di una stessa gamba, per evitare i cosiddetti "corti di gamba", che distruggerebbero i componenti del ramo, nella pratica vi sarà un intervallo di tempo molto piccolo (detto blanking time) in cui gli switch della stessa gamba saranno in condizione di off.

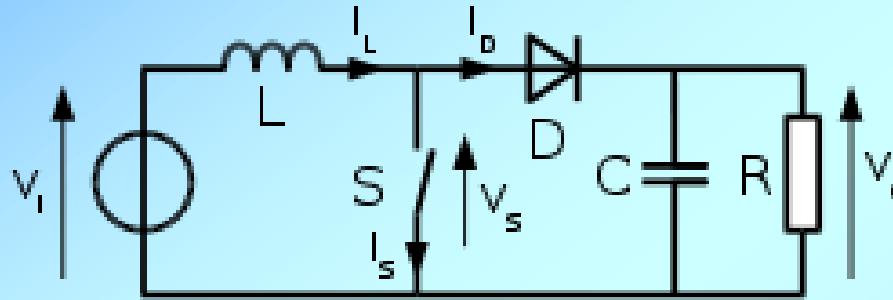
Controlli da MCU per Half e Full Bridge



MCU con algoritmo di controllo genera internamente i segnali per comandare half e full bridge (Gate driver necessari se out di MCU non ha abbastanza tensione/corrente per pilotare Power Switch, es IGBT con 2500 pF 10V su Gate in 100 ns chiede 250 mA ($I=C \cdot dV/dt$)

Boost converter

(detto anche Step-up converter)

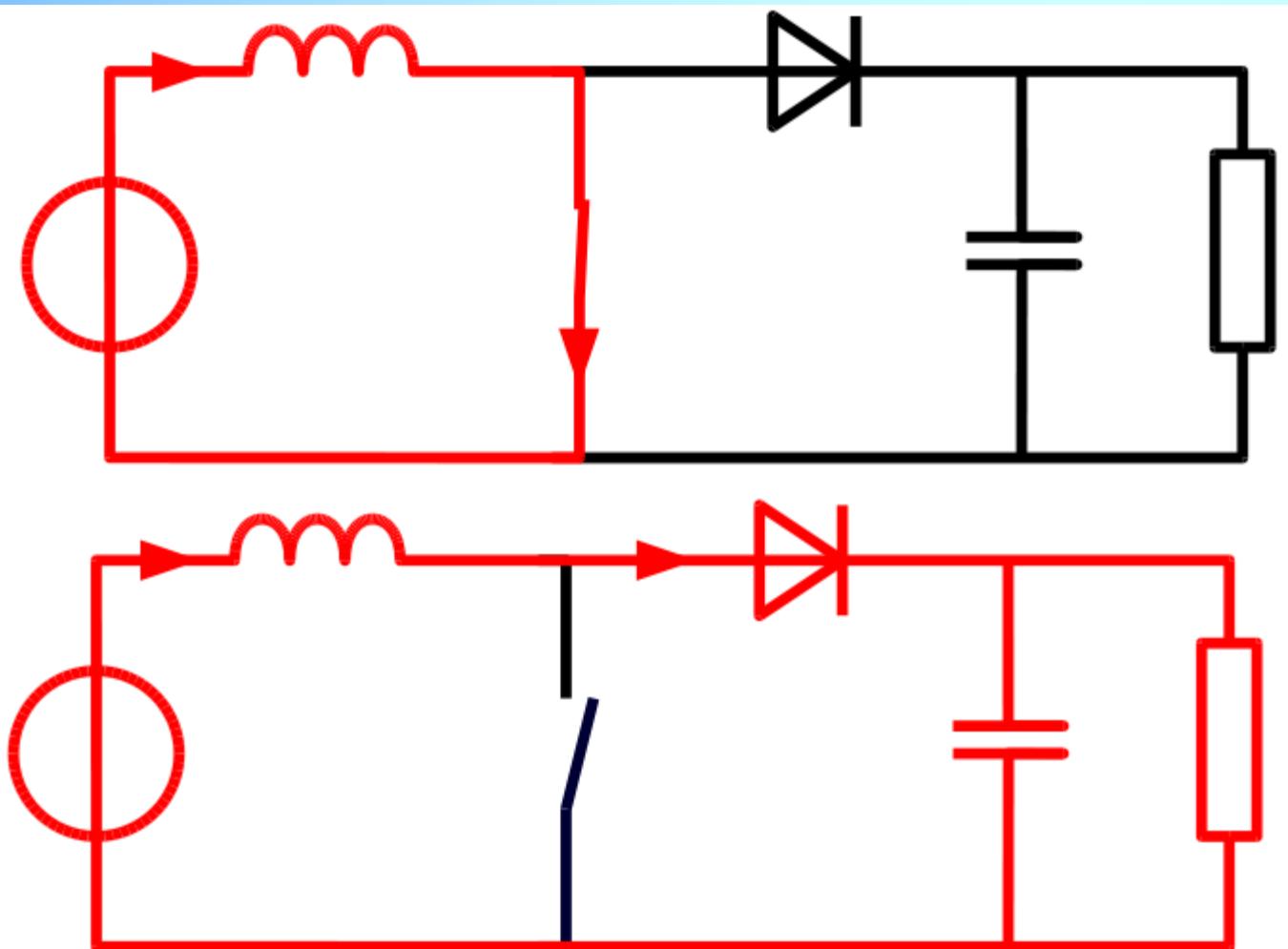


Una volta compreso il buck converter, le altre topologie sono ricavabili seguendo gli stessi principi.

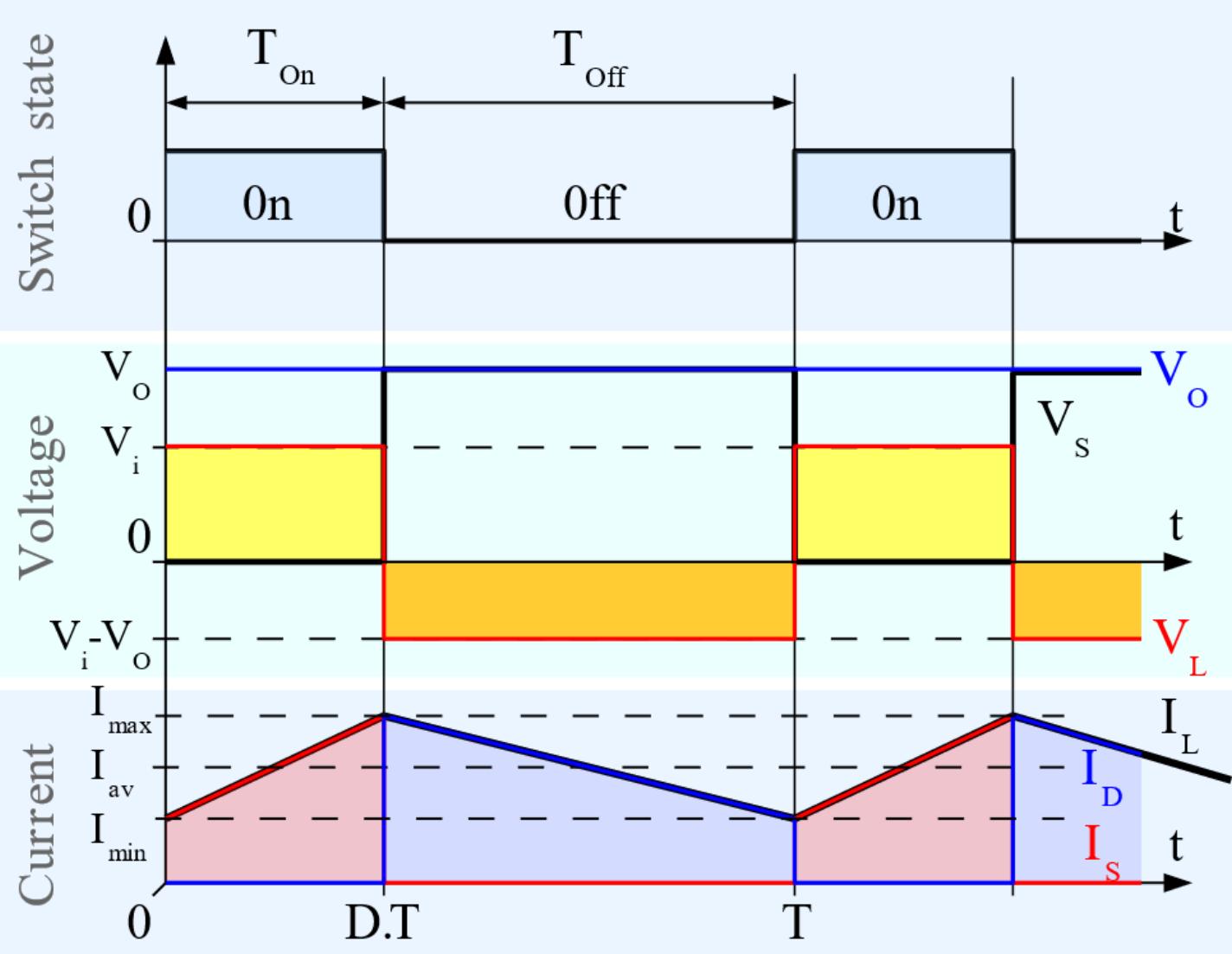
Ad esempio il boost converter è usato per avere una tensione di uscita più grande di quella di ingresso (la corrente sarà minore non potendo avere rendimenti maggiori di uno)

$$V_o = V_i / (1 - D)$$

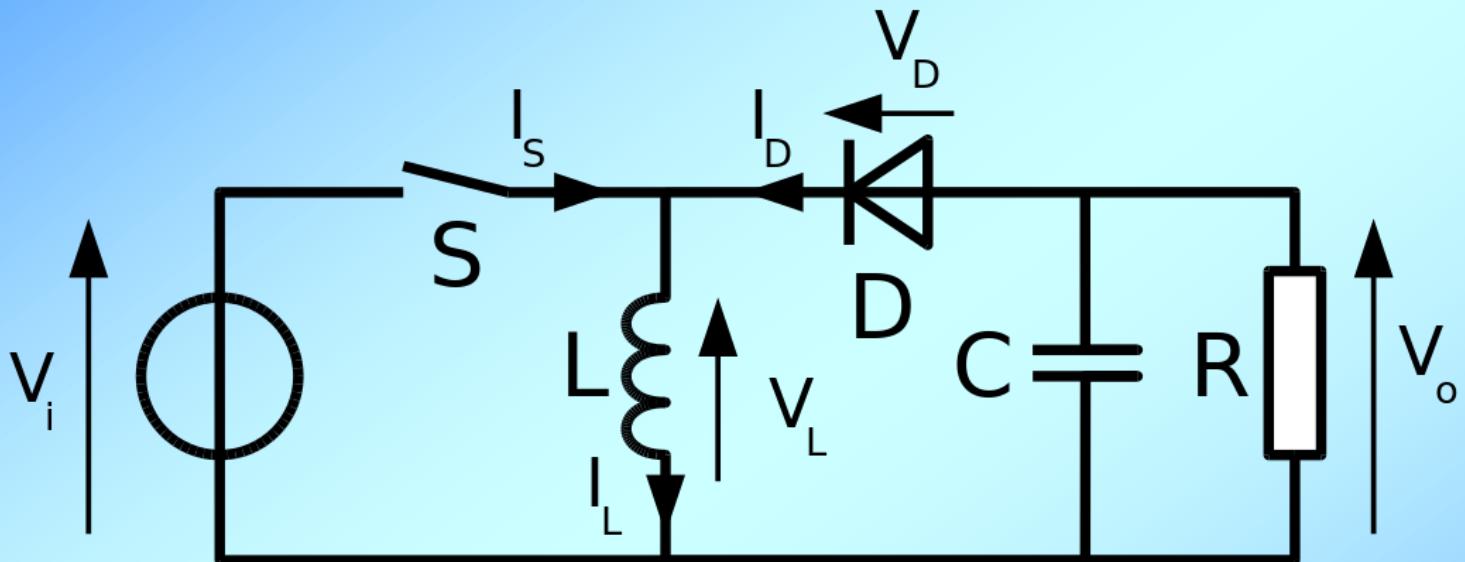
Boost converter



Boost converter



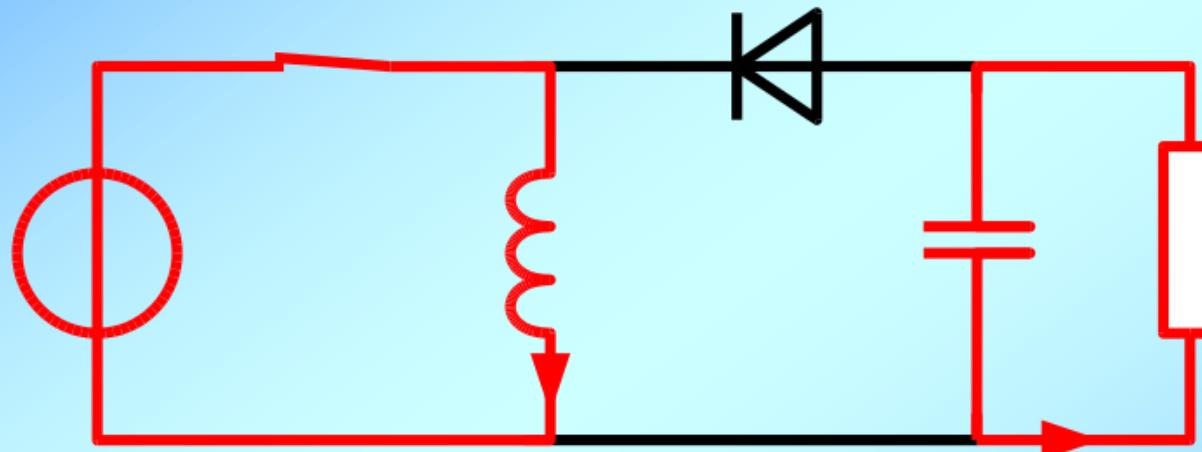
Buck-Boost converter



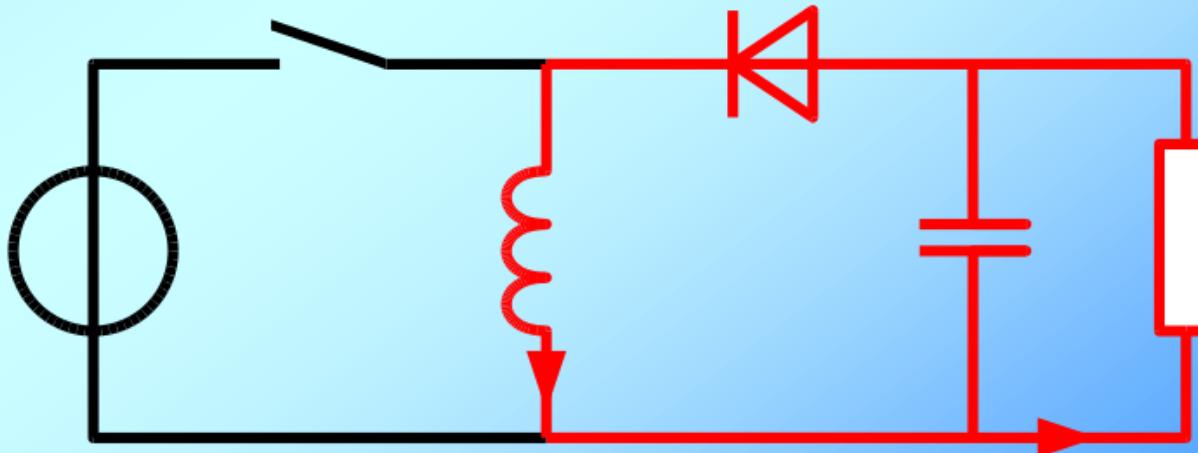
Buck-Boost converter usato per avere una tensione di uscita in opposizione di fase a quella di ingresso, sia minore che maggiore in modulo
 $Abs(V_o) = Abs(V_i) * D / (1 - D)$

Buck-Boost converter

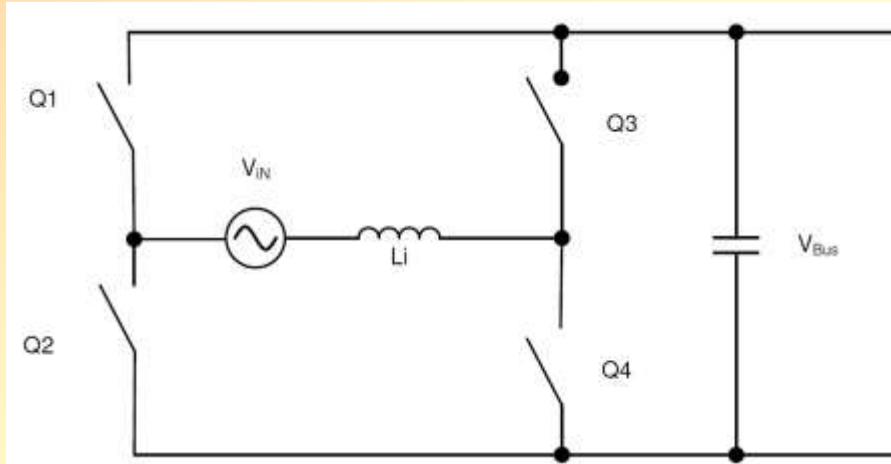
On-State



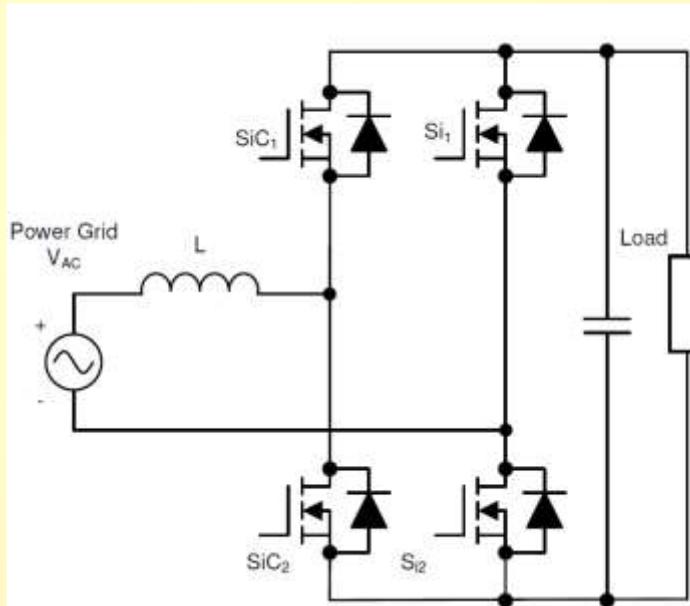
Off-State



MOS Bridge anche per AC/DC



Totem-Pole Bridgless AC/DC conversion con SiC MOSFET per on-board power charger (grazie a SiC Mosfet reggono tensione di linea)



MOS Bridge anche per AC/DC

A differenza di AC/DC con regolatori a SCR sorgente in AC (rete) vede assorbimento come se carico fosse resistivo anche se carico ha parte reattiva → ottima PFC (Power Factor Correction)

[https://www.ti.com/lit/ug/tidu...
e54b/tidue54b.pdf?ts=1593108591005&ref_url=https%253A%252F%252Fwww.ti.com%252Ftool%252FTIDA-01604](https://www.ti.com/lit/ug/tidue54b/tidue54b.pdf?ts=1593108591005&ref_url=https%253A%252F%252Fwww.ti.com%252Ftool%252FTIDA-01604)

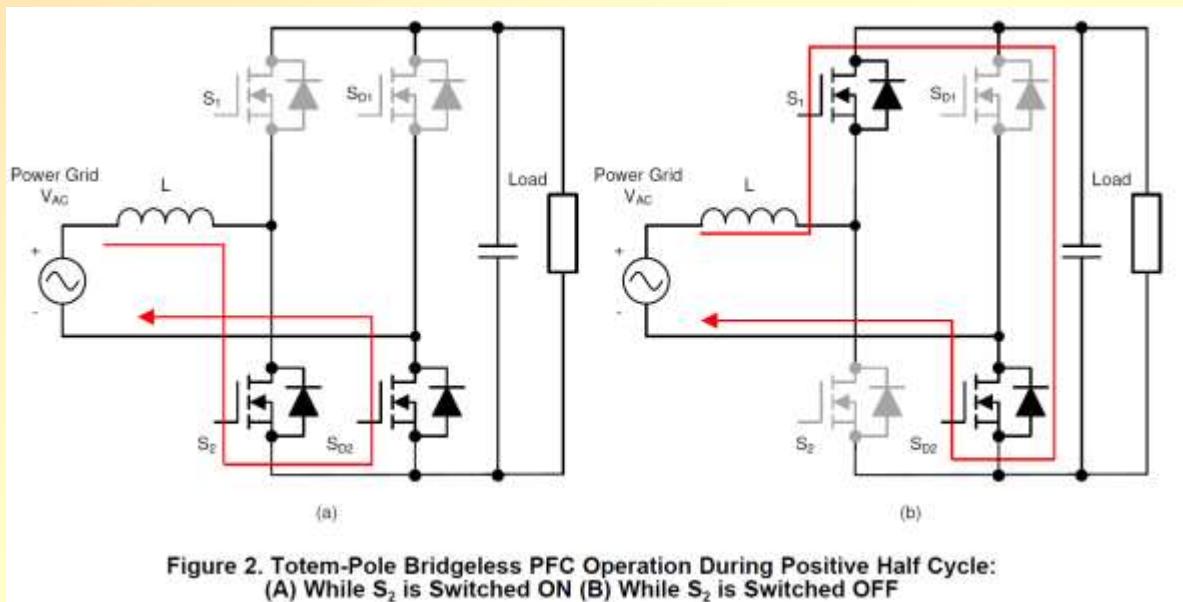


Figure 2. Totem-Pole Bridgeless PFC Operation During Positive Half Cycle:
(A) While S_2 is Switched ON (B) While S_2 is Switched OFF

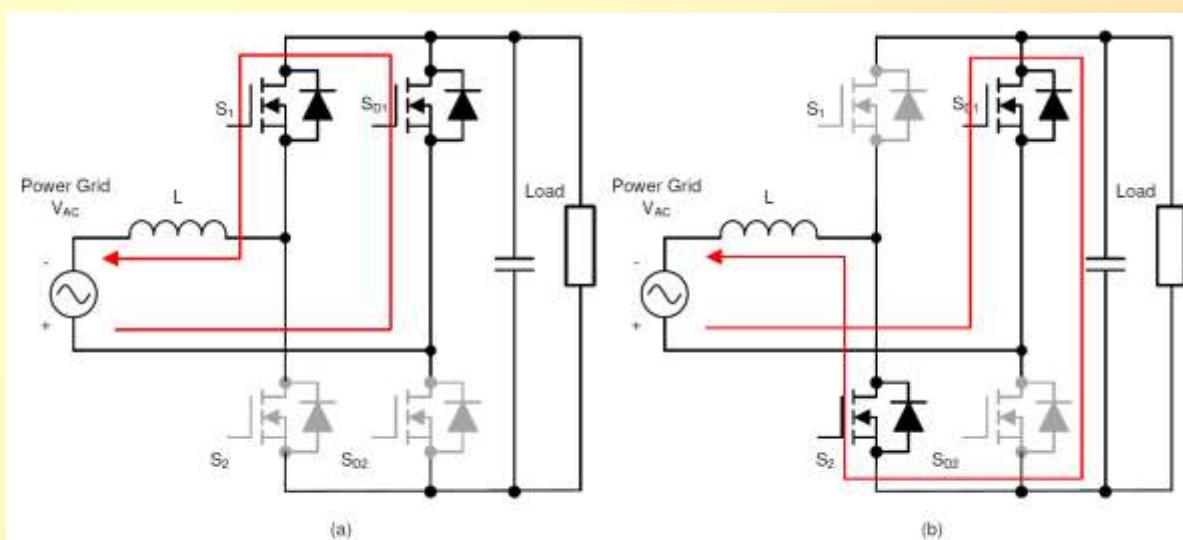
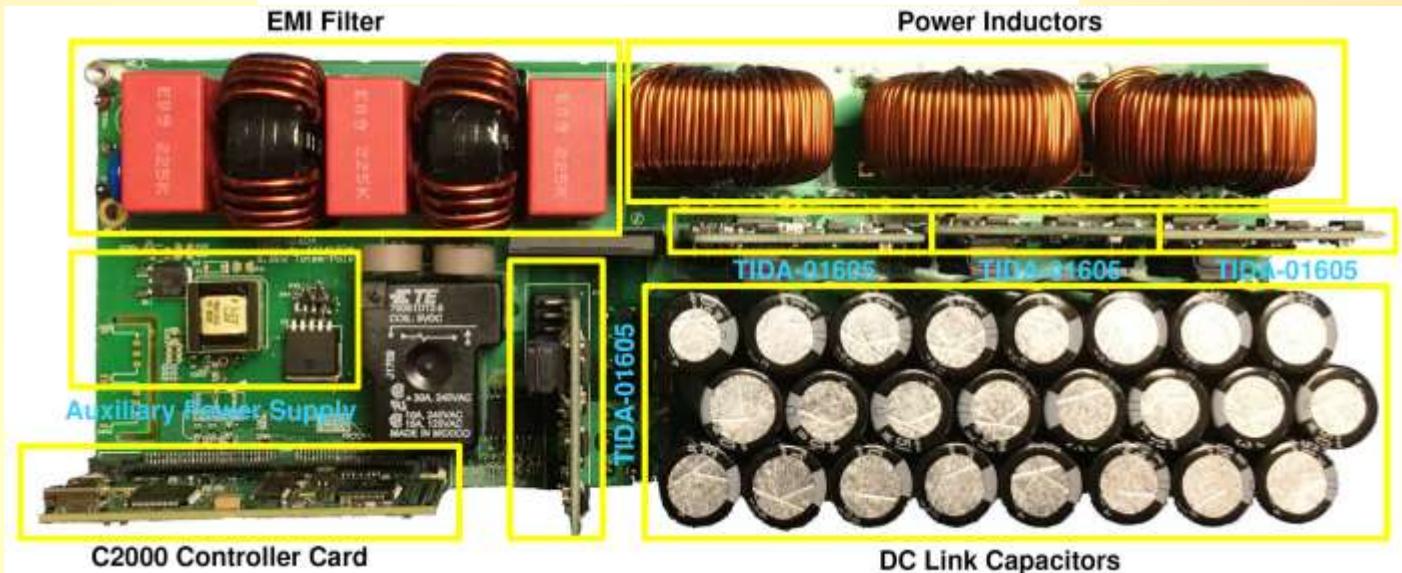
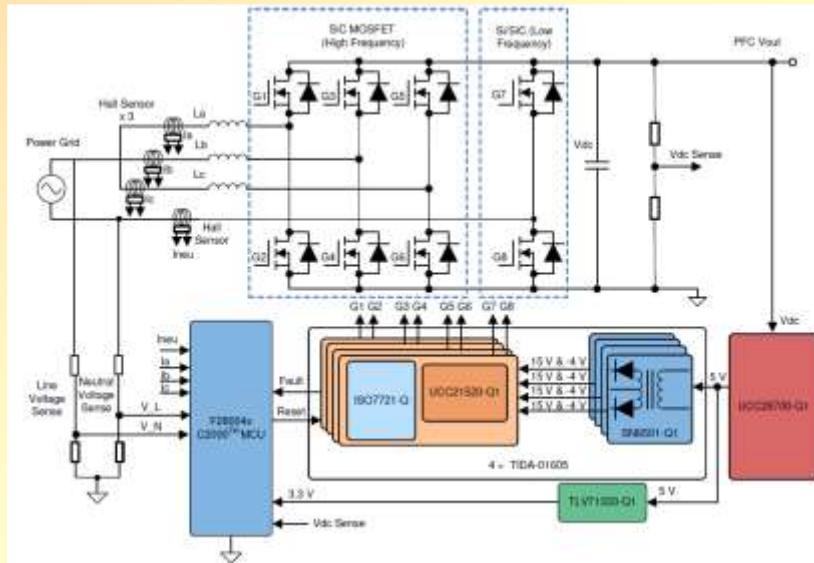


Figure 3. Totem-Pole Bridgeless PFC Operation During Negative Half Cycle:
(A) While S_1 is Switched ON (B) While S_1 is Switched OFF

6.6 kW on-board charger con SiC MOSFET Bridge (trifase e neutro)



Esercitazione convertitori di potenza

Automotive Electronics and Powertrain Electrification
Prof. Ing. Sergio Saponara

Esercitazione convertitori di potenza

Agenda

Convertitore 48V-12V Buck dimensionamento A ($F_{sw}=100$ kHz)

Scelta componenti

Charge Pump per High side driver

Convertitore 48V-12V Buck dimensionamento B ($F_{sw}=1$ kHz)

Dimensionamento convertitore 48V-12V con regolatore lineare

Dimensionamento convertitore 12V-48V Boost

Esempio dimensionamento convertitori bidirezionali

Buck-converter esempio di dimensionamento A

Specifiche: V_i sia 48V DC e V_o 12V DC, con I_u 100 A
Ne segue che $P_u=1.2$ kW (Pin sarà poco più di 1.2kW se efficienza è alta)
e $R_L=0.12$ Ohm

$$\text{Duty cycle } D = V_o/V_i = 1/4$$

A) Se scelgo componenti di potenza pilotati con frequenza di switch $F_{sw}=100$ kHz
(periodo $T_{sw}=10$ us) $\rightarrow T_{on}=2.5$ μs , $T_{off}=7.5$ μs

Imponendo che $I_a=0 \rightarrow$
 $L=R_L * (1-D)/2F_{sw} = 0.12 * 0.75/200k H = 0.45 \mu H$ e
 $I_b=I_{max}=2*I_u=200A$

C in uscita è tale che $1/\sqrt{LC} << 2 * 3.14 * F_{sw} = 628k$ rad/s
Es con $C= 1.1mF$ si ha $1/\sqrt{LC} = 44.72k$ rad/s

Buck-converter esempio di dimensionamento A

Basta dunque selezionare 2 MOS o (1 MOS e 1 diodo) con:

I_{max} di almeno 200A, V_{max} di almeno V_{in} (48V)

T_{on} di MOS1 è la T_{off} di MOS2 e viceversa

- A) Tempi di accensione/spegnimento e rise/fall inferiori ai 2.5 μ s (bastano 1 ordine di grandezza meno ovvero sui 250 ns)
Fattibile → es. XK1R9F10QB by Toshiba

L da 0.45 μ H con correnti tra 0 e 200 A (100A in media)

C_u da 1.1 mF con correnti tra -100A e 100 A (0 in media)

Fattibile

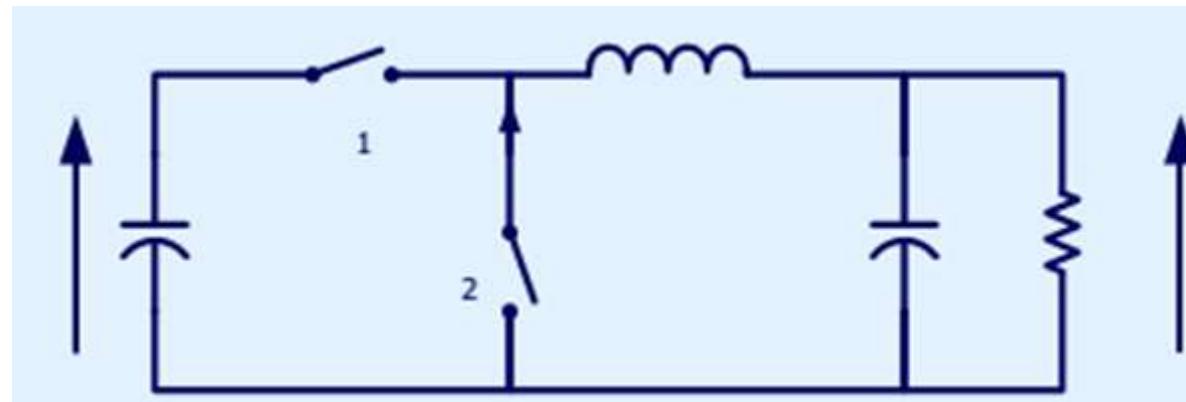
Buck-converter esempio di dimensionamento A

Ingresso ha corrente I_{in} media pari a quella dello switch S1 che è in media 100A durante T_1 (come L) e 0 durante T_2 e dunque vale in media $100A \cdot T_1 / (T_1 + T_2) = 25A$ (e varia tra 0 e 200 A)

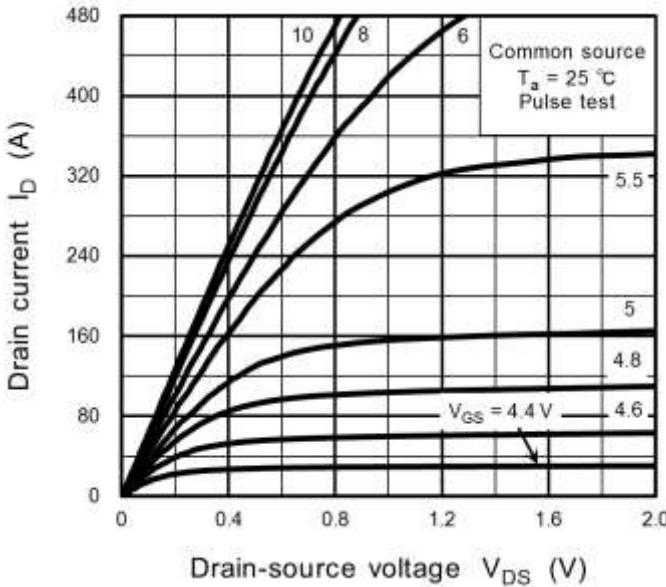
Del resto lato in $25A \cdot 48V = 100A \cdot 12V$ lato out

La C_{in} ha una corrente come quella di S1 abbassata dei 25A di media ovvero varia tra -25A e 175A con I_{media} nulla.

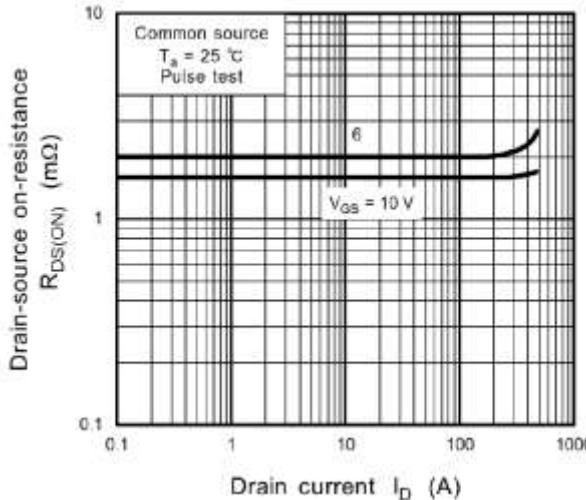
C_{in} va dimensionata tale che $1/2\pi R_{sorgente} \cdot C_{in} << f_{sw}$



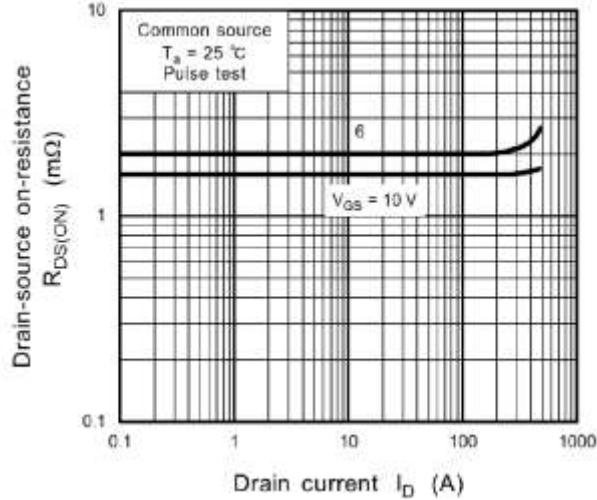
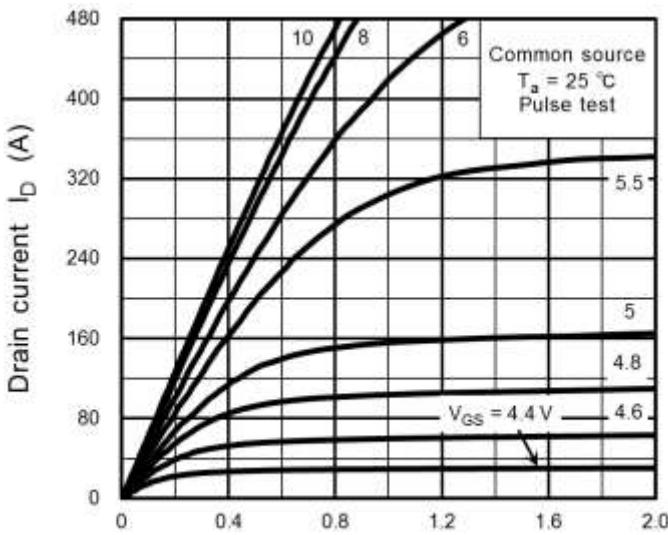
XK1R9F10QB by Toshiba, VDS max 100V



N-Channel MOS
Con $V_{GS}=6V$ regge I_D di picco di 200A con caduta limitata a 0.4V
e $R_{DSON}=2\text{ mOhm}$
(Con I media di 100A la R_{DSON} di 2 mOhm comporta in media
una caduta di 0.2V e una dissipazione di potenza di 20W,
fattibile visto che PowerMOS Toshiba regge 375W di potenza
continua dissipata)



XK1R9F10QB by Toshiba, VDS max 100V



$$P_{Gdr} = Q_G \cdot (V_{GE(on)} - V_{GE(off)}) \cdot f_{sw}$$

Gatecharge $Q=184\text{ nC}$

$$P_{gate} = V_{gate} \cdot I_{gate} = 184\text{ nC} \cdot 6\text{ V} \cdot 100\text{ kHz} = 110.4\text{ mW}$$

(su 2 switch sono $P_{diss, gate} = 0.22\text{ W}$ trascurabili rispetto ai 20 W di P_{diss} spediti in conduzione, in ogni caso con $P_{out} = 1200\text{ W}$ sprecare 20 W ho sempre una efficienza del 98%)

Siccome $Q = C \cdot V$ e $P = V \cdot I \rightarrow$

$$I_{gate} = 184\text{ nC} \cdot 100\text{ kHz} = 18.4\text{ mA}$$

(PIC-MCU regge fino a 25 mA)

$T_r + T_{on} = 170\text{ ns}$, $t_f + T_{off} = 274\text{ ns}$ (al limite)

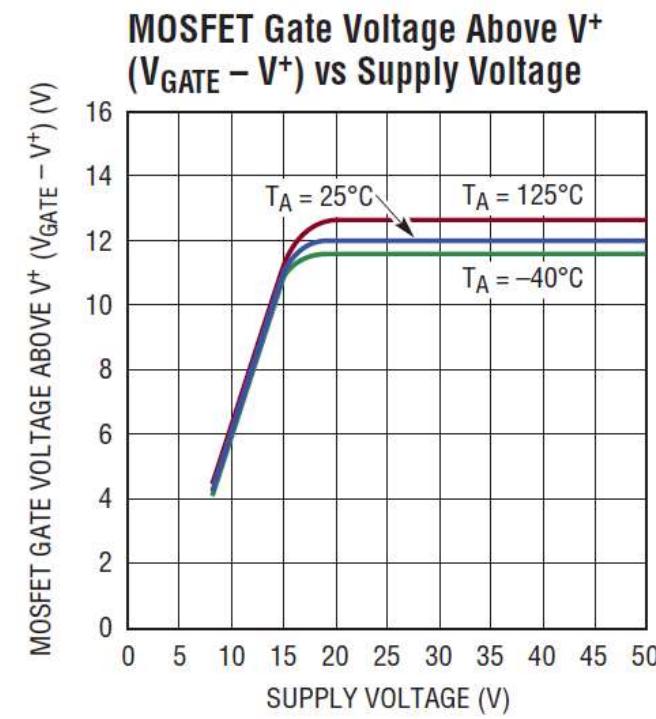
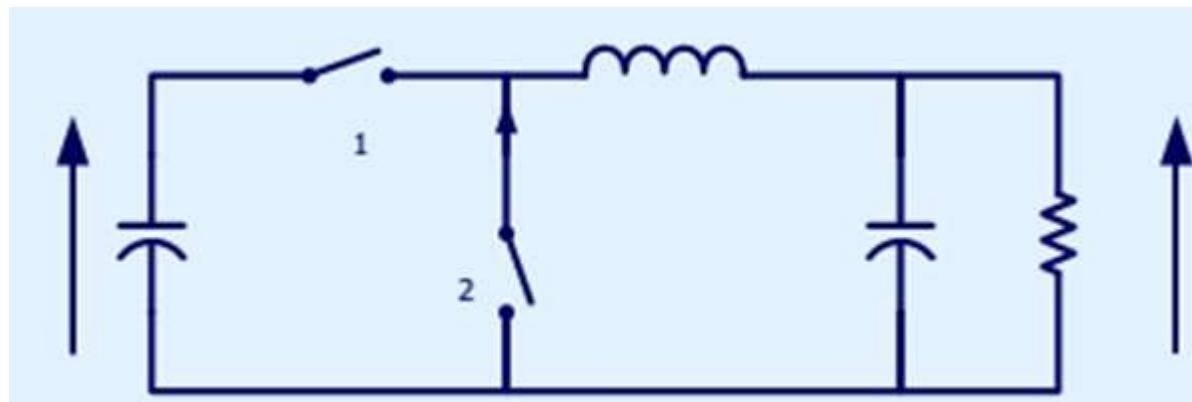
Charge Pump per High Side Driver

N-channel MOS

Se deve lavorare con V_{GS} di 6 V e lo uso sia come switch 1 che al posto del diodo come switch 2

allora in switch 1 (High Side) quando conduce $V_{S1}=48V$ e V_{G1} deve raggiungere $38V+6V =54V \rightarrow$ se Gate Driver è alimentato al max da 48V serve gate driver con charge pump

Es. <https://www.analog.com/media/en/technical-documentation/data-sheets/1910fc.pdf>



High-side con MOS N-channel o P channel

Dunque per Low-side no problem usare N-Channel MOS.

Per High side se uso N-channel MOS deve usare anche Gate Driver con Charge pump oppure se no devo usare MOS P-channel che richiederebbe livelli di $V_g=48V$ se spento ($V_s=48V$ e quindi $V_{sg}=0V$) e $V_g=42V$ se acceso ($V_s=48V$ e quindi $V_{sg}=6V$).

In ogni caso MCU non è in grado di erogare direttamente 42V e 48V e dunque anche se non charge pump qualche traslatore di livello serve comunque.

Ricordarsi infine che P channel MOS sono a parità di costruzione 2.5-3 volte peggiori (es. R_{on} più alta, corrente ma C più bassa) di N-Channel

Buck-converter esempio di dimensionamento B

Specifiche: V_i sia 48V DC e V_o 12V DC, con I_u 100 A
Ne segue che $P_{out}=1.2$ kW e $R_L=0.12$ Ohm

Duty cycle $D=V_o/V_i=1/4$

B) Se scelgo componenti di potenza pilotati con frequenza di switch $F_{sw}=1$ kHz
(periodo $T_{sw}=1$ ms) $\rightarrow T_1=250$ μ s, $T_2=750$ μ s

Imponendo che $I_a=0 \rightarrow$
 $L=R_L*(1-D)/2F_{sw}= 0.12 *0.75/2k H=45 \mu$ H e
 $I_b=I_{max}=2*I_u=200A$

C in uscita è tale che $1/\sqrt{LC} << 2*3.14*F_{sw}=6.28k$ rad/s
Es con $C= 90mF$ si ha $1/\sqrt{LC}=0.5k$ rad/s

Buck-converter esempio di dimensionamento B

Basta dunque selezionare 2 MOS o (1 MOS e 1 diodo) con:

I_{max} di almeno 200A

V_{max} di almeno V_{in} (48V)

B) Tempi di accensione/spegnimento e rise/fall inferiori ai 250 µs (bastano 1 ordine di grandezza meno ovvero 25 us)

Fattibile

L da 45 µH con correnti tra 0 e 200 A (100A in media)

C_u da **90 mF** con correnti tra -100A e 100 A (0 in media)

Valori critici

Ingresso ha corrente media pari a quella dello switch S che è in media 100A durante T₁ e 0 durante T₂ e dunque vale in media $100A \cdot T_1 / (T_1 + T_2) = 25A$ (e varia tra 0 e 200 A)

esempio di dimensionamento regolatore lineare **(Non fattibile)**

Specifiche: V_i sia 48V DC e V_u 12V DC, con I_u 100 A
Ne segue che $P_{out}=1.2 \text{ kW}$ e $R_L=0.12 \text{ Ohm}$

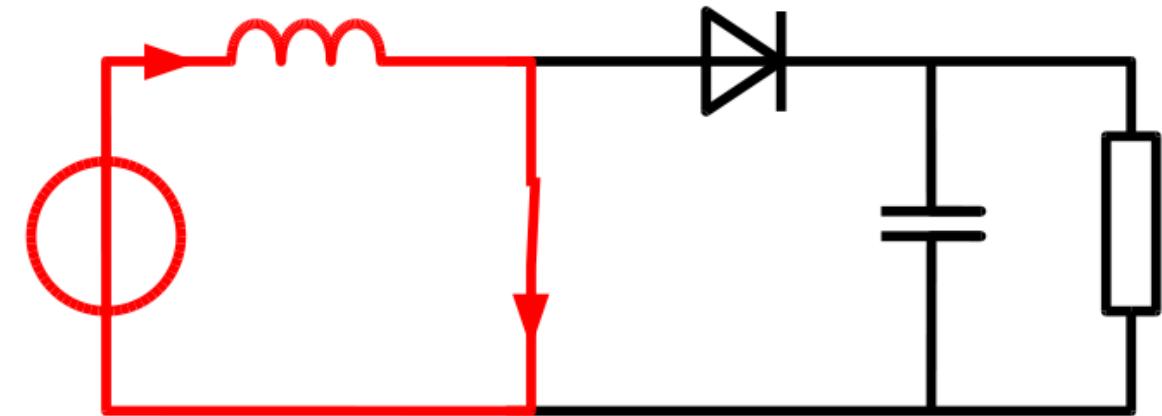
Transistor non switch ma lavora in zona attica con $V_{DS}=36V$ ($V_D=48V$ e $V_S=12V$) e $I_D=100A$ ovvero deve dissipare 3.6kW

Critico trovare transistor che regge 3.6 kW Pdissipata.
Inoltre con $P_u=1.2 \text{ kW}$ efficienza crolla al 25%
(4.8 kW assorbiti per avere 3.6 kW dissipati e solo 1.2 kW Putile in uscita)

Boost-converter esempio di dimensionamento

Specifiche: V_i sia 12V DC e V_u 48V DC, con I_u 25 A

Ne segue che $P_{out}=1.2 \text{ kW}$ (Pin sarà poco più di 1.2 kW se efficienza è alta)
e $R_L=1.92 \text{ Ohm}$



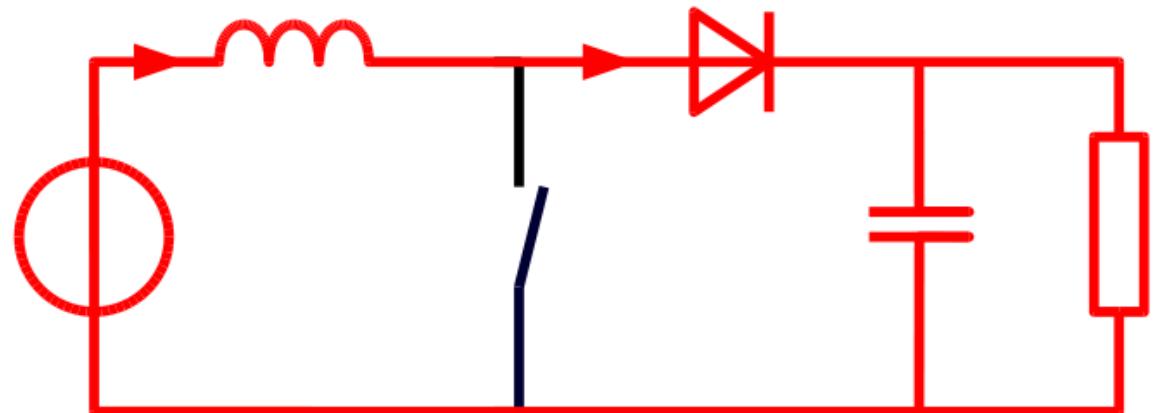
Durante T_{on} , la L vede $V_i=12\text{V}$

Durante T_{off} , la L vede $V_i-V_{out}=-36\text{V}$

A regime $T_{on} \cdot 12\text{V} = T_{off} \cdot 36\text{V} \rightarrow T_{on} = 3T_{off}$
ovvero $D=0.75$

Se $F_{sw}=100 \text{ kHz}$ allora $T_{sw}=10 \text{ us}$, $T_{on}=7.5 \text{ us}$, $T_{off}=2.5 \text{ us}$

(invece di 1 MOS e 1 diodo posso usare anche qui 2 MOS la cui $V_{DS, max}$ è 48V)

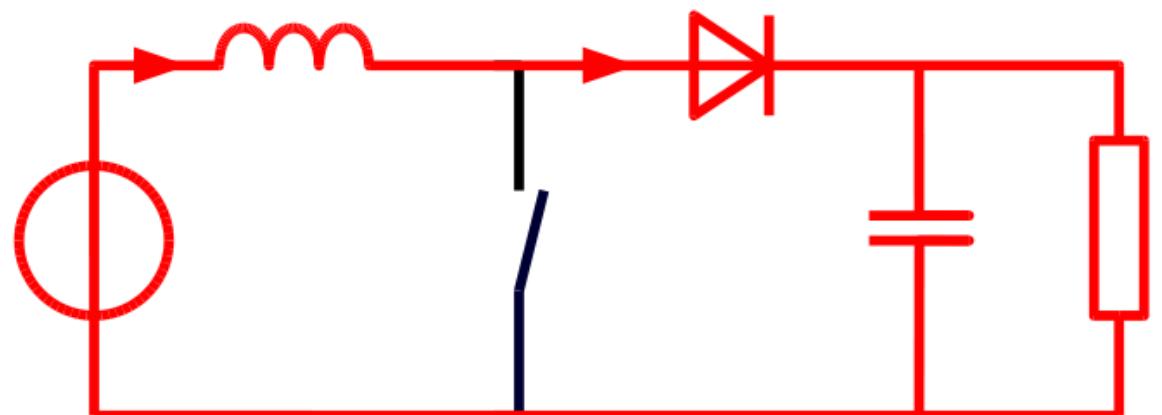
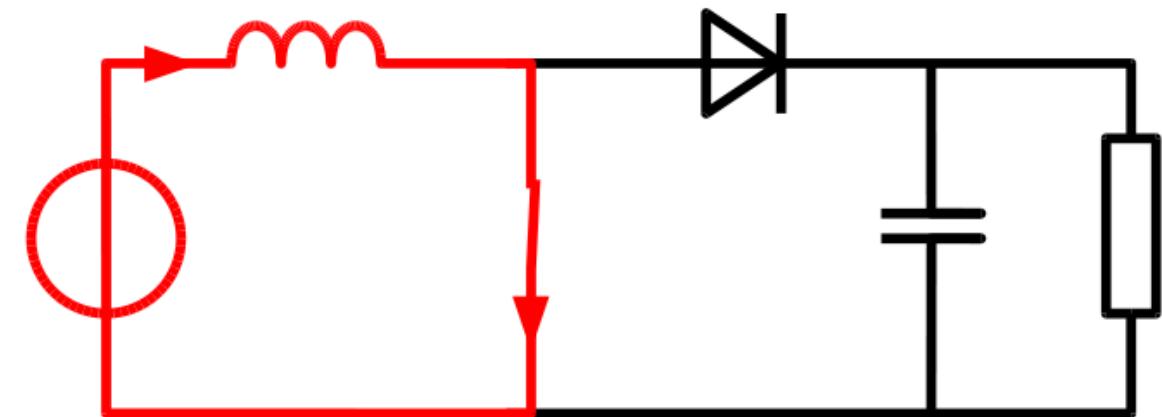


Boost-converter esempio di dimensionamento

Corrente media di induttanza è corrente media di ingresso on Boost che è circa (se $P_u=PI=1.2 \text{ kW}$ allora I_{in} sarà sui 100A = $I_u/(1-D)$) → se induttanza è dimensionata a 100kHz per avere I media di 100A e I_{min} di 0A allora $I_{max}=200\text{A}$)

L è tale che durante T_{on} di 7.5 uS,

$$T_{on} \cdot V_i / L = I_{max} \rightarrow L = 7.5 \text{ uS} \cdot 12V / 200\text{A} = 0.45 \text{ uH}$$



Cu da dimensionare tale che

$$1/RL \cdot C \ll 2 \cdot \pi \cdot f_{sw} = 628 \text{ kRad/s}$$

(essendo primo ordine consideriamo 2 ordini di grandezza)

Con $RL=1.92 \text{ Ohm}$ basta es $C=0.1 \text{ mF}$ si ha
 $5\text{kRad/s} \ll 628 \text{ krad/s}$

(ovviamente se usavo $C=1.1 \text{ mF}$ vista prima andava ancora meglio)

Boost-converter esempio di dimensionamento

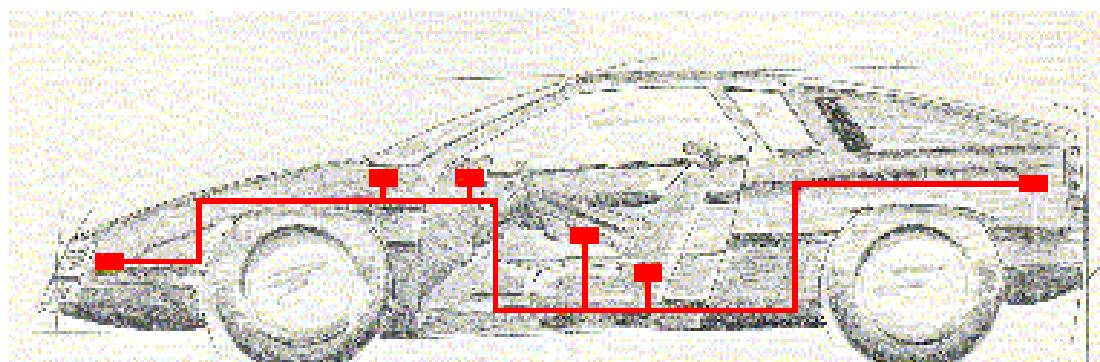
Da notare che per L e i 2 MOS nel Boost Converter 12 V to 48V da 1.2 kW e Fsw=100 kHz posso usare gli stessi L e MOS usati in Buck Converter 48V to 12 V sempre per 1.2 kW e FSW=12 kW

Se in Buck e Boost li dimensiono per stessi livelli di potenza e tenendo conto che negli switching essendo rendimento vicino a 100% potenza lato ingresso e uscita sono simili di fatti dato il Buck scambiando ruolo di ingresso e uscita ottengo il Boost con stessi MOS e stessa L (si scambiano il ruolo invece Cin e Cout) e viceversa →

Se sorgente è in grado di accettare potenza e carico può anche dare potenza dimensionando Cin e Cout sulla più grande delle 2 posso ottenere bidirectional buck-boost converter cioè 48V→12V e 12→48V

Distributed Real-Time Systems (TI-DRTS) – Track 2

CAN-BUS Introduction

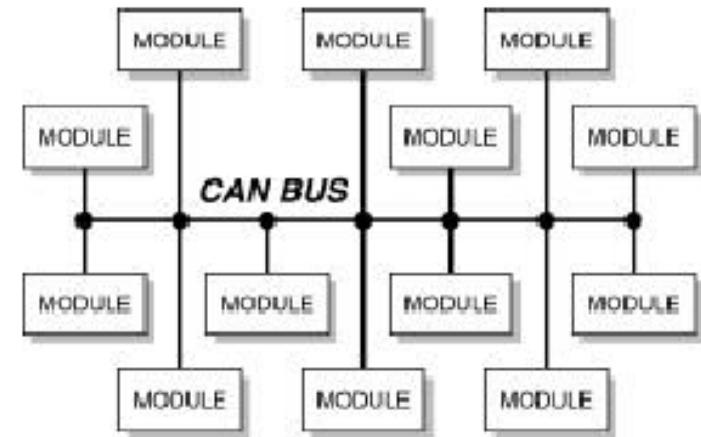


Version 9.11.2009

Ref. VECTOR application note & Motorola note

What is CAN?

- **Controller Area Network (CAN)** is a common, small area network solution that supports distributed product and **distributed system architectures**
- The CAN bus is used to interconnect a network of electronic nodes or modules
- Typically, **a two wire, twisted pair cable** is used for the network interconnection

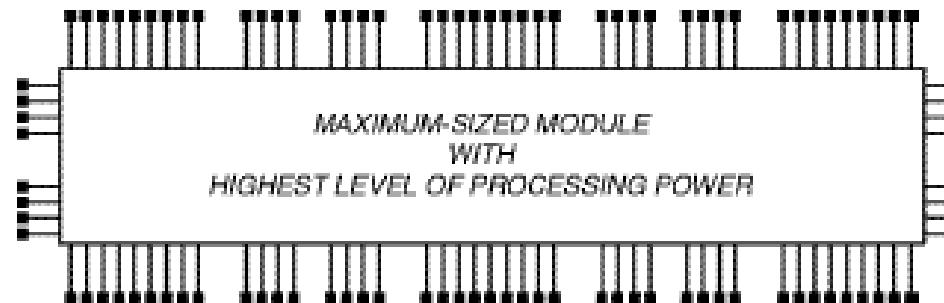


CAN - Highlights

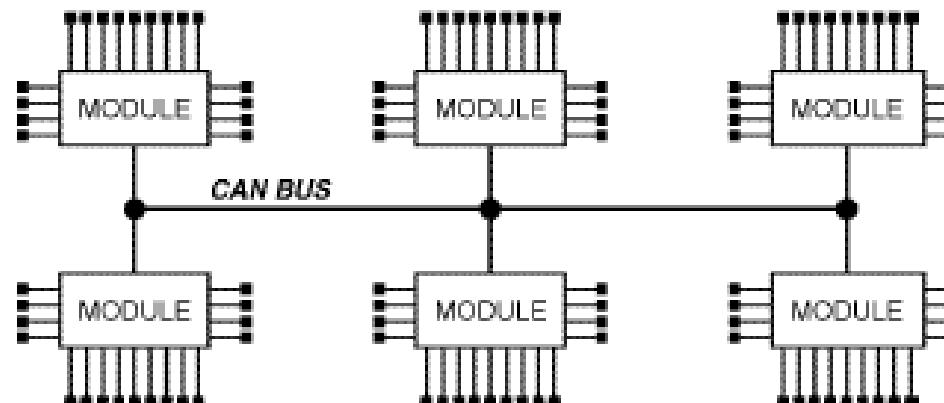
- Is a high-integrity serial data communications bus for real-time applications
- Is event driven
- Operates at data rates of **up to 1 Mbits/s**
- Has excellent error detection capabilities
- Was originally developed by Bosch for use in cars
- Is now being used in many other industrial automation and control applications
- Is an international standard: **ISO 11898**

Why use CAN?

ALLOWS CONVERSION FROM EXPENSIVE
CENTRALIZED PRODUCT ARCHITECTURES



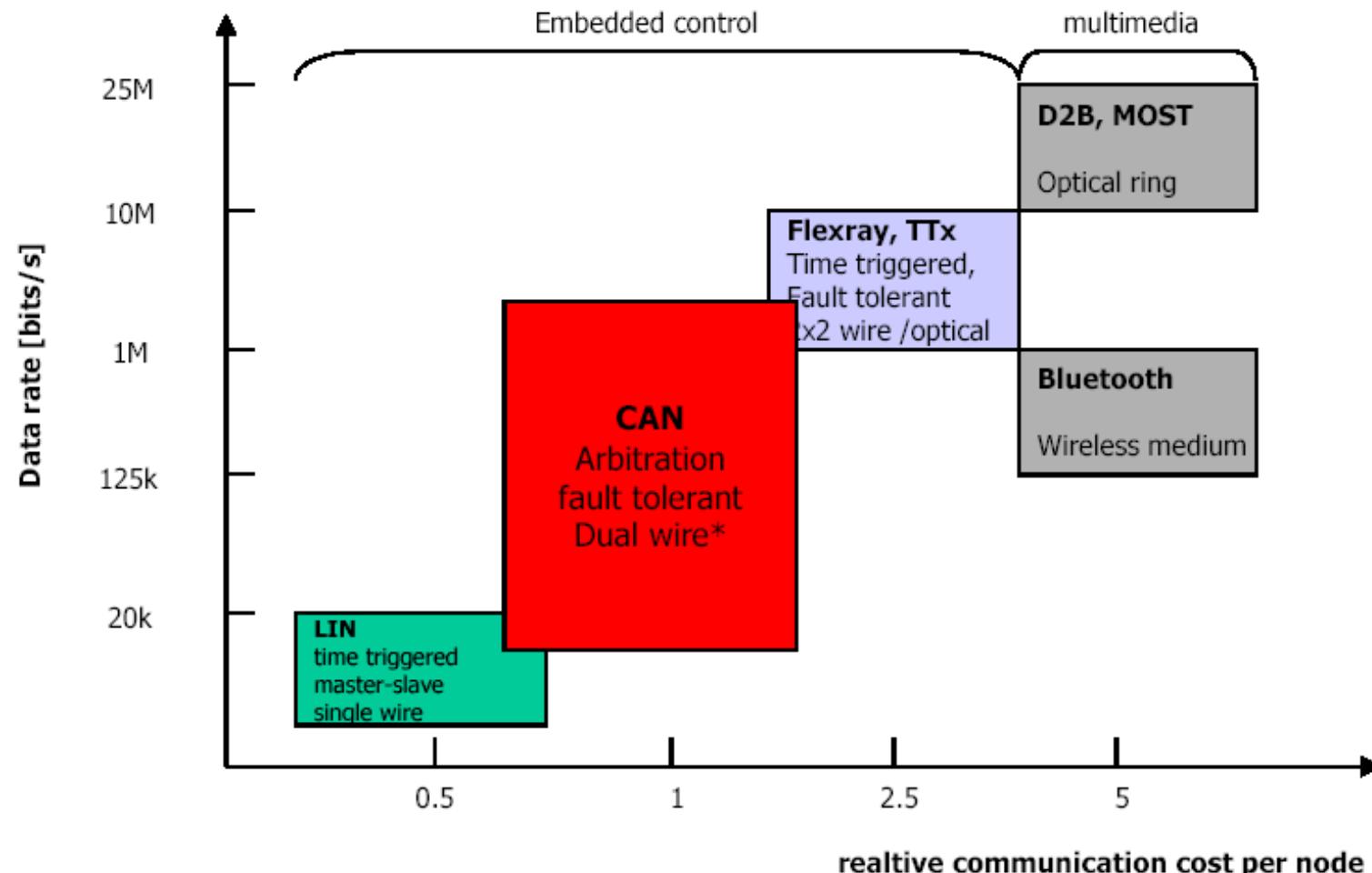
TO LOWER COST, SCALABLE
DISTRIBUTED PRODUCT ARCHITECTURES



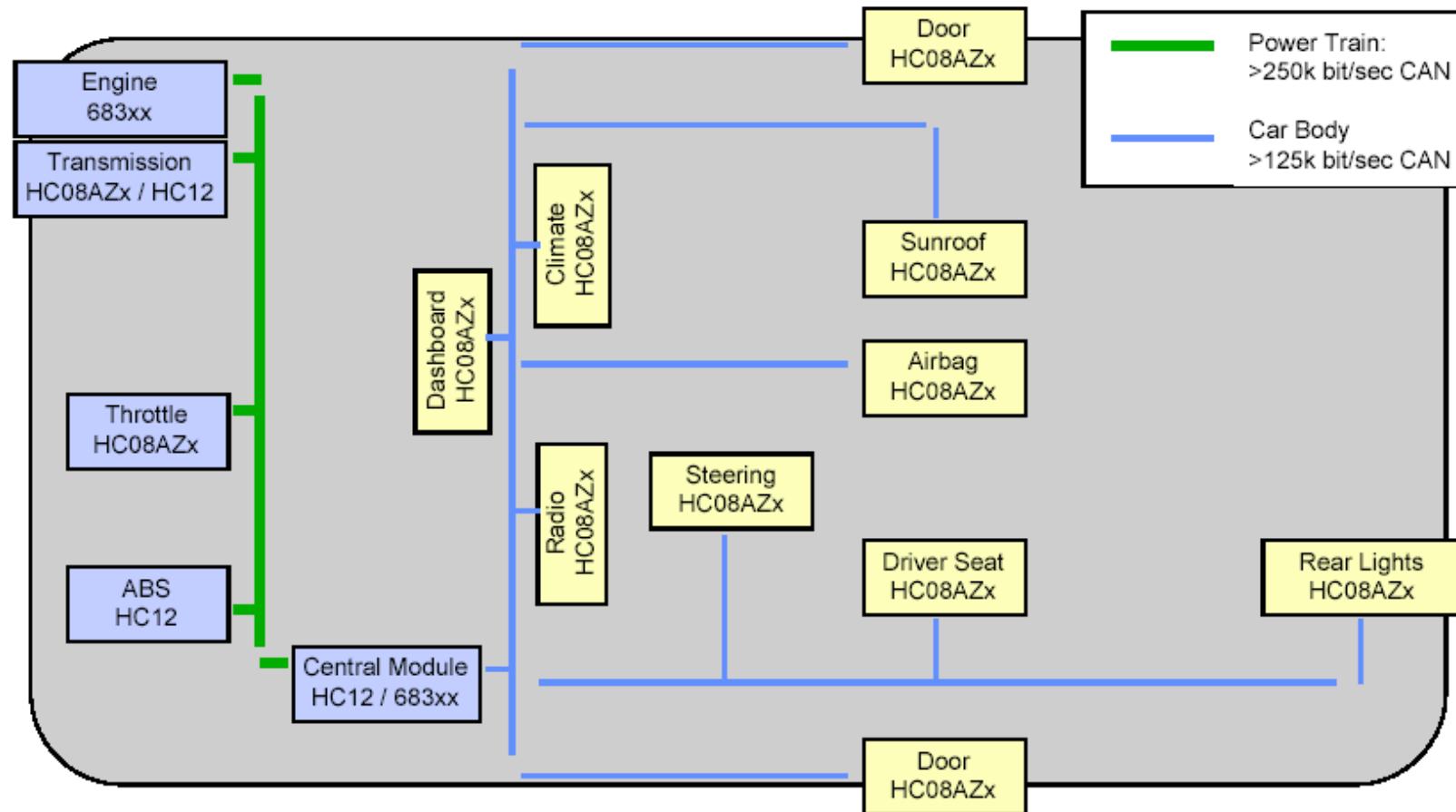
CAN History

- CAN first introduced by Bosch in 1986
- Bosch published CAN specification version 2.0 in 1991
- Official ISO CAN standard in 1993: **ISO 11898**
- In 1999 57 million CAN controller chips sold
- Estimated to 300 million CAN chips in 2003

Field Buses in the Automotive Industry



Typical CAN Network



CAN Standards

- Although CAN was originally **developed in Europe** by Robert Bosch for automotive applications, the protocol has gained wide acceptance and has become **an open, international ISO standard**
- As a result, the Bosch **CAN 2.0B** specification has become the de facto standard that new CAN chip designs follow
- **CAN ISO Standardization:**
 - ISO PRF 16845 : CAN Conformance Test Plan
 - ISO PRF 11898-1: CAN Transfer Layer
 - ISO PRF 11898-2: CAN High Speed Physical Layer
 - ISO DIS 11898-3: CAN Fault Tolerant Physical Layer
 - ISO DIS 11898-4: **TTCAN Time Triggered CAN**

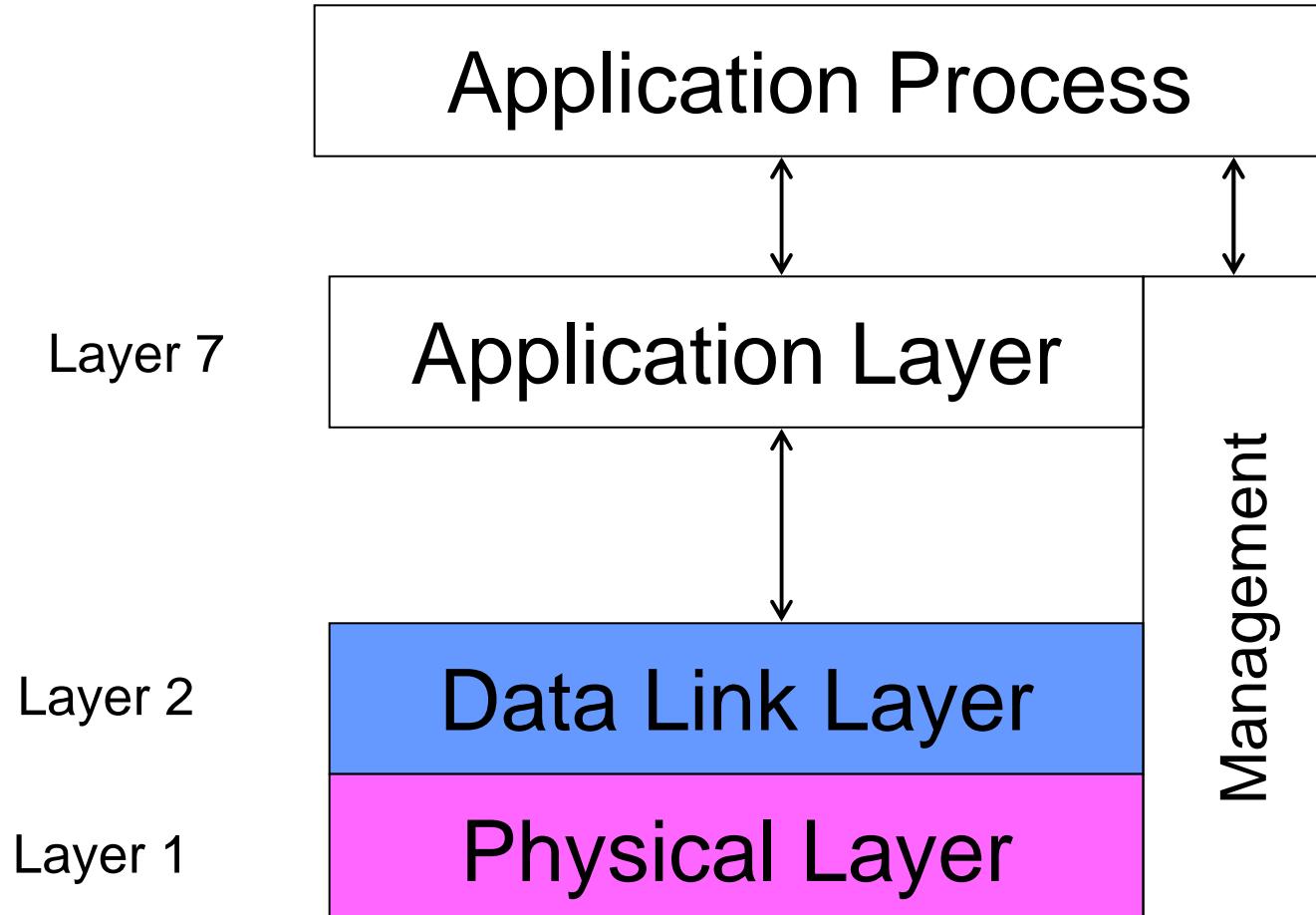
CAN 2.0 Structure of a CAN Node

ISO/OSI Reference Model

Layer 7:	Application Layer
Layer 6:	Presentation Layer
Layer 5:	Session Layer
Layer 4:	Transport Layer
Layer 3:	Network Layer
Layer 2: Data Link Layer	Logic Link Control Data Transfer Remote Data Request Message Filtering Recovery Management & Overload Notification Medium Access Control Framing & Arbitration Error Checking & Error Flags Fault Confinement Bit Timing
Layer 1:	Physical Layer

CAN Specification,
ISO 11898, deals only
with the **Physical & Data
Link Layers** for a CAN
network

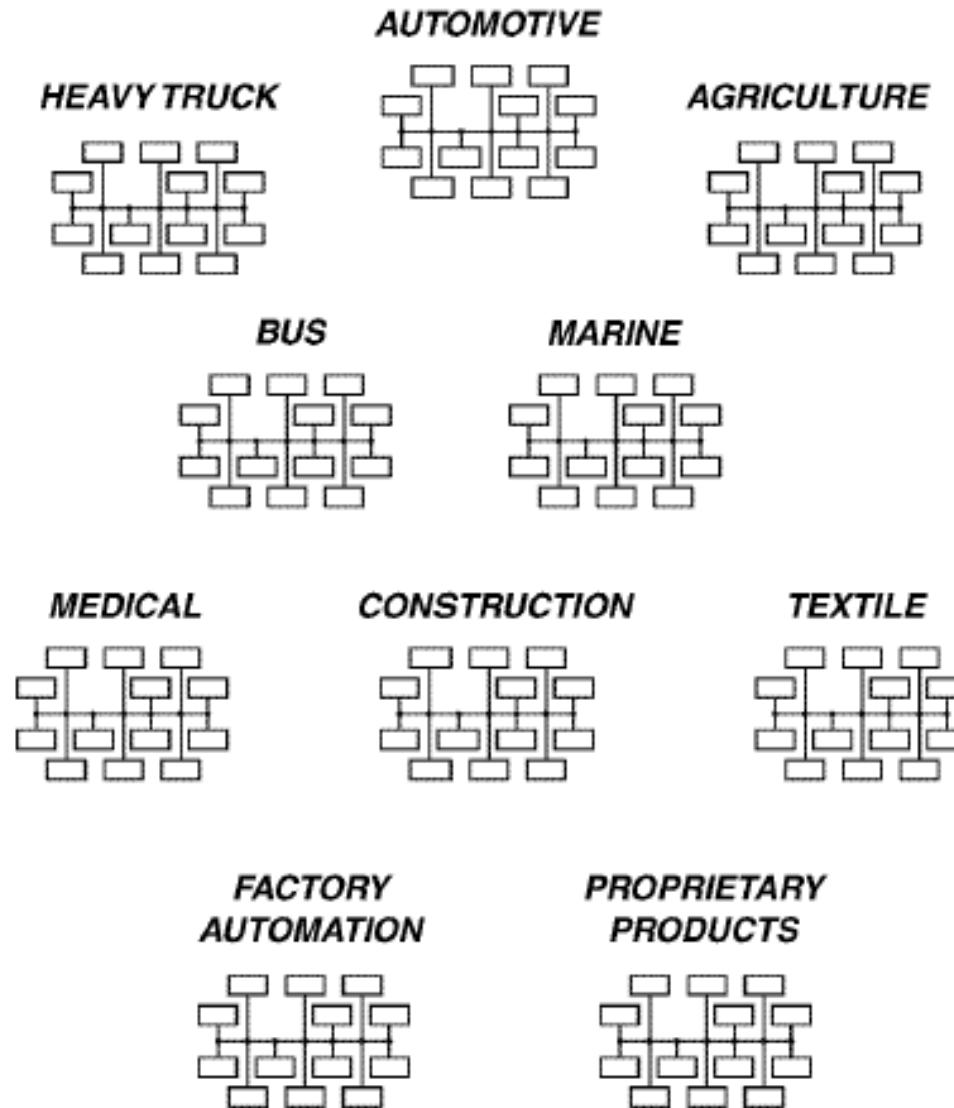
Three-Layer Reference Model



Key Reasons to Use CAN

- Low connect cost
- Low cost components
- Growing number of CAN chips
- Increasing knowledge base
- Increasing integration service base
- Wide variety of CAN-based products
- Wide variety of Off-the-Shelf tools available
- Potential lower wiring costs
- Lower weight

What Industries are using CAN?



CAN Higher Layer Protocols (1)

- CAN is used as the basis for several major "7-layer" protocol developments such as:
 - **CAL: CAN Application Layer**
(CiA: Can In Automation)
 - **CAN Kingdom** (Kvasar)
 - **CANopen** (CiA: Can In Automation)
 - **DeviceNet** (Rockwell Automation, ODVA)
 - **Volcano** (Developed by Volvo)
 - **SAE J1939** (Society of Automotive Engineers)
 - **TTCAN: Time Triggered CAN** (Bosch)

CAN Higher Layer Protocols (2)

- Each of these large protocol architectures are essentially **complete industry-specific network solutions** packaged to include defined requirements for the:
 - physical layer,
 - address structure & message structure
 - conversation structure
 - data structure
 - application/network interface

How does CAN operate?

- CAN is a multiplexed serial communication channel
- Can transfer up to 8 data bytes within a single message
- For larger amounts of data, multiple messages are commonly used
- Most CAN based networks select a single bit rate
 - While communication bit rates may be as high as **1 MBit/s**, most implementations are **500Kbit/s** or less
- CAN supports data transfers between multiple peers
- **No master controller** is needed to supervise the network conversation

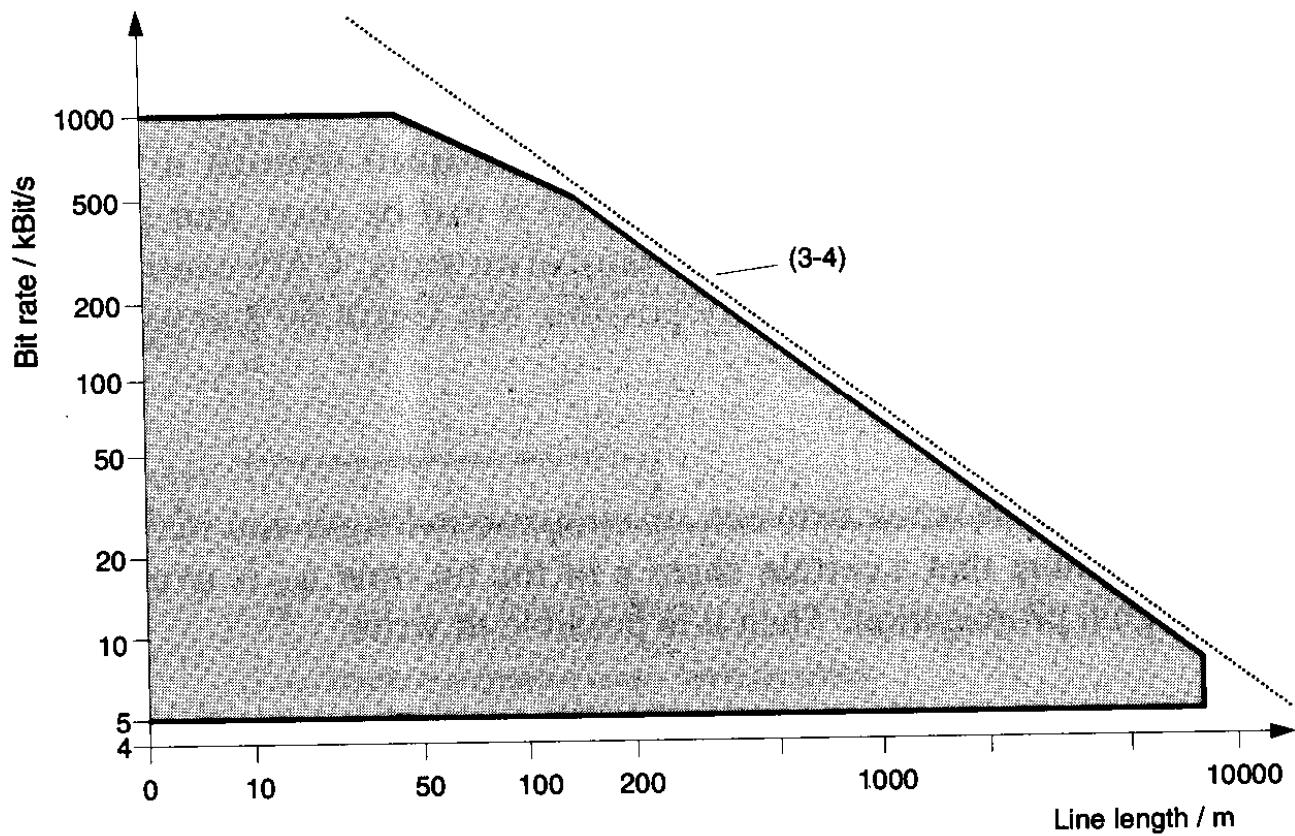
Bit Rate versus Bus Length

Bit Rate (kBits/s)	Maximum Bus length (m)
1000	50
500	110
135	620
100	790
50	1640

A Rule of Thumb for bus length > 100 m:
 $\text{Bit Rate (Mbit/s)} * \text{Lmax (m)} \leq 60$

[Ref: Etschberger]

Bit Rate versus Bus Length



CAN Identifiers

- Labels the content (type) of a message used by receivers to select a message
- Used for arbitration & determines the **priority** of the message
 - Low id.number = high priority

CAN 2.0A vs CAN 2.0B

CAN 2.0A:

11 Bit Identifier

M68HC05X Family

CAN 2.0B

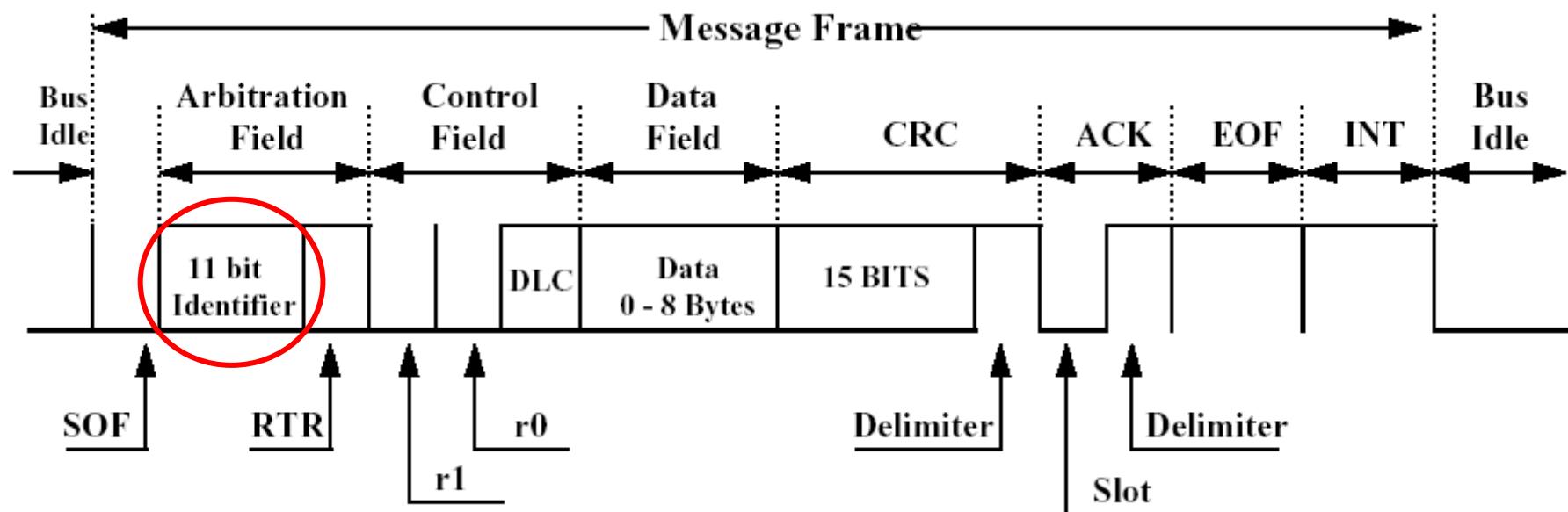
29 Bit Identifier

HC08 / HC11 + MSCAN

- Used by vast majority of current applications.
- **Greater message throughput and improved latency times**
- *Less silicon overhead !*
- Originally defined for USA Passenger Cars but now their Taskforce decree that it is **not necessary**.
- Allows more information in message but requires **more bus bandwidth**
- *More silicon cost and less efficient use of bus !*

CAN 2.0A Message Frame

- CAN 2.0A (Standard Format)
 - 11 bit message identifier (2048 different frames)
 - Transmits and receives only standard format messages



CAN Message Frame

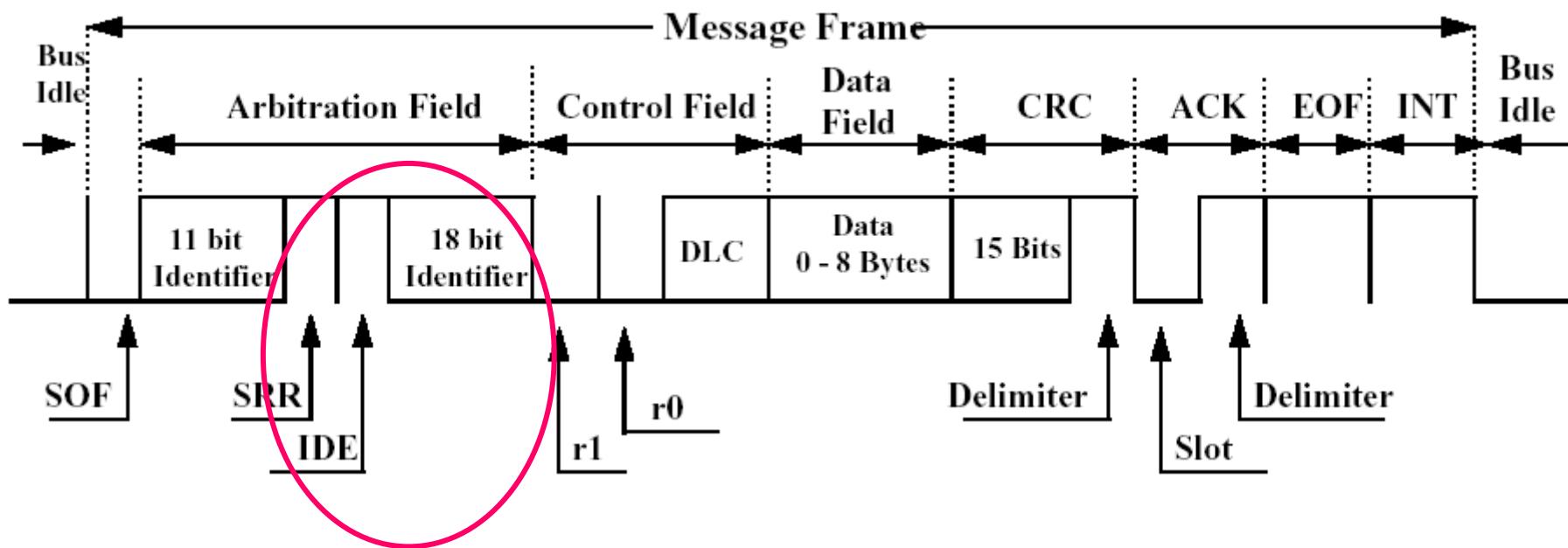
DATA FRAME:

- IS: Interframe space
- SOF: Start of frame, one single D-bit, start only if the bus is IDLE, all devices have to synchronize to the leading edge caused by START OF FRAME.
- ID: Identifier (CAN 2.0A (standard) = 11 bit, CAN 2.0B (extended) = 29 bit)
- RTR: Remote transmission request
 - D-bit: data follows = DATA FRAME
 - R-bit: transmission request to receiver = REMOTE FRAME
- DLC: Data Length Code = 6 bit, C[3] - C[0] length of data array, MSB first
 - REMOTE FRAME: number of requested data bytes
 - C[5], C[4] are used for indicating extended IDs (2.0B)
- CRC: Cyclic redundancy checksum; 15 bit and a leading 0, sum and a R-bit delimiter bit
- ACK: Acknowledge (2 bits: ACK slot a and ACK delimiter)
 - The bit in ACK slot is sent as a R-bit and overwritten as a D-bit by those transducers which have received the message correctly.
- EOF: End of frame (7 R-bits)

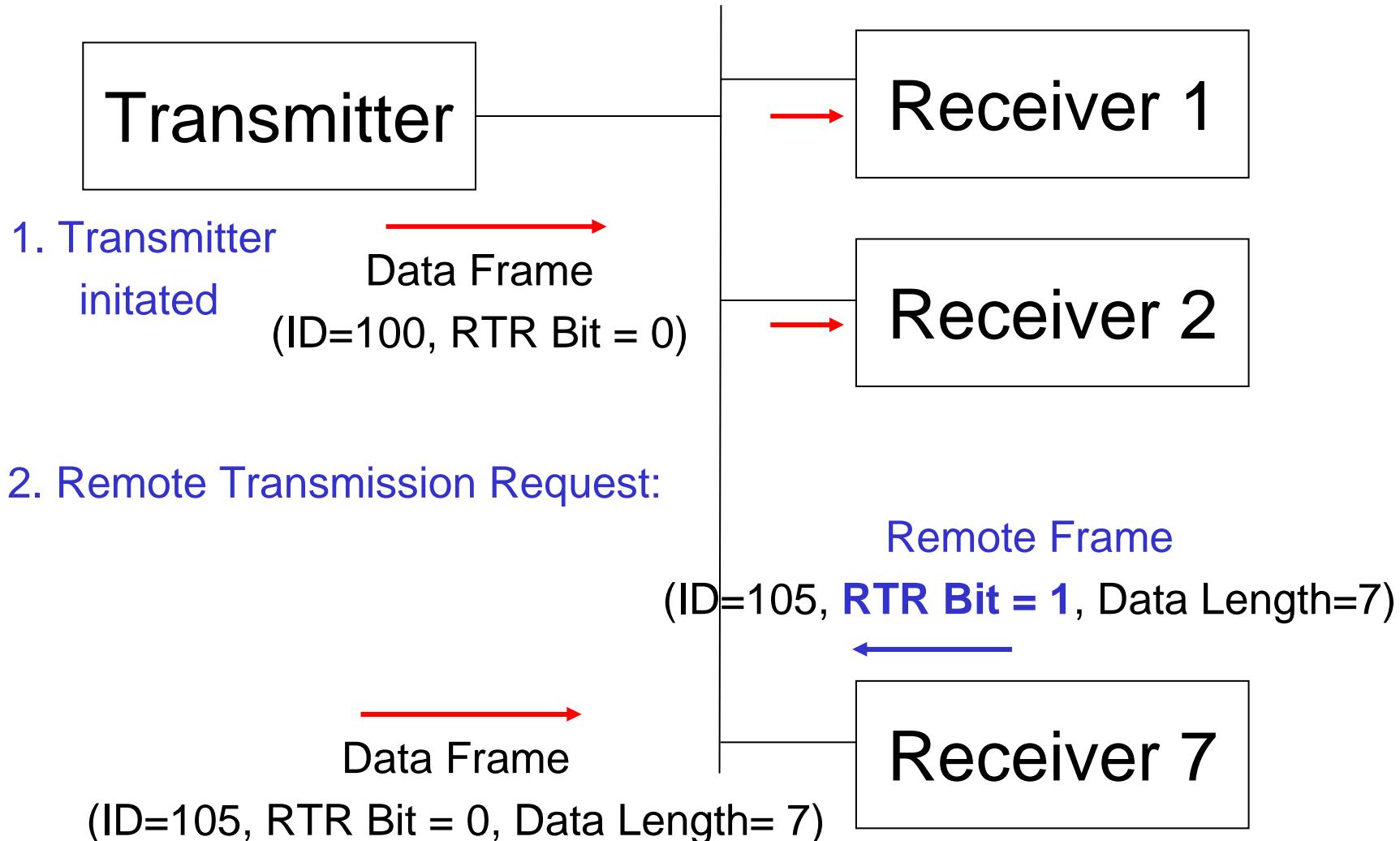
Bit	>3	1	11,1	6	0...64	16	2	7
	IS	SOF	ID, RTR	DLC	DATA	CRC	ACK	EOF

CAN 2.0B Message Frame

- **CAN 2.0B (Extended Format)**
 - Capable of receiving CAN 2.0A messages
 - 29 bit message identifier (512 million frames)
 - 11 bits for a CAN 2.0A message + 18 bits for a CAN 2.0B message



Two Communication Types



Arbitration (1)

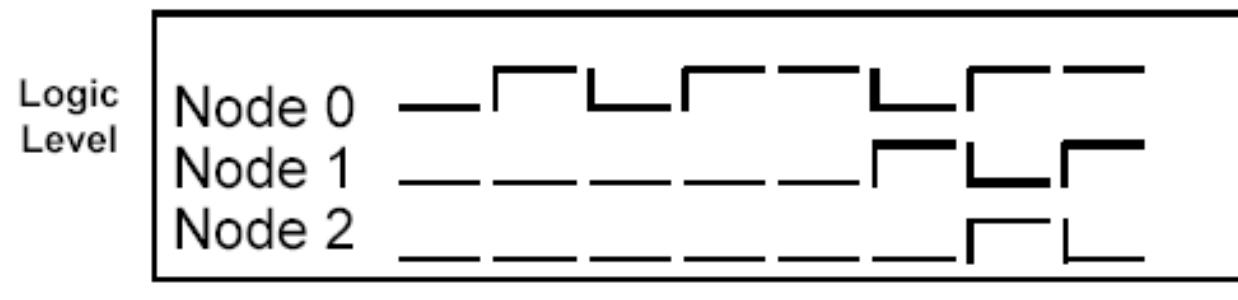
- Carrier Sense, Multiple Access **with Collision Avoidance (CSMA/CA)**
- Method used to arbitrate and determine the priority of messages
- Uses enhanced capability of non-destructive bitwise arbitration to provide collision resolution

Arbitration (2)

- A station may send if the bus is free (carrier sense)
- Any message begins with a field for unique bus arbitration containing the message ID
- The station with the **lowest ID is dominant** (D-Bit)
- **So the lowest ID has highest priority**
- Sending is not interfered since the propagation on the bus is much smaller than a duration of a bit

Bitwise Arbitration

- Any potential bus conflicts are resolved by bitwise arbitration
- **Dominant state (logic 0) has precedence over a recessive state (logic 1)**



- Competition for the bus is won by node 2 .
- Nodes 0 and 1 automatically become receivers of the message
- Nodes 0 and 1 will re-transmit their messages when the bus becomes available again

Example of Bitwise Arbitration

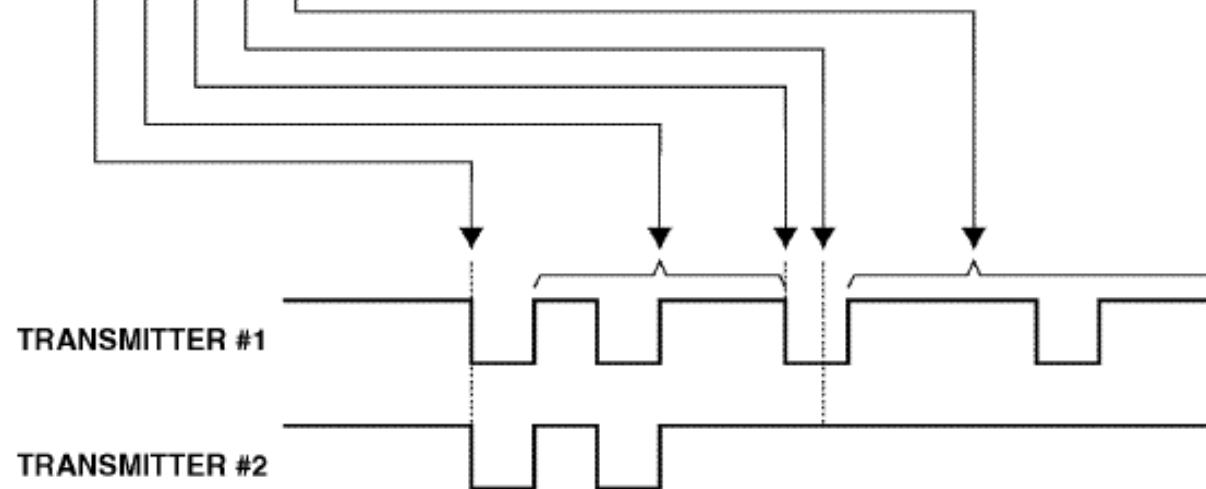
Two modules begin a transmission at the same time by initiating a "dominant" bit

Both modules continue transmission sending an identical bit pattern

The 1st transmitter begins sending a "dominant" bit as the 2nd transmitter continues sending a "recessive" bit

The 2nd transmitter samples a "dominant" bit while expecting a "recessive" bit and immediately terminates the transmit activity

The 1st transmitter continues its transmit activity



Qualities: Safe Collision and Tx-feedback

The CAN-controller has 2 important features:

- A **collision** do not destroy any message on the bus
 - All Tx's with recessive levels stops immediately and changes to Rx's.
 - The Tx-node with highest priority wins the bus and sends data
- Every **transmitted** message is evaluated by each receiving node, and if the received message is damaged the Tx-node is alerted with a **feedback** at dominant level, sent from the Rx-node

Error Detection

- CAN implements five error detection mechanisms
- Three at the **message level**
 - Cyclic Redundancy Checks (CRC)
 - Frame Checks
 - Acknowledgment Error Checks
- Two at the **bit level**
 - Bit Monitoring
 - Bit Stuffing

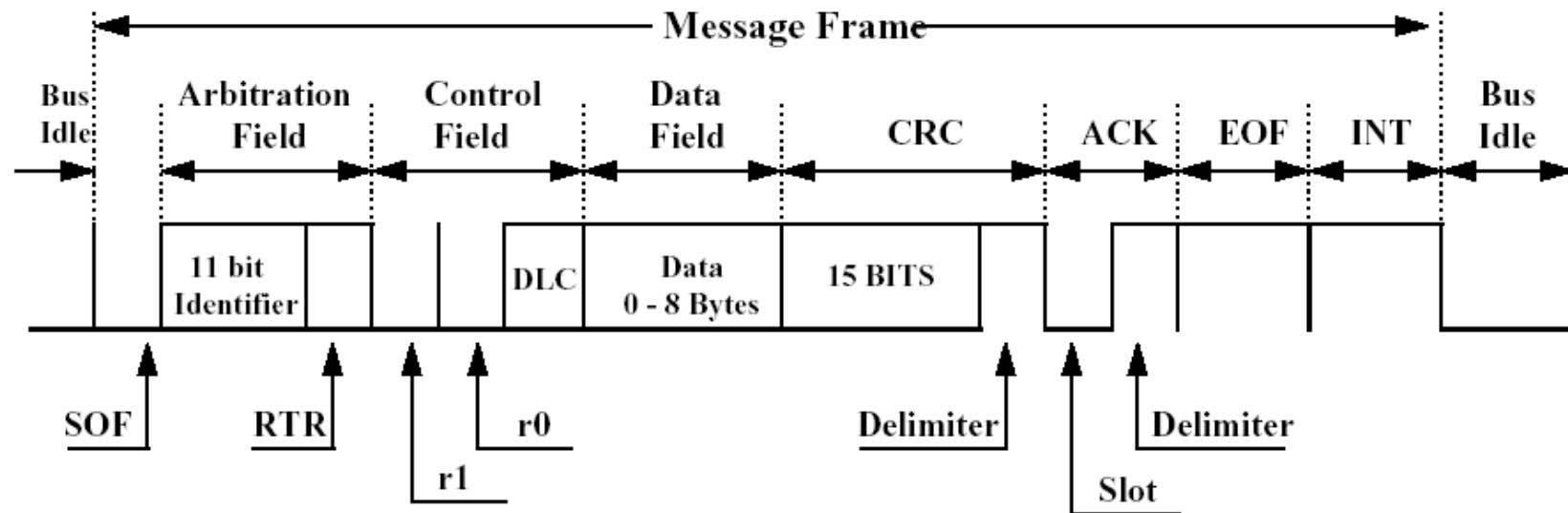
Cyclic Redundancy Check (CRC) (Message Level)



- The 15 bit CRC is computed by the **transmitter** based on the message content
- All **receivers** that accept the message, recalculates the CRC and compares against the received CRC
- If the two values do not match a **CRC error** is flagged

Frame Check (Message Level)

- If a receiver detects an invalid bit in one of these positions a **Form Error** (or Format Error) will be flagged:
 - CRC Delimiter
 - ACK Delimiter
 - End of Frame Bit Field
 - Interframe Space (the 3 bit INTermission field and a possible Bus Idle time)



ACK Error Check (Message Level)



- Each receiving node writes a dominant bit into the ACK slot
- If a transmitter determines that a message has not been ACKnowledged then an ACK Error is flagged.
- ACK errors may occur because of transmission errors because the ACK field has been corrupted or there is no operational receivers

Bit Monitoring (Bit Level)

- Each bit level (dominant or recessive) on the bus **is monitored by the transmitting node**
 - Bit monitoring **is not performed during arbitration** or **on the ACK Slot**

Bit Stuffing (Bit Level)

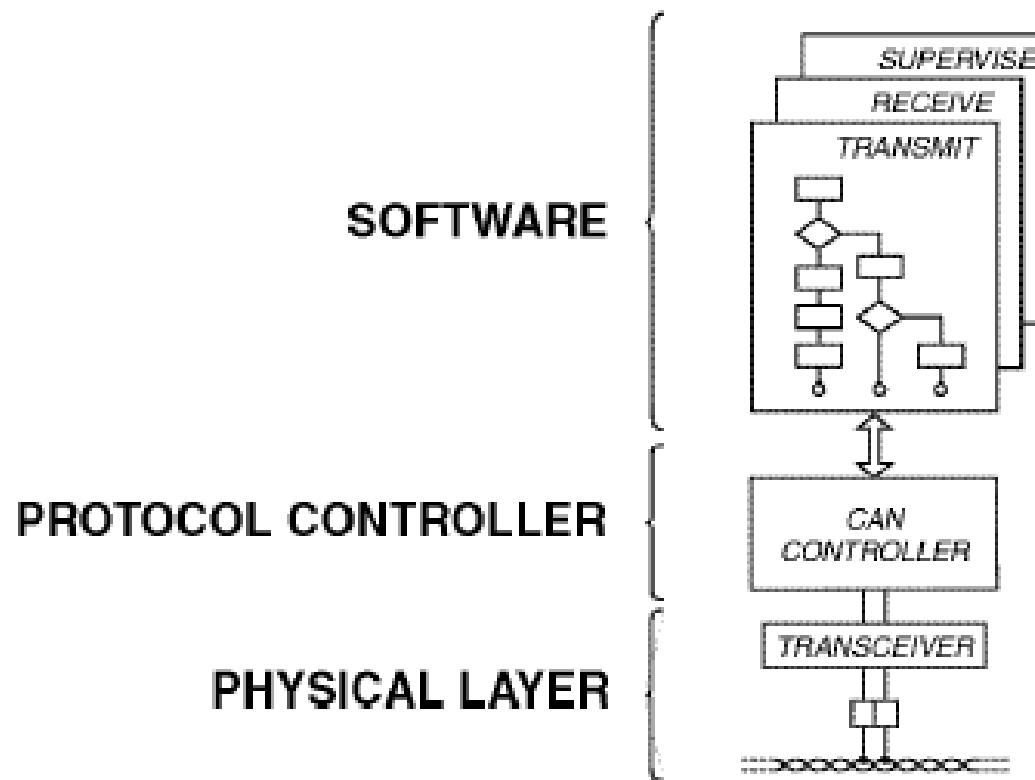
- Bit stuffing is used to guarantee enough edges in the NRZ bit stream to maintain synchronization:
 - After five identical and consecutive bit levels have been transmitted, **the transmitter will automatically inject (stuff) a bit** of the opposite polarity into the bit stream
 - Receivers of the message will automatically **delete (destuff) such bits**
 - If any node detects six consecutive bits of the same level, **a stuff error is flagged**

Error Flag

- If an error is detected by at least one node
 - The node that detects the error will immediately abort the transmission by sending an Error Flag
- An Error Flag consists of six dominant bits
 - This violates the bit stuffing rule and all other nodes respond by also transmitting Error Flags

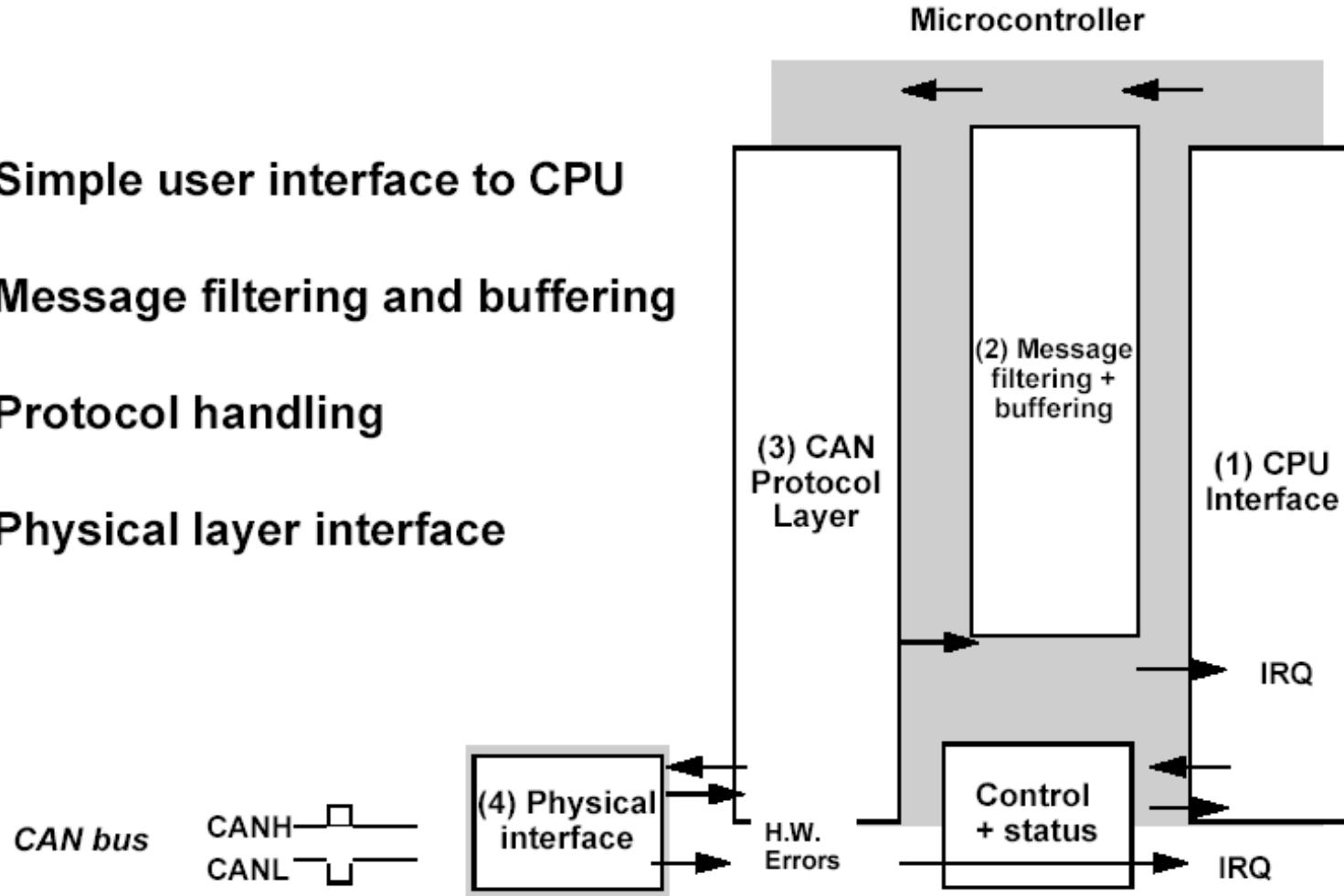
What is needed to implement CAN?

To implement CAN, three components are required - software, a CAN controller, and a physical layer



Requirements for a CAN Controller

- Simple user interface to CPU
- Message filtering and buffering
- Protocol handling
- Physical layer interface



FullCAN vs BasicCAN Controller

- **FullCAN Controller:**
 - Typically 16 message buffers, sometimes more
 - Global and Dedicated Message Filtering Masks
 - Dedicated H/W for Reducing CPU Workload
 - More Silicon => more cost
 - e.g. Powertrain
- **BasicCAN Controller:**
 - 1 or 2 Tx and Rx buffers
 - Minimal Filtering
 - More Software Intervention
 - Low cost
 - e.g. Car Body

More cost, less
CPU overhead
(per bit per sec)



Less cost, more
CPU overhead
(per bit per sec)

CANopen

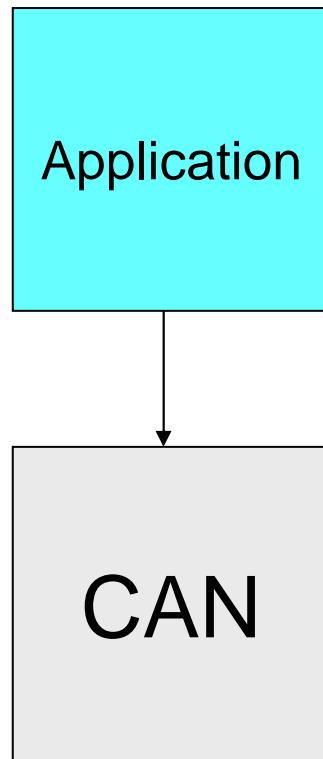
- **CANopen**: a standardized application for distributed industrial automation systems
- Based on CAN standard and CAL (Can Application Layer)
- In **Europe** the definitive standard for the implementation of industrial CAN-based system solutions
- Standardized by CiA (CAN-in-Automation)
- Devices profiles
 - e.g. digital/analog I/O modules, drives, encoders, MMI-units, controllers
- Two types of communication mechanisms:
 - unconfirmed transmission of data frames to transfer process data
 - confirmed transmission of data (for configuration purpose)

DeviceNet

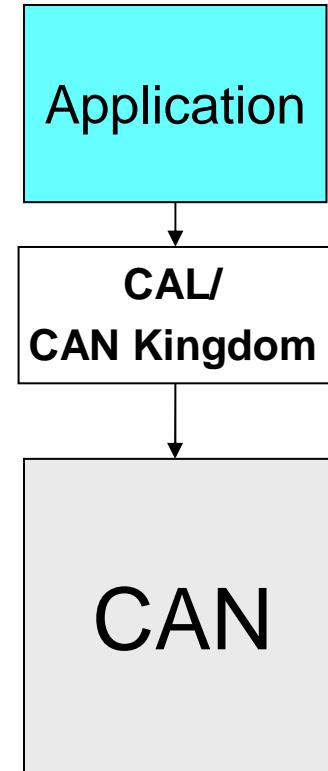
- DeviceNet developed by Rockwell Automation in 1995
- Main CAN automation technology in USA and Asia
- ODVA: Open DeviceNet Vendor Association (>300 members)
- DeviceNet is a connection-based communication model (ConnectionId = CAN identifier)
- Two message types: explicit and I/O messages
- Max 64 nodes in a DeviceNet network

Three Development Scenarios

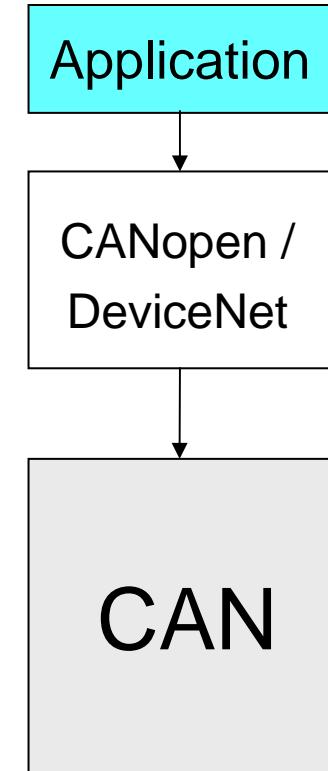
based on a layer-2 implementation



based on a standard application layer



based on a standardized application profile

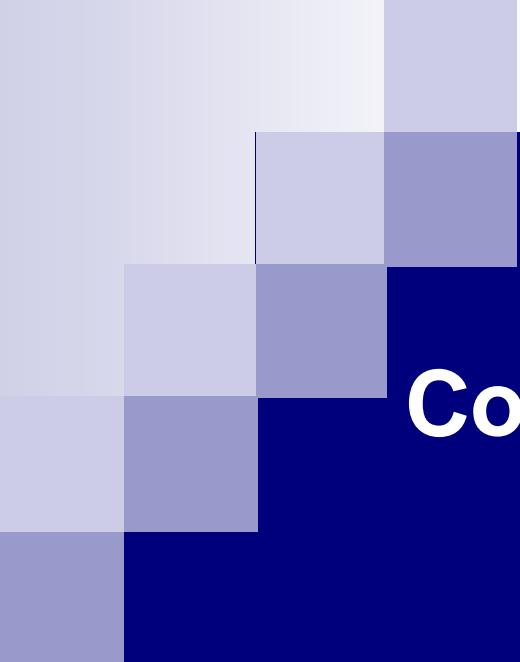


CAN Summary

- CAN is designed for asynchronous communication (event communication) with little information contents (8 bytes)
- Max 1MBit/s
- Useful for soft real-time systems
- Many microcontrollers comes with an integrated CAN controller
- A low-cost solution
- New invention:
 - TTCAN – a Time-Triggered CAN protocol

References

- [Etschberger]: “**Controller Area Network – basics, protocols, chips and applications**”, by Konrad Etschberger, IXXAT Press, 2001
- www.can.bosch.com
 - Contains specification documents
 - References
 - Links
- ODVA: Open DeviceNet Vendors Association
www.odva.org
- CiA: CAN in Automation
<http://www.can-cia.org/>



Control Area Network (CAN) Bus

Prof. Sergio Saponara

Sistemi Elettronici per Automazione e
Robotica 2024/2025

Overview

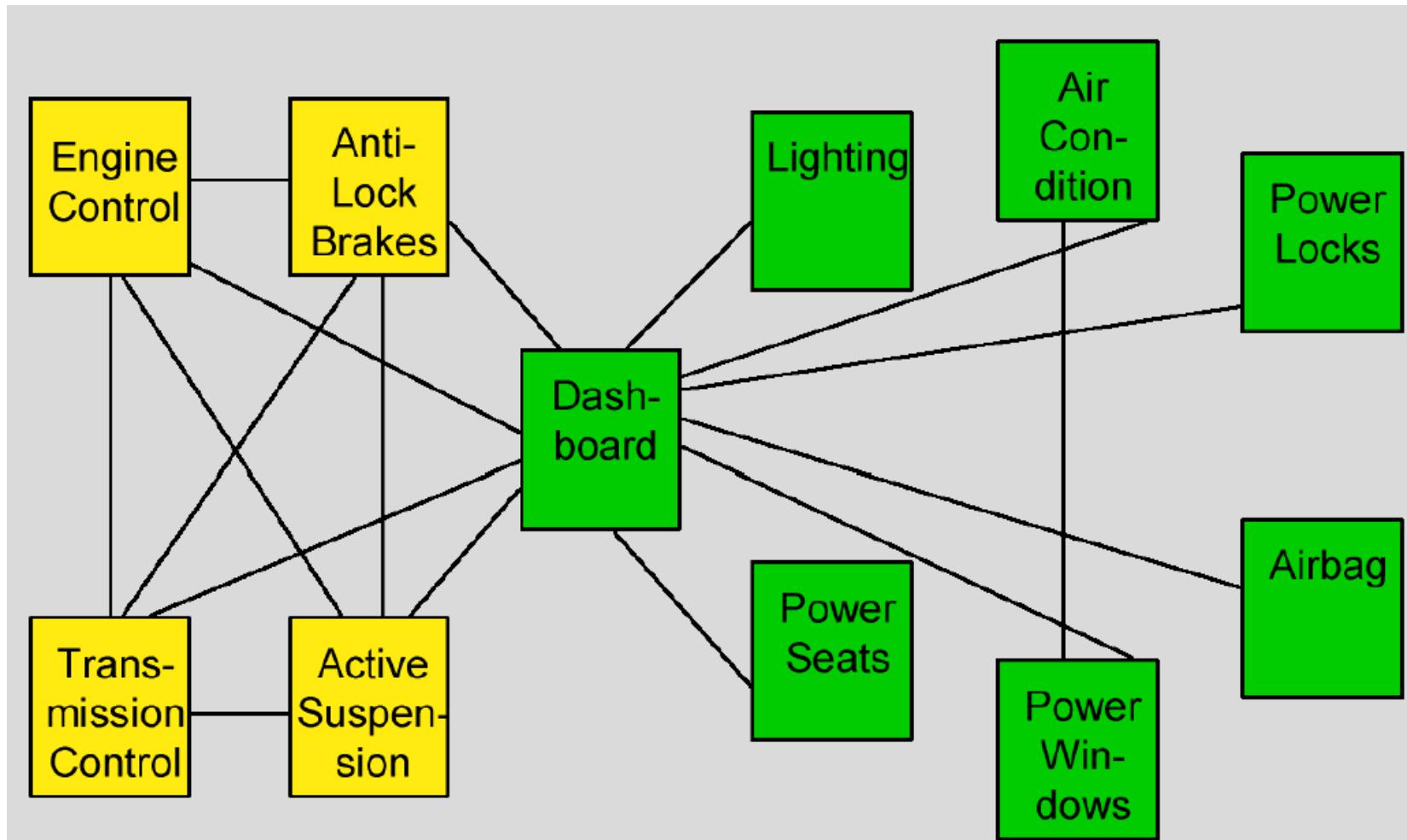
- CAN is an important embedded protocol
- Primarily automotive, but used in many other places
- CAN specifies:
 - Physical layer
 - Protocol layer
 - Message filtering layer (with add-on protocols)
- Note
 - How message prioritization achieved
 - How “small” nodes can be kept from overloading with received messages

The Development of CAN

The development of CAN began when more and more electronic devices were implemented into modern motor vehicles. Examples of such devices include engine management systems, active suspension, ABS, gear control, lighting control, air conditioning, airbags and central locking. All this means more safety and more comfort for the driver and of course a reduction of fuel consumption and exhaust emissions.

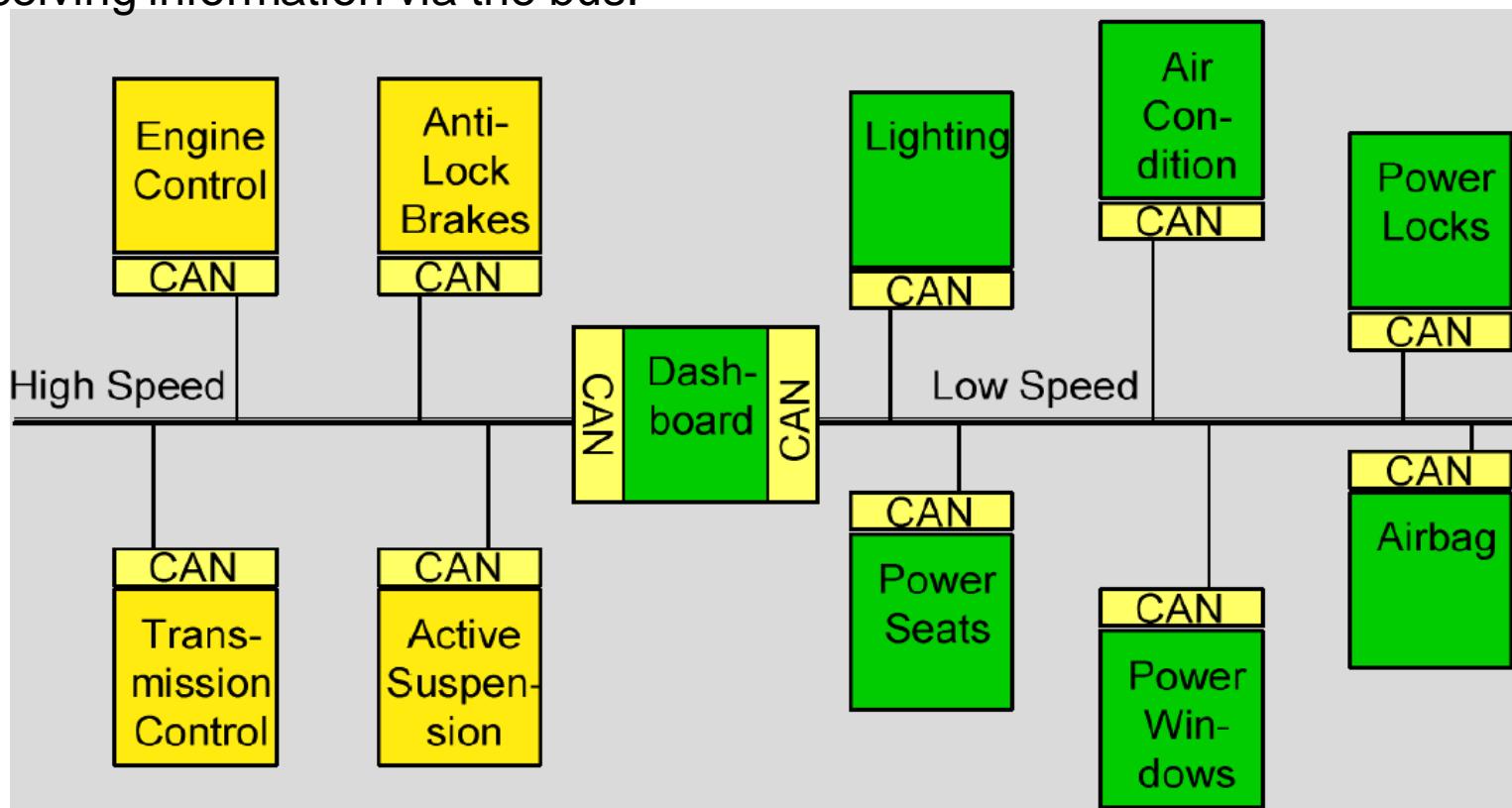
To improve the behavior of the vehicle even further, it was necessary for the different control systems (and their sensors) to exchange information. This was usually done by discrete interconnection of the different systems (i.e. point to point wiring). The requirement for information exchange has then grown to such an extent that a cable network with a length of up to several miles and many connectors was required. This produced growing problems concerning material cost, production time and reliability.

Before CAN



With CAN

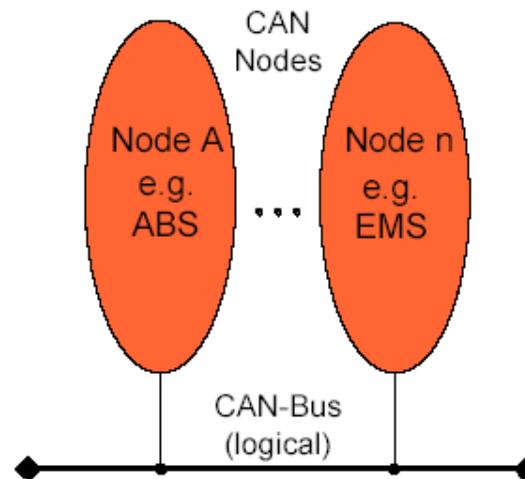
The solution to this problem was the connection of the control systems via a serial bus system. This bus had to fulfill some special requirements due to its usage in a vehicle. With the use of CAN, point-to-point wiring is replaced by one serial bus connecting all control systems. This is accomplished by adding some CAN-specific hardware to each control unit that provides the "rules" or the protocol for transmitting and receiving information via the bus.



The CAN bus

Basic Concepts

- Multimaster Concept
- Number of nodes not limited by protocol
- No node addressing, Message identifier specifies contents & priority

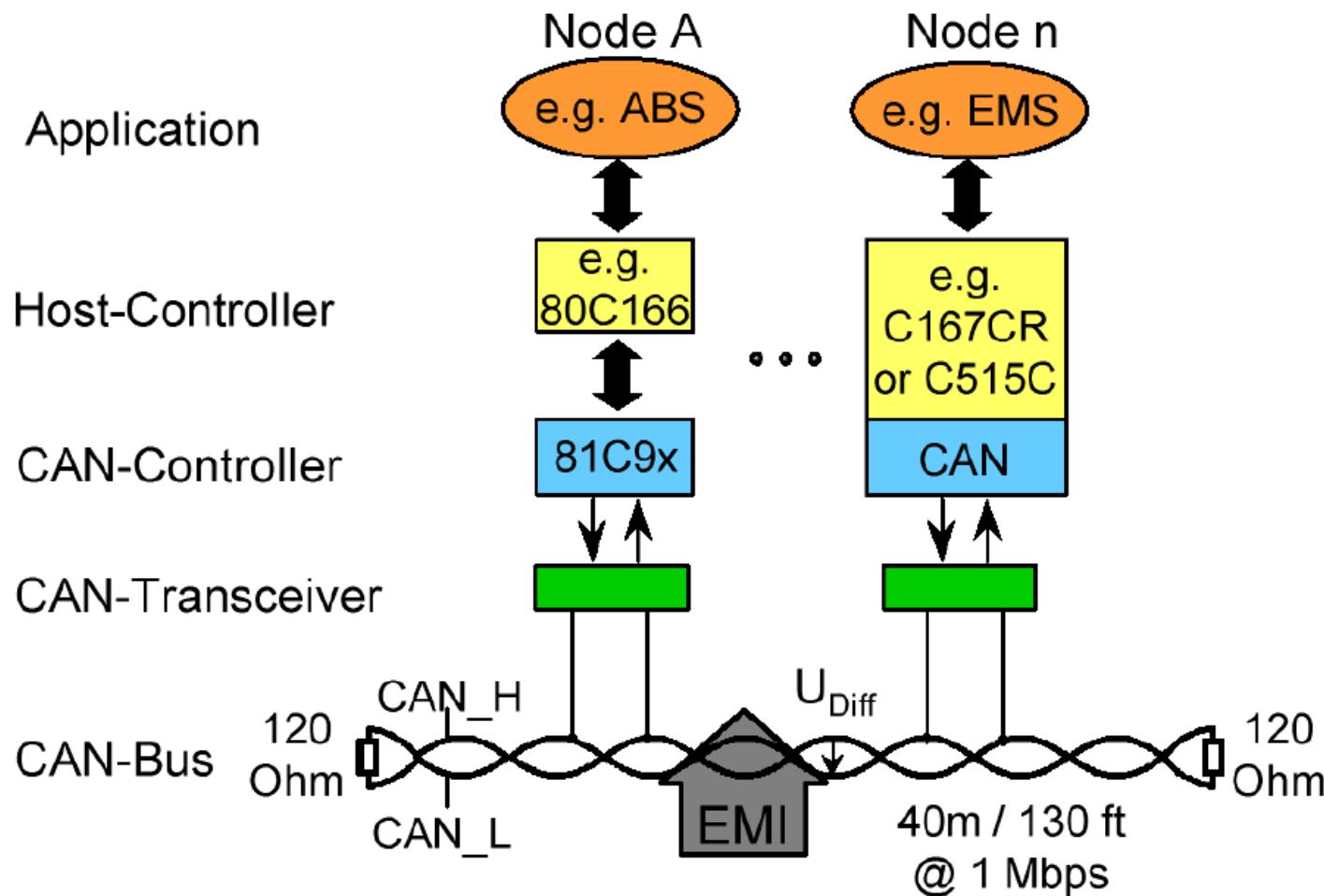


- Easy connection/disconnection of nodes
- Broadcast/Multicast capability

➤ CAN is a broadcast type of bus.

- This means that all nodes can "hear" all transmissions. There is no way to send a message to just a specific node; all nodes will invariably pick up all traffic. The CAN hardware, however, provides local filtering so that each node may react only on the "interesting" messages.

Basic Configuration



CAN Bus Overview

- The physical layer uses differential transmission on a twisted pair wire. The bus uses Non-Return To Zero (NRZ) with bit-stuffing.
- The nodes are connected to the bus in a *wired-and* fashion: if just one node is driving the bus to a logical 0, then the whole bus is in that state regardless of the number of nodes transmitting a logical 1.
- Max. transfer rate of 1000 kilobits per second at a maximum bus length of 40 meters or 130 feet when using a twisted wire pair which is the most common bus medium used for CAN.
- Message length is short with a maximum of 8 data bytes per message and there is a low latency between transmission request and start of transmission. The messages are protected by a CRC type checksum

CAN Bus Overview

- The bus access is handled via the advanced serial communications protocol Carrier Sense Multiple Access/Collision Detection with Non-Destructive Arbitration. This means that collision of messages is avoided by bitwise arbitration without loss of time.
- There is no explicit address in the messages, instead, each message carries a numeric value which controls its priority on the bus, and may also serve as an identification of the *contents* of the message.
- An elaborate error handling scheme that results in retransmitted messages when they are not properly received.
- There are effective means for isolating faults and removing faulty nodes from the bus.

Basic Bit Encoding

NRZ = Non-Return-To_Zero

- Fewer transitions (on average) = less EMI, but requires less oscillator drift

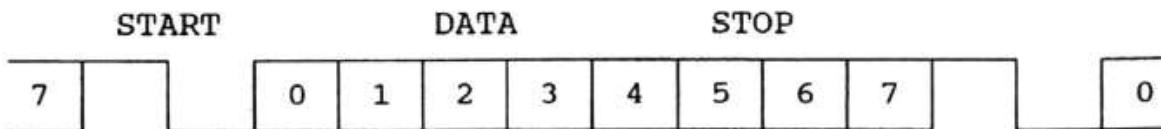
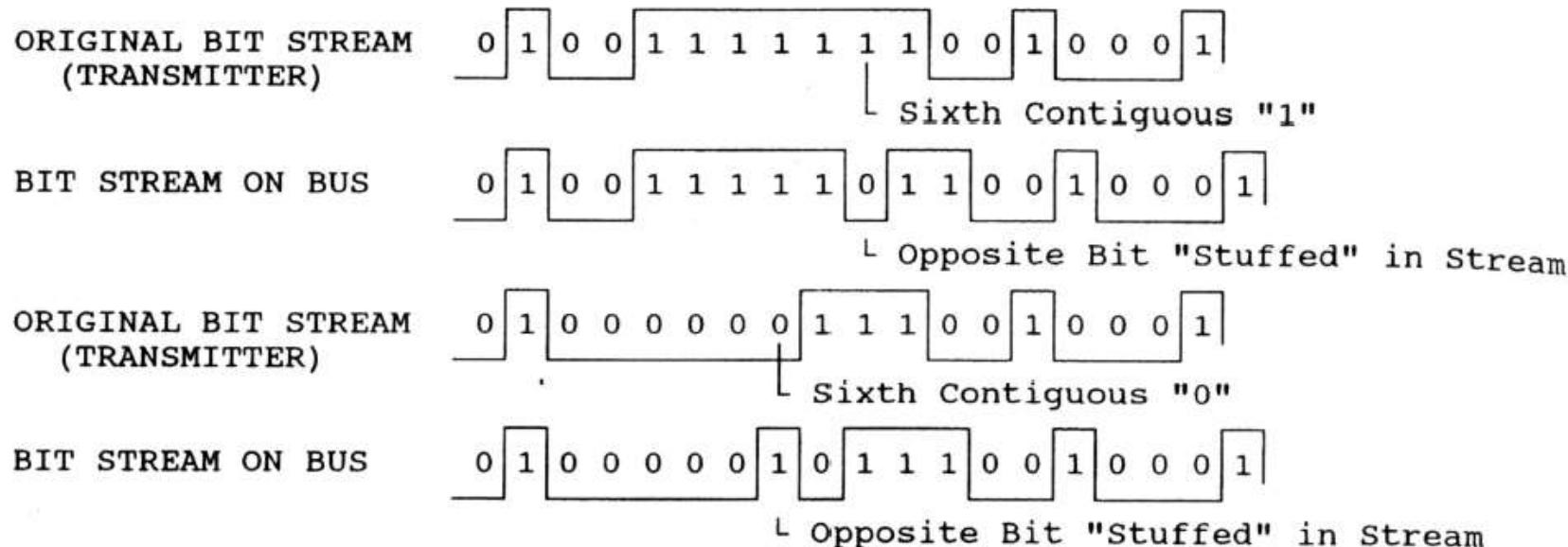


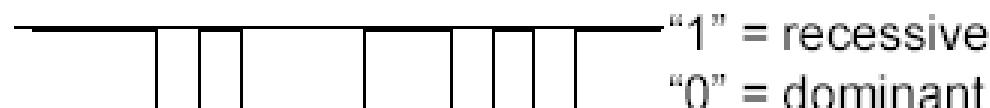
FIGURE 26.21 A 10-bit NRZ waveform (LSB first).

- Bit stuffing relaxes oscillator drift requirements



CAN Bus Characteristics

Two logic states
possible on the bus:
"1" = recessive
"0" = dominant

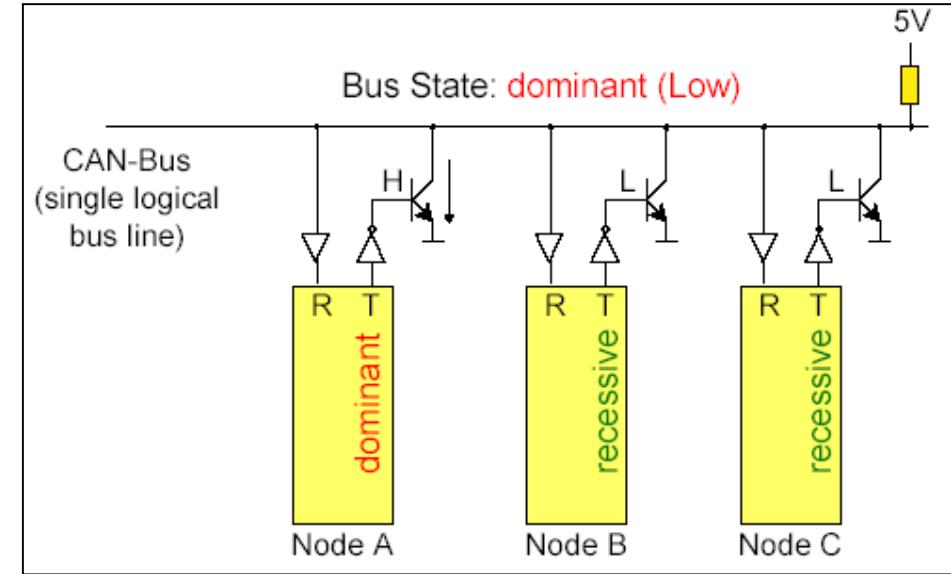
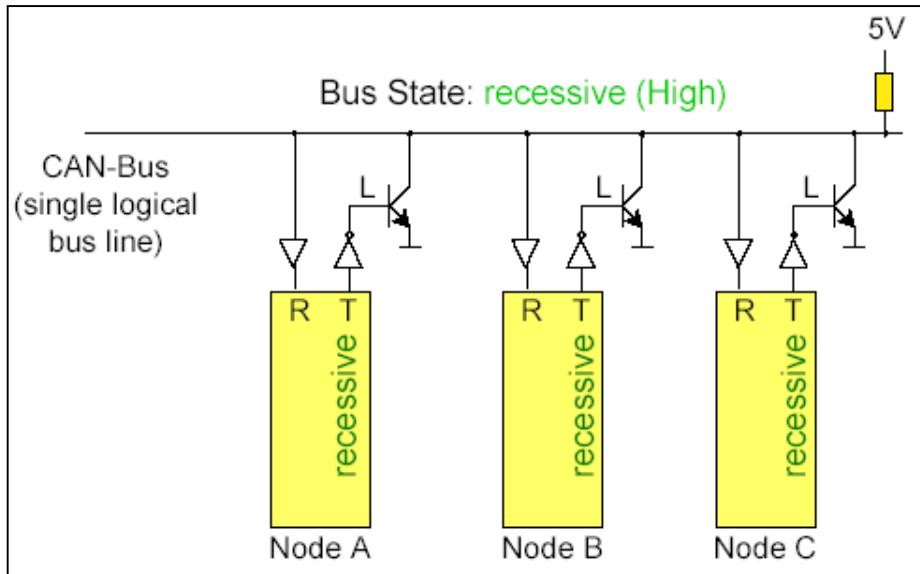


A	B	C	BUS
D	D	D	D
D	D	R	D
D	R	D	D
D	R	R	D
R	D	D	D
R	D	R	D
R	R	D	D
R	R	R	R

As soon as one node nodes transmits
a dominant bit (zero):
Bus is in the dominant state.

Only if all nodes transmit
recessive bits (ones):
Bus is in the recessive state.

Bus Characteristics – Wired AND



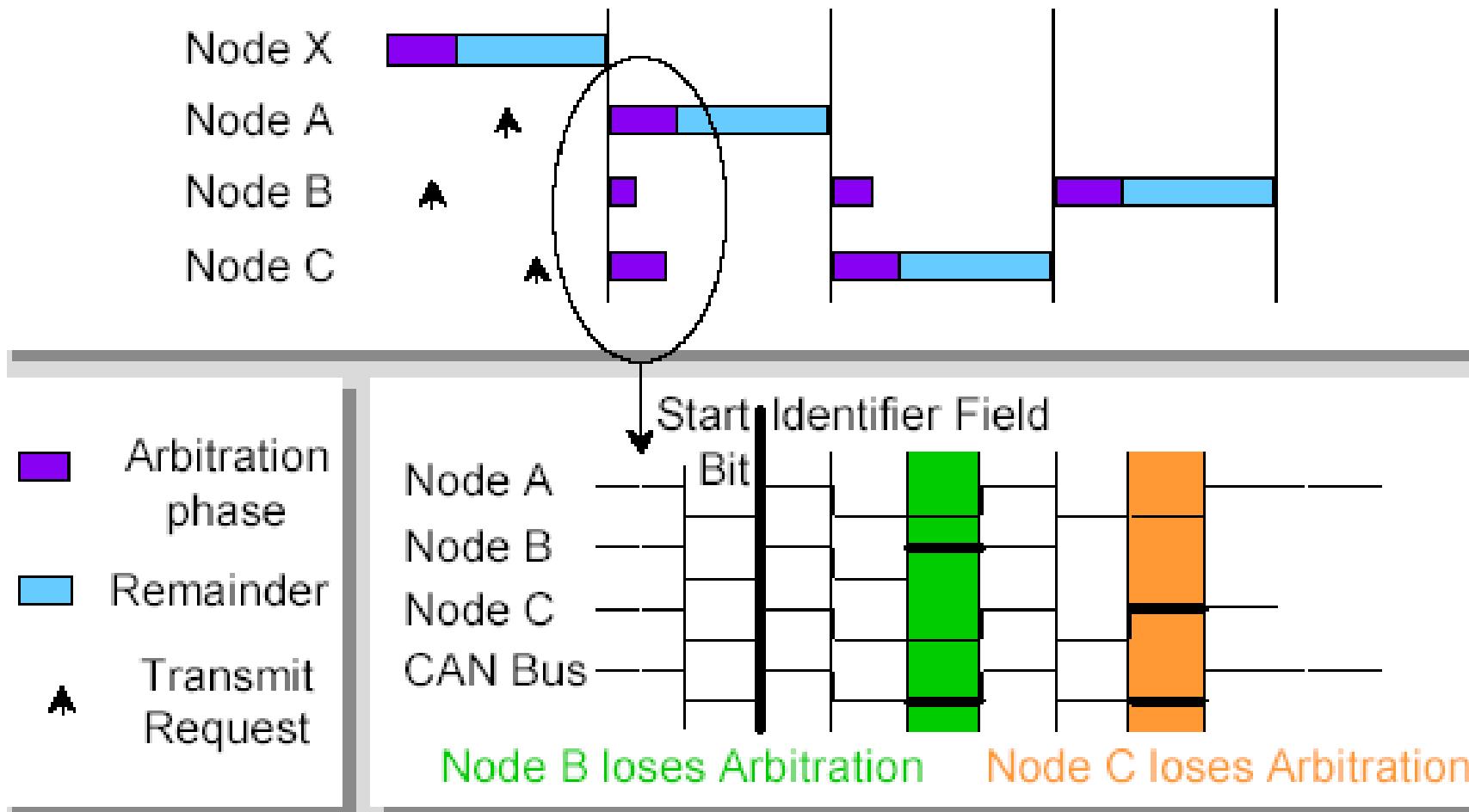
Only if all nodes transmit recessive bits (ones), the Bus is in the recessive state.

If any one node transmits a dominant bit (zero), the bus is in the dominant state.

T is Transmitter, R is receiver. Note nodes can therefore check the line while transmitting. This is important particularly during arbitration.

Bus Access and Arbitration – CSMA/CD NDA

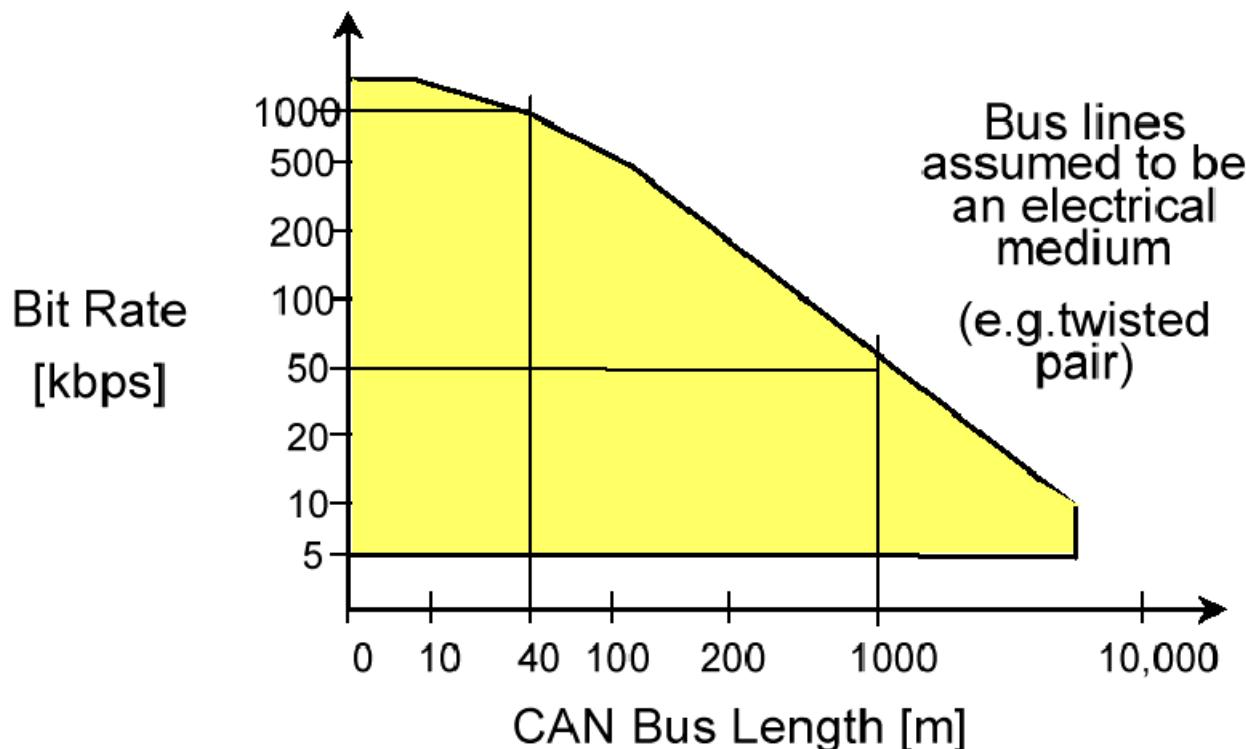
CSMA/CD NDA – Carrier Sense Multiple Access/Collision avoidance by Non Destructive arbitration



Bus Transmission Speed

Arbitration limits bus speed. Maximum speed = $2 \times t_{pd}$

t_{pd} = propagation delay of electrical medium



The Can Protocol

- Specifies how small packets of data may be transported from point A to point B using a shared communications medium.
- It (quite naturally) contains nothing on topics such as
 - flow control
 - transportation of data larger than can fit in a 8-byte message
 - node addresses
 - establishment of communication, etc.

Higher layer protocols

- Higher layer protocols are used in order to
 - standardize startup procedures including bit rate setting
 - distribute addresses among participating nodes or kinds of messages
 - determine the layout of the messages
 - provide routines for error handling at the system level
- Some high layer protocols
 - Device net
 - CANKingdom
 - CANopen

The CAN Standard

- The CAN standard defines four message types
 - Data Frame – the predominantly used message type
 - Remote Frame
 - Error Frame
 - Overload Frame
- The messages uses a clever scheme of bit-wise arbitration to control access to the bus, and each message is tagged with a priority.
- The CAN standard also defines an elaborate scheme for error handling and confinement.
- CAN may implemented using different physical layers, and there are also a number of different connector types in use.

1. The Data Frame

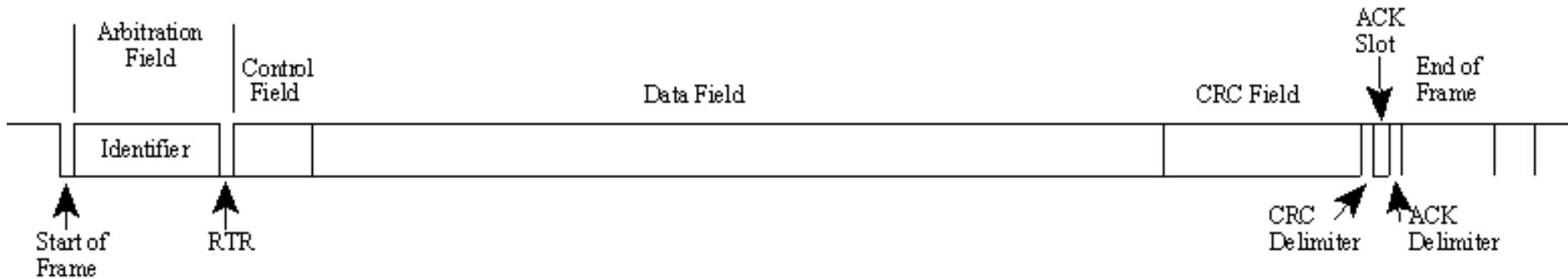
- **Summary: "Hello everyone, here's some data labeled X, hope you like it!"**
- The Data Frame is the most common message type. It comprises the following major parts (a few details are omitted for the sake of brevity):
 - the Arbitration Field, which determines the priority of the message when two or more nodes are contending for the bus. The Arbitration Field contains:
 - For CAN 2.0A, an 11-bit Identifier and one bit, the RTR bit, which is dominant for data frames.
 - For CAN 2.0B, a 29-bit Identifier (which also contains two recessive bits: SRR and IDE) and the RTR bit.
 - the Data Field, which contains zero to eight bytes of data.
 - the CRC Field, which contains a 15-bit checksum calculated on most parts of the message. This checksum is used for error detection.
 - an Acknowledgement Slot; **any** CAN controller that has been able to correctly receive the message sends an Acknowledgement bit at the end of each message. The transmitter checks for the presence of the Acknowledge bit and retransmits the message if no acknowledge was detected.

CAN Data Frames

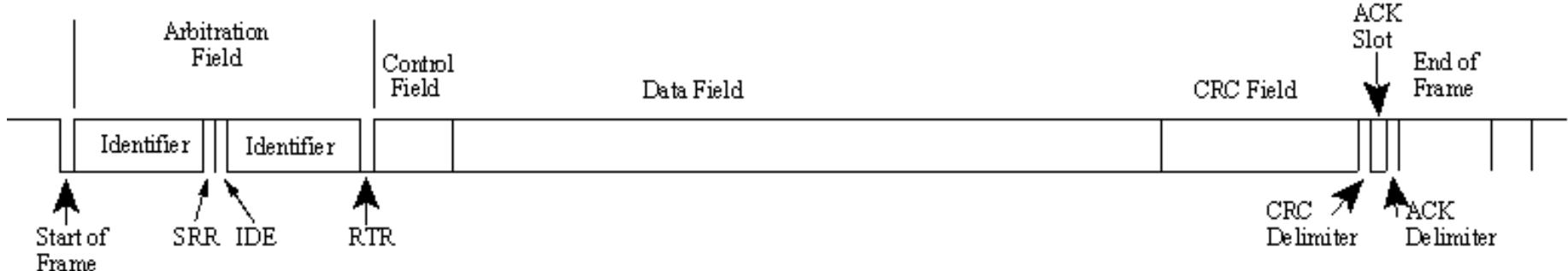
Note 1: It is worth noting that the presence of an Acknowledgement Bit on the bus does not mean that any of the *intended* addressees has received the message. The only thing we know is that *one or more* nodes on the bus has received it correctly

Note 2: The Identifier in the Arbitration Field is not, despite of its name, necessarily identifying the contents of the message.

- CAN 2.0A (“standard CAN” 11-bit ID) Data Frame.



- CAN 2.0B (“extended CAN” 29-bit ID) Data Frame.

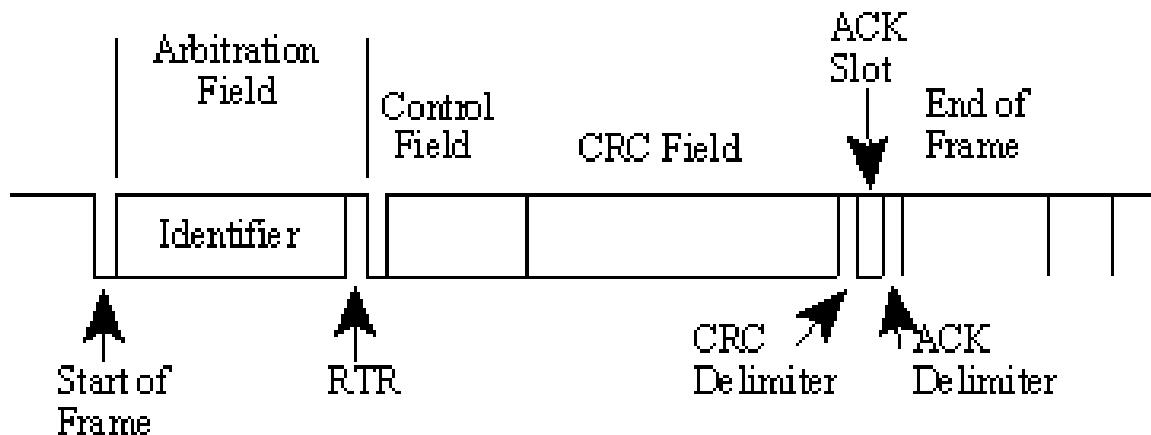


2. The Remote Frame

- ***Summary: "Hello everyone, can somebody please produce the data labeled X?"***
- The Remote Frame is just like the Data Frame, with two important differences:
 - It is explicitly marked as a Remote Frame (the RTR bit in the Arbitration Field is recessive), and
 - there is no Data Field.
- The intended purpose of the Remote Frame is to solicit the transmission of the corresponding Data Frame. If, say, node A transmits a Remote Frame with the Arbitration Field set to 234, then node B, if properly initialized, might respond with a Data Frame with the Arbitration Field also set to 234.
- Remote Frames can be used to implement a type of request-response type of bus traffic management. In practice, however, the Remote Frame is little used. It is also worth noting that the CAN standard does not prescribe the behaviour outlined here. Most CAN controllers can be programmed either to automatically respond to a Remote Frame, or to notify the local CPU instead.

Remote Frame (contd.)

- There's one catch with the Remote Frame: the Data Length Code *must be set to the length of the expected response message*. Otherwise the arbitration will not work.
- Sometimes it is claimed that the node responding to the Remote Frame is starting its transmission as soon as the identifier is recognized, thereby "filling up" the empty Remote Frame. ***This is not the case.***
- A Remote Frame (2.0A type):

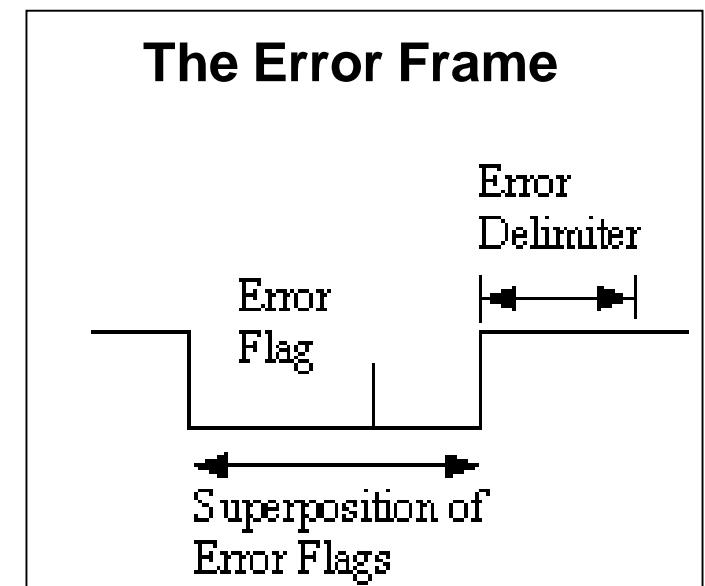


3. The Error Frame

Summary: (everyone, aloud) "OH DEAR, LET'S TRY AGAIN"

Simply put, the Error Frame is a special message that violates the framing rules of a CAN message. It is transmitted when a node detects a fault and will cause all other nodes to detect a fault - so they will send Error Frames, too. The transmitter will then automatically try to retransmit the message. There is an elaborate scheme of error counters that ensures that a node can't destroy the bus traffic by repeatedly transmitting Error Frames.

The Error Frame consists of an Error Flag, which is 6 bits of the same value (thus violating the bit-stuffing rule) and an Error Delimiter, which is 8 recessive bits. The Error Delimiter provides some space in which the other nodes on the bus can send their Error Flags when they detect the first Error Flag.



4 The Overload Frame

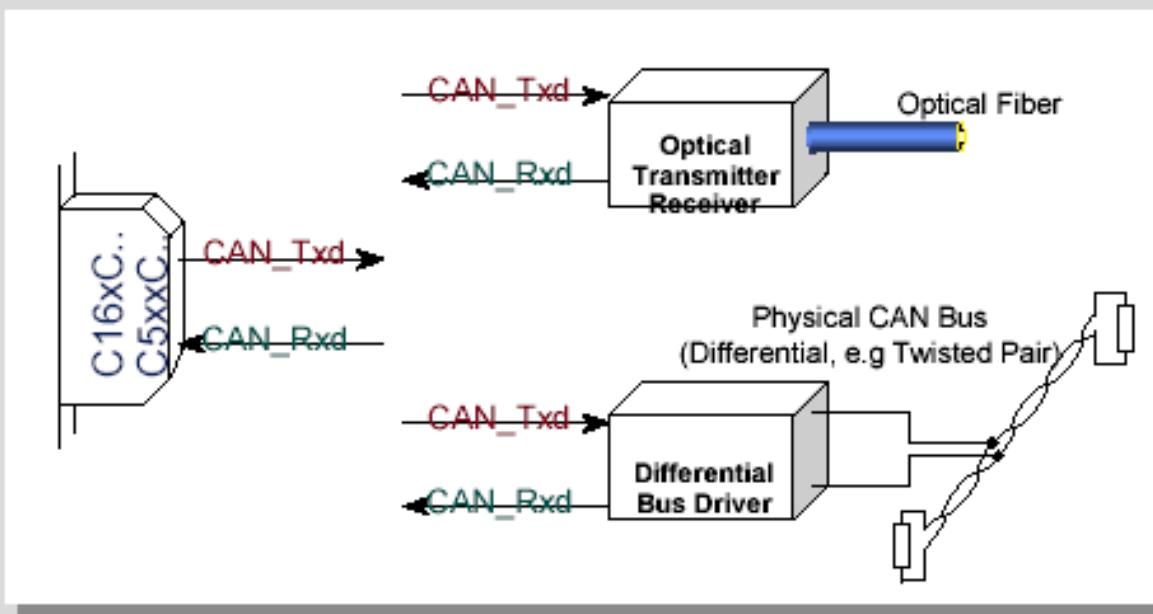
Summary: "I'm a very busy little 82526 device, could you please wait for a moment?"

- The Overload Frame is mentioned here just for completeness. It is very similar to the Error Frame with regard to the format and it is transmitted by a node that becomes too busy. The Overload Frame is not used very often, as today's CAN controllers are clever enough not to use it. In fact, the only controller that will generate Overload Frames is the now obsolete 82526

ISO Physical Layer

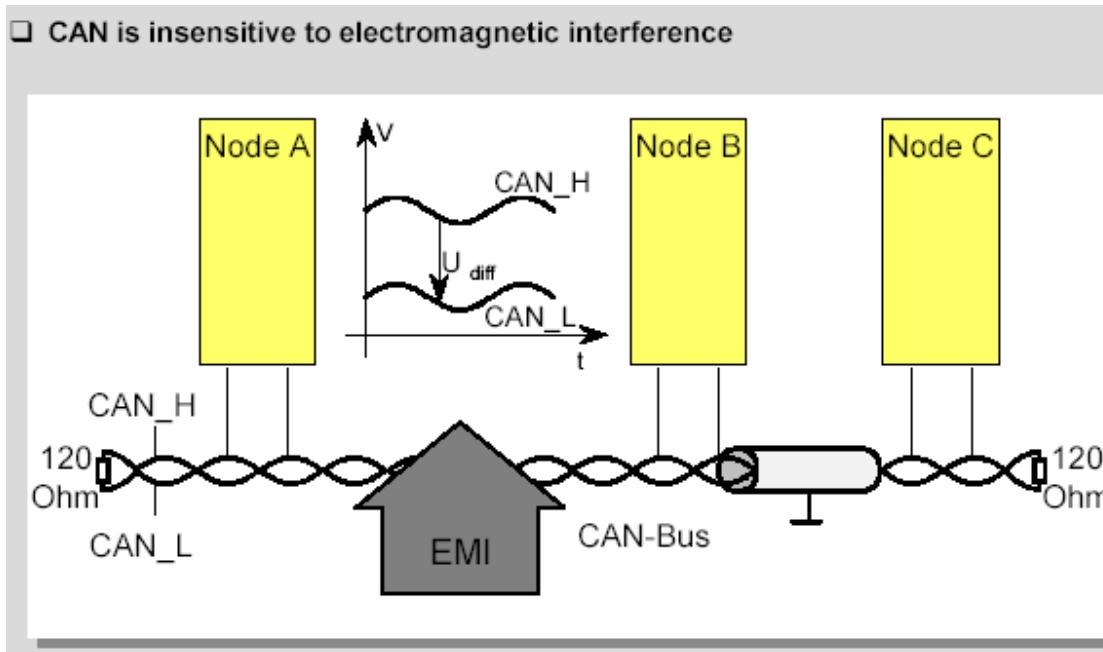
❑ Usual ISO Physical Layer :-

- Bus wires twisted pair, 120R Termination at each end
- 2 wires driven with differential signal (CAN_H, CAN_L)



One of the most common and cheapest implementations is to use a twisted wire pair. The bus lines are then called "CAN_H" and "CAN_L". The two bus lines CAN_H and CAN_L are driven by the nodes with a differential signal. The twisted wire pair is terminated by terminating resistors at each end of bus line, typically 120 ohms.

CAN and EMI

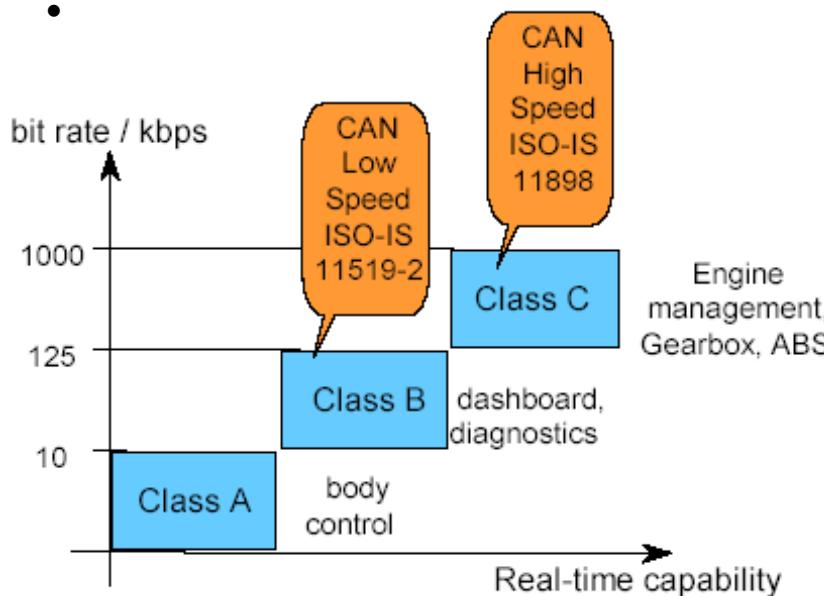


Due to the differential nature of transmission CAN is insensitive to electromagnetic interference, because both bus lines are affected in the same way which leaves the differential signal unaffected.

To reduce the sensitivity against electromagnetic interference even more, the bus lines can additionally be shielded. This also reduces the electromagnetic emission of the bus itself, especially at high baudrates.

Standardisation

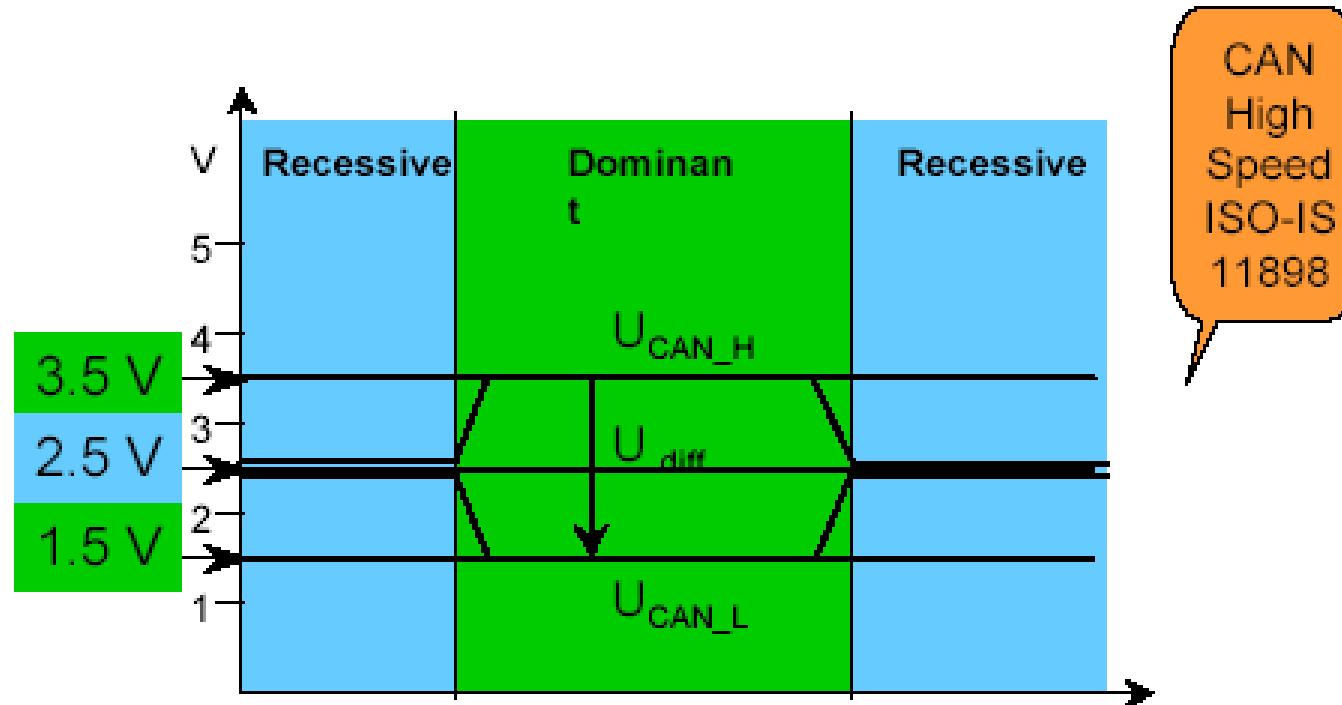
- Vehicle bus system applications can be separated in three different categories according to their real-time capabilities.
 - Class A for a low speed bus with bit rates up to 10 kbps, e.g for body control applications,
 - Class B for a low speed bus with bit rates from 10 kbps to 125 kbps, e.g. for dashboard and diagnostics,
 - Class C for a high speed bus with bit rates from 125 kbps to 1 Mbps for real time applications like engine management, Gearbox, ABS etc.
-



For the use of CAN in vehicles two standards have been defined for the bus interface:

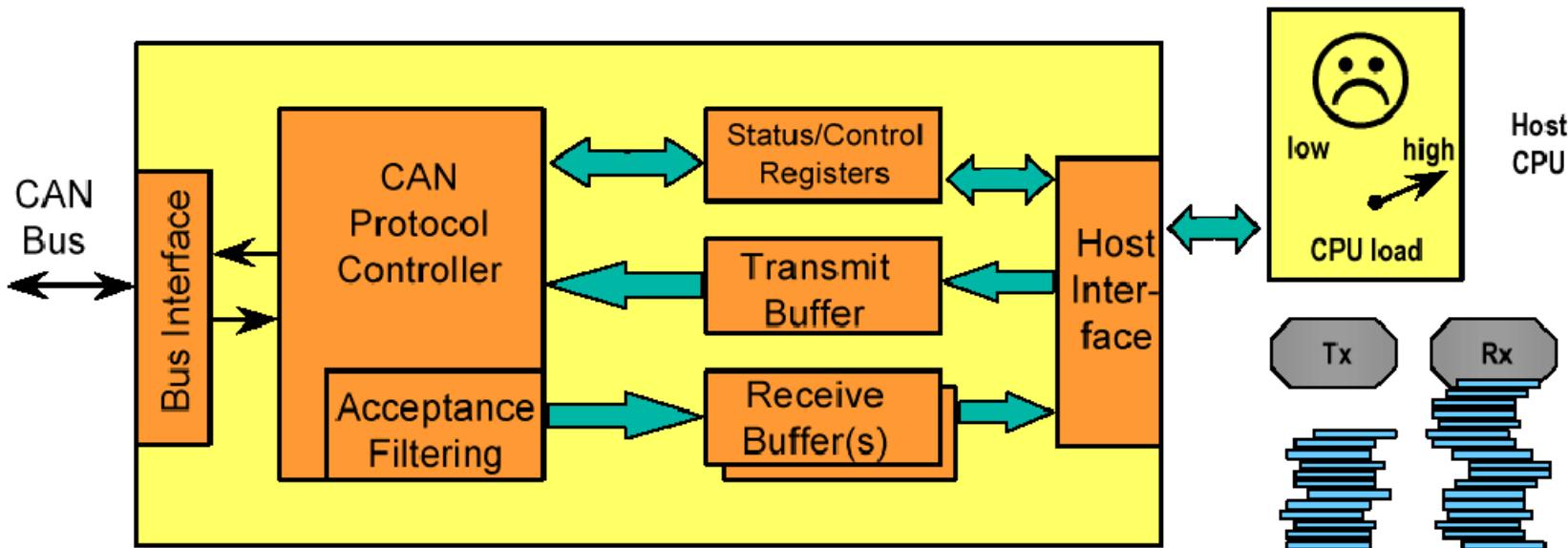
- CAN High Speed according to ISO-IS 11898** for bit rates between 125 kbps and 1 Mbps
- CAN Low Speed according to ISO-IS 11519-2** for bit rates up to 125 kbps

Bus Levels according to ISO-IS 11898



- These are the bus levels according to ISO-IS 11898. A recessive bit is represented by both CAN bus lines driven to a level of about 2.5 V so that the differential voltage between CAN_H and CAN_L is around 0 V.
- A dominant bit is represented by CAN_H going to about 3.5 V and CAN_L going to about 1.5 V. This results in a differential voltage for a dominant bit of about 2V.

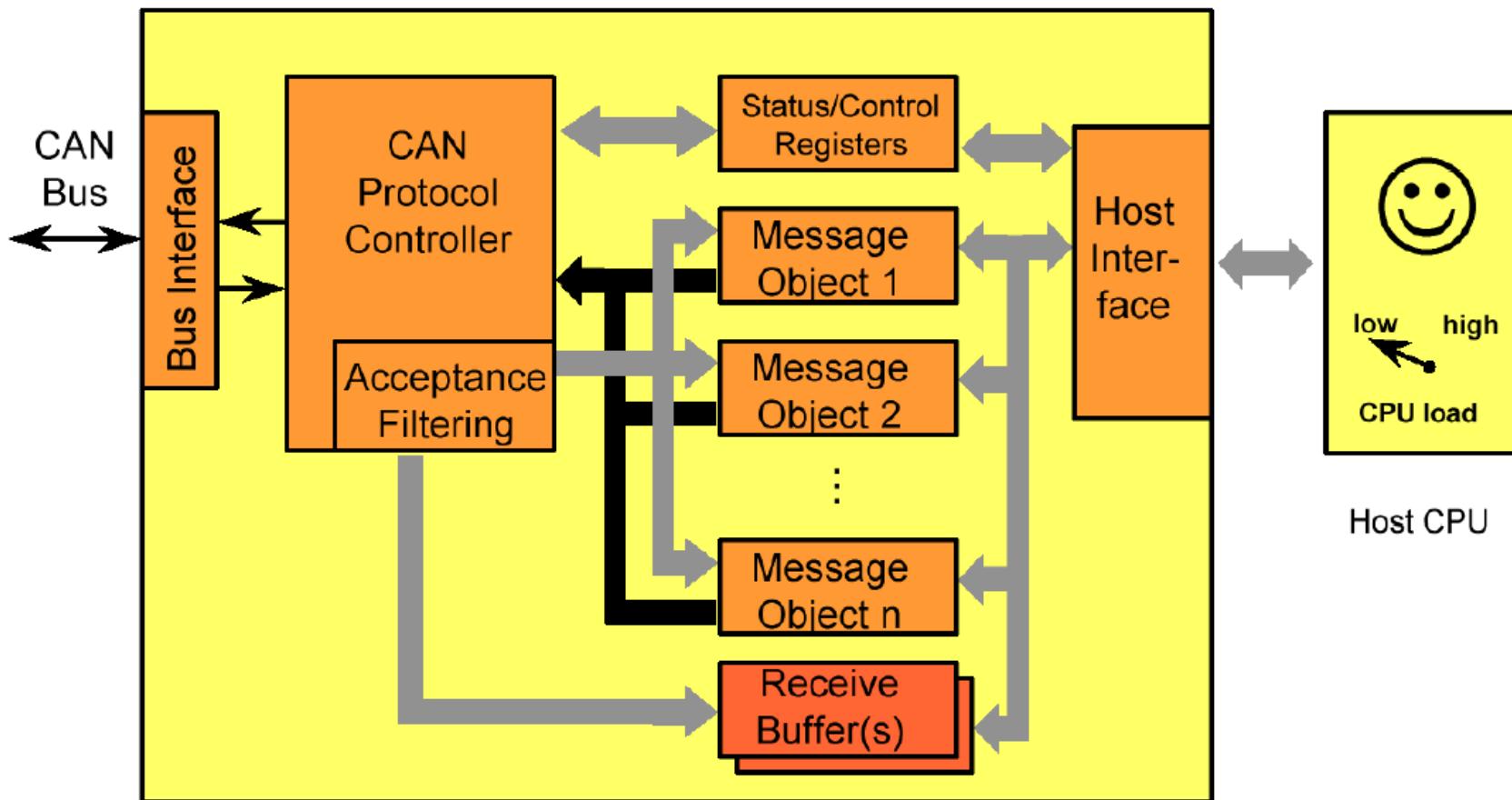
A Basic CAN controller



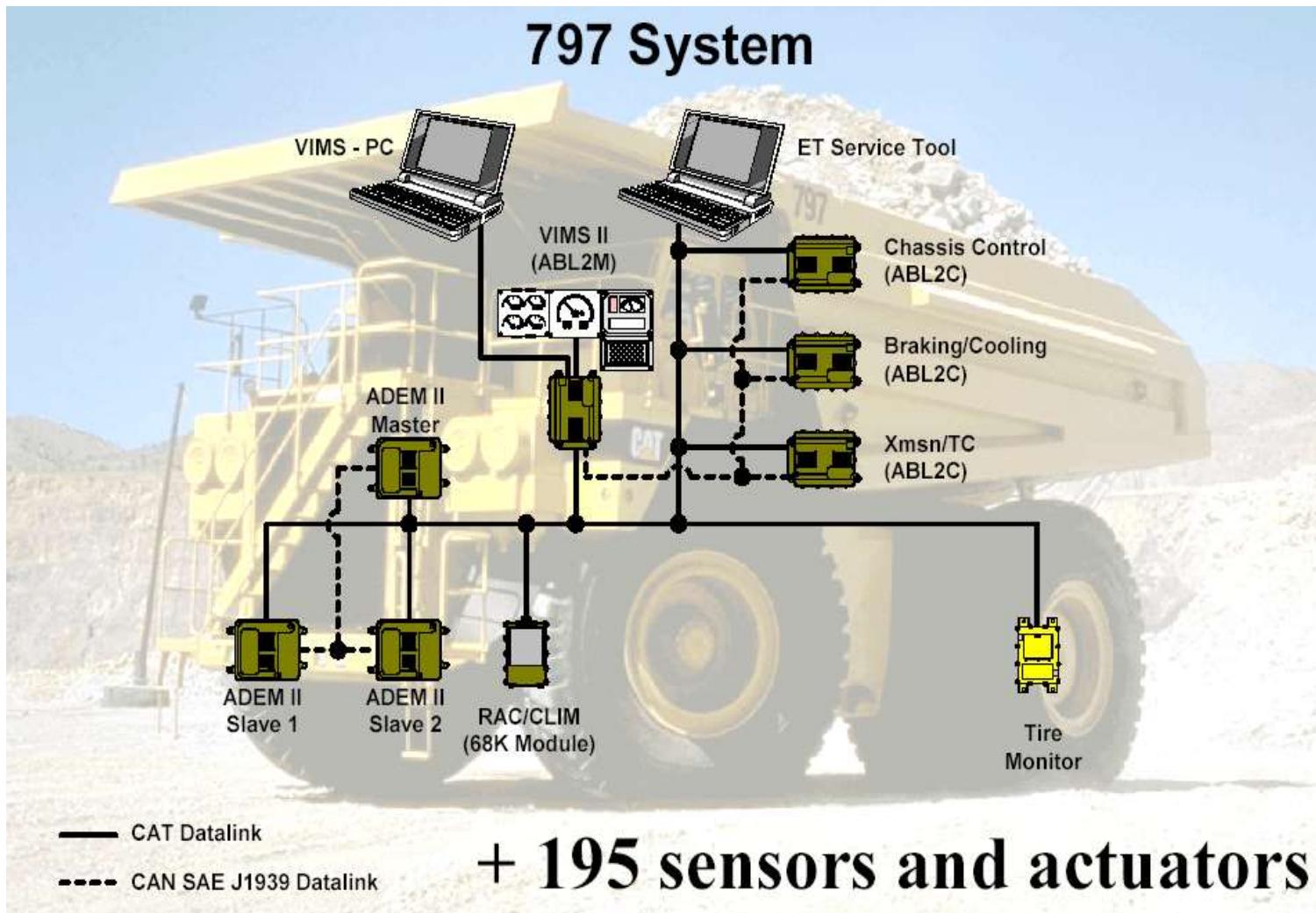
- Cheap CAN controller – CPU could get overrun with messages even if it didn't need them.

Full CAN Controller

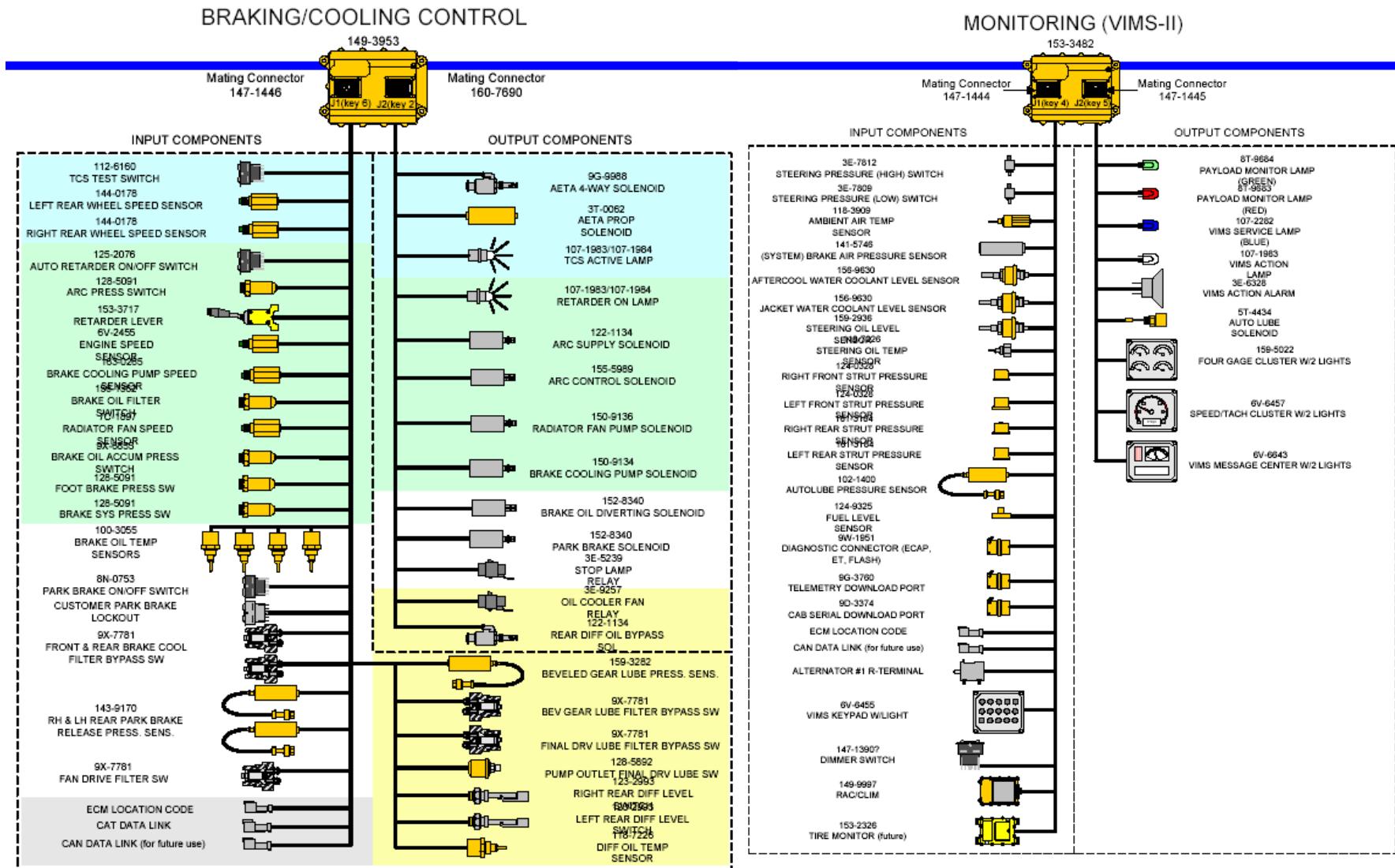
- **Hardware message filters sort & filter messages without interrupting CPU**



CAN (SAE J1939) Example: Caterpillar 797

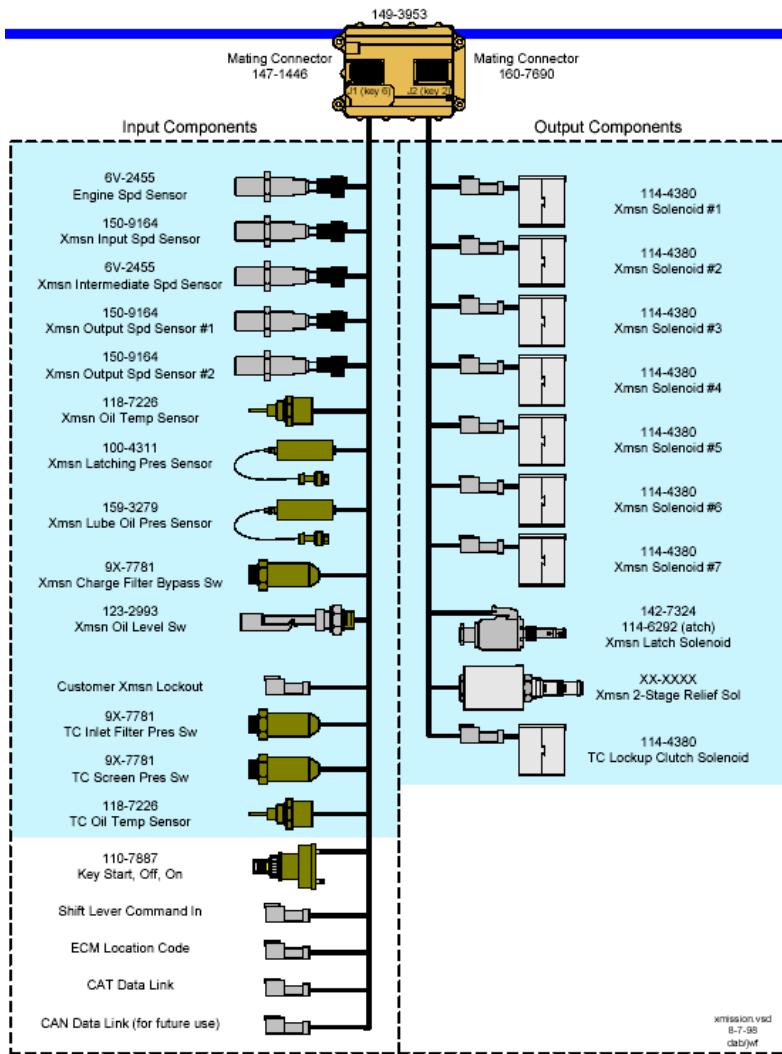


Caterpillar example

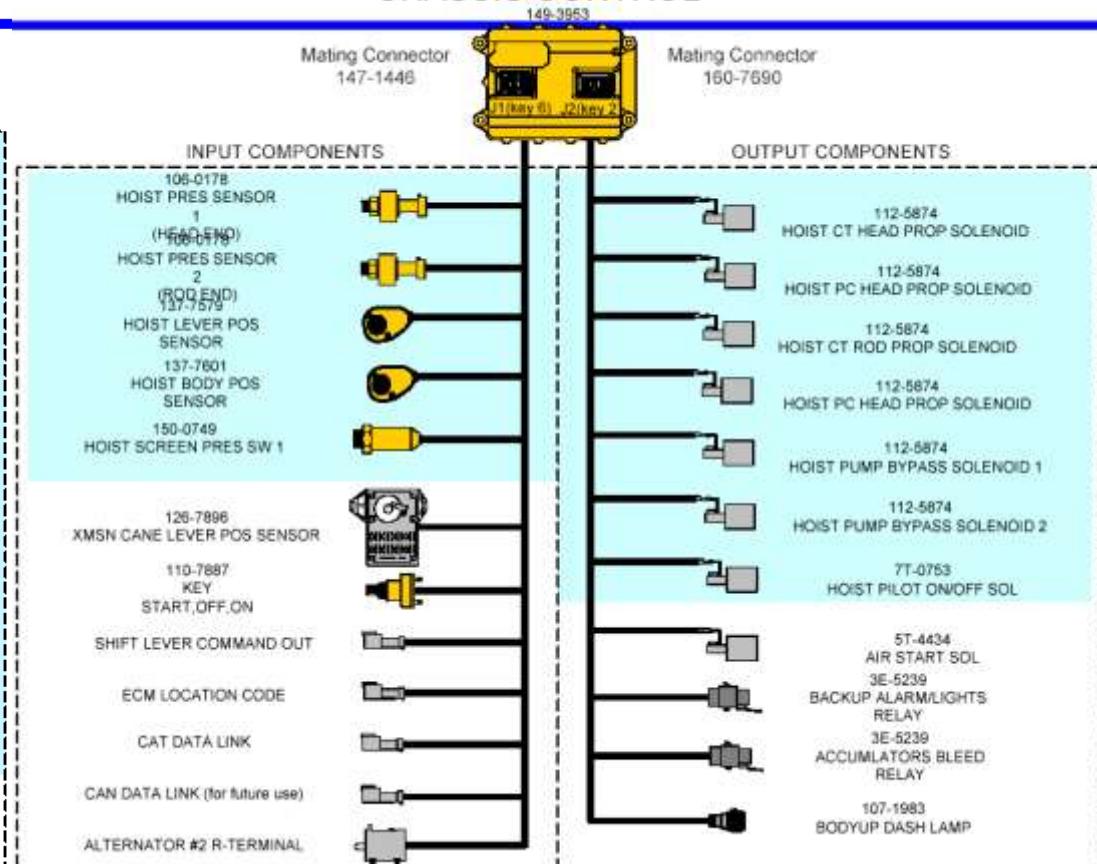


Caterpillar example

797 - TRANSMISSION CONTROL



CHASSIS CONTROL



xmission.vsd
B-7-98
dabjwf

“SAE Standard Workload” (53 messages) V/C = Vehicle Controller

Signal Number	Signal Description	Size /bits	J /ms	T /ms	Periodic /Sporadic	D /ms	From	To
1	Traction Battery Voltage	8	0.6	100.0	P	100.0	Battery	V/C
2	Traction Battery Current	8	0.7	100.0	P	100.0	Battery	V/C
3	Traction Battery Temp, Average	8	1.0	1000.0	P	1000.0	Battery	V/C
4	Auxiliary Battery Voltage	8	0.8	100.0	P	100.0	Battery	V/C
5	Traction Battery Temp, Max.	8	1.1	1000.0	P	1000.0	Battery	V/C
6	Auxiliary Battery Current	8	0.9	100.0	P	100.0	Battery	V/C
7	Accelerator Position	8	0.1	5.0	P	5.0	Driver	V/C
8	Brake Pressure, Master Cylinder	8	0.1	5.0	P	5.0	Brakes	V/C
9	Brake Pressure, Line	8	0.2	5.0	P	5.0	Brakes	V/C
10	Transaxle Lubrication Pressure	8	0.2	100.0	P	100.0	Trans	V/C
11	Transaction Clutch Line Pressure	8	0.1	5.0	P	5.0	Trans	V/C
12	Vehicle Speed	8	0.4	100.0	P	100.0	Brakes	V/C
13	Traction Battery Ground Fault	1	1.2	1000.0	P	1000.0	Battery	V/C
14	Hi&Lo Contactor Open/Close	4	0.1	50.0	S	5.0	Battery	V/C
15	Key Switch Run	1	0.2	50.0	S	20.0	Driver	V/C
16	Key Switch Start	1	0.3	50.0	S	20.0	Driver	V/C
17	Accelerator Switch	2	0.4	50.0	S	20.0	Driver	V/C
18	Brake Switch	1	0.3	20.0	S	20.0	Brakes	V/C
19	Emergency Brake	1	0.5	50.0	S	20.0	Driver	V/C
20	Shift Lever (PRNDL)	3	0.6	50.0	S	20.0	Driver	V/C
21	Motor/Trans Over Temperature	2	0.3	1000.0	P	1000.0	Trans	V/C
22	Speed Control	3	0.7	50.0	S	20.0	Driver	V/C
23	12V Power Ack Vehicle Control	1	0.2	50.0	S	20.0	Battery	V/C
24	12V Power Ack Inverter	1	0.3	50.0	S	20.0	Battery	V/C
25	12V Power Ack I/M Contr.	1	0.4	50.0	S	20.0	Battery	V/C
26	Brake Mode (Parallel/Split)	1	0.8	50.0	S	20.0	Driver	V/C

Corso di Sistemi Elettronici per Automazione e Robotica
LM Ingegneria dell'Automazione e Robotica
Prof. S. Saponara

**Appunti sui protocolli di comunicazione nei sistemi di
automazione e automotive (draft 1.0)**

1. Introduzione: comunicazione in sistemi di automazione/automotive

Approccio tradizionale
Fieldbus Network
Protocolli di comunicazioni e terminologia

2. Interfaccia RS-232

Segnale RS-232
Problema della sincronizzazione
Connessione RS-232 tra PC e periferica
UART

3. CAN (Controller Area Network)

Introduzione al CAN
Caratteristiche del protocollo CAN
Formati dei messaggi
Rilevamento degli errori
Auto diagnosi dei nodi
Livello fisico del CAN
Implementazione dei nodi CAN (Basic CAN e Full CAN)
Uso di bus CAN nel settore automotive

Riferimenti

1. Introduzione: comunicazione in sistemi di automazione/automotive

Approccio tradizionale

Sistemi di controllo tradizionali in ambito industriale erano realizzati connettendo i dispositivi periferici che controllano le varie parti di un processo direttamente ad una unità centrale, dotata di elevata potenza di calcolo, tramite collegamenti punto-punto. Le stazioni periferiche fornivano informazioni all'unità centrale che eseguiva tutte le operazioni di controllo sull'intero sistema e poi ridistribuiva i compiti ad ognuno dei dispositivi periferici. Questo tipo di connessione comporta un elevato numero di cablaggi, spese di installazione e manutenzione, nonché una bassa flessibilità nell'upgrade del sistema. In particolare nel settore automotive l'esigenza di far comunicare i molti dispositivi elettronici presenti all'interno delle automobili (e.g. Antilock Braking System, Engine Control, Air Conditioning Control, chiusura centralizzata etc.) e la complessità di questi avrebbe portato ad un aumento insostenibile di collegamenti dedicati ed una duplicazione dei sensori necessari a più dispositivi, con conseguente aumento dei costi di produzione e soprattutto notevole ingombro fisico.

Fieldbus Network

L'evoluzione delle tecnologie microelettroniche e la conseguente disponibilità di microprocessori con prestazioni elevate e costi contenuti ha consentito di decentralizzare il controllo permettendo ai nodi periferici di poter eseguire per proprio conto le operazioni di cui necessitano. Si è passati così ad uno scenario in cui tutti i componenti del sistema (microprocessori, risorse di memorizzazione volatile e non, convertitori AD e DA, sensori e attuatori con interfacce digitali, etc.) sono connessi tra loro sfruttando un bus e diventando a tutti gli effetti nodi di una unica rete (Fieldbus Network).

A differenza di altri tipi di rete per telecomunicazioni e/o scambio dati tra computer l'obiettivo principale delle reti Fieldbus non è massimizzare la quantità di dati trasferiti/sec (throughput). L'obiettivo è lo scambio di messaggi di comando e stato ovvero messaggi di dimensioni modeste (qualche bytes) con protocolli semplici, cablaggi ridotti, minimizzazione degli errori, capacità di diagnostica, facilità di installazione, interoperabilità e intercambiabilità dei dispositivi connessi.

Protocolli di comunicazioni e terminologia

Tra le tecnologie, intese come protocolli di comunicazione, più diffuse impiegati in reti Fieldbus (<http://www.fieldbus.com.au/techinfo.htm>) troviamo la RS-232, la RS-485 e il CAN (Controller Area Network) che implementano protocolli di tipo seriale asincrono.

Seriale significa che i bit che costituiscono l'informazione sono trasmessi uno alla volta, in successione, su un solo "filo" di connessione. Questo termine è in genere contrapposto a "**parallelo**": in questo caso i dati sono trasmessi contemporaneamente

su più fili (e.g. bus PCI nei computer è un bus parallelo a 32 bit). Da notare che una trasmissione seriale non è a priori più lenta di una parallela: se da un lato su di un filo possono passare meno informazioni che su 32 questo viene bilanciato dalla difficoltà di controllare lo skew (disallineamento temporale tra i vari segnali) dei molti trasmettitori in un bus parallelo. Per esempio in una fibra ottica o in un cavo FireWire (standard seriali) le informazioni transitano ad una velocità paragonabile a quella di un bus PCI parallelo. In ogni caso la scelta nei Fieldbus di adottare standard seriali è legata alla necessità di semplificare i cablaggi, minimizzare errori di trasmissione/ricezione dei messaggi, alla richiesta di bit-rate non elevati (max. centinaia di Kbits/s).

Il termine **asincrono** indica che i dati sono trasmessi senza l'aggiunta di un segnale di clock, cioè di un segnale comune per sincronizzare la trasmissione con la ricezione; sia il trasmettitore che il ricevitore sono comunque dotati di un clock locale per poter interpretare i dati. La sincronizzazione dei due clock è necessaria ed è fatta in corrispondenza della prima transizione sulla linea dei dati.

Se la trasmissione dati è bidirezionale ma non avviene contemporaneamente nelle due direzioni si parla di comunicazione **Half-duplex**: un dispositivo (ricevitore, Rx) ascolta e l'altro (trasmettitore, Tx) emette segnali. Quando è necessario si scambiano i ruoli. **Full-duplex** indica che la trasmissione è bidirezionale e contemporanea. In questo caso sono necessari due fili oppure qualche altro sistema (divisione di frequenza, divisione di codice) per distinguere i due messaggi contemporanei nelle due direzioni. Se la trasmissione è sempre in un solo verso, si parla di **Simplex**. Tipicamente i vari nodi che costituiscono la rete del sistema di controllo fungono sia da trasmettitori che ricevitori (protocollo duplex).

Se nel bus uno solo dei nodi svolge la funzione di gestore della rete (controlla e gestisce l'accesso al bus) si parla di protocollo **master/slave** in cui il predetto nodo funge da master mentre gli altri nodi sono detti slave e sono semplici utilizzatori del canale di comunicazione (possono ricevere o trasmettere informazione ma in funzione del controllo del bus fatto dal master). Una rete master/slave in cui ci sono più dispositivi che fungono da master si dice **multi-master**. In tal caso è necessario un **sistema di arbitraggio** per i risolvere i conflitti che nascono quando più master richiedono il controllo del canale di comunicazione. Tipicamente in queste reti il nodo (master) che prende il controllo del bus, quando inizia una comunicazione, specifica tramite un indirizzo a quale nodo della rete è destinata l'informazione (e.g. bus dati e indirizzi nell'architettura interna di un calcolatore descritta nelle slides di Lezione 16). Esistono anche protocolli detti **producer/consumer** in cui qualsiasi nodo può acquisire momentaneamente il controllo del bus ed iniziare una trasmissione (funge da producer) mentre gli altri nodi si attiveranno in questa fase in ricezione (consumer). Il nodo della rete che trasmette non specifica a quale nodo della rete è destinata l'informazione (ovvero non viene specificato nessun indirizzo) ma specifica da quale interfaccia vengono prodotti i dati. Il CAN è un protocollo di comunicazione di questo tipo.

2. Interfaccia RS-232

Segnale RS-232

Figura 1 mostra l'andamento del segnale (trama) che, in una comunicazione tra due dispositivi con protocollo RS-232 a 9600 bits/s 8n2 rappresentante il valore binario 00110000.

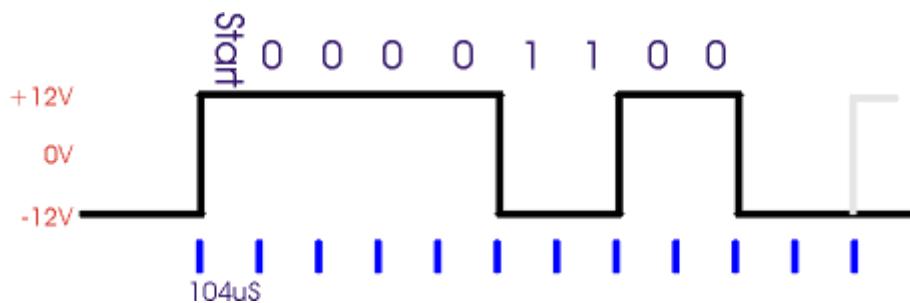


Figura 1: Esempio segnale RS-232

Il segnale, così come nel CAN, utilizza per i bit una codifica **NRZ** (Non-Return-Zero): il segnale è un treno di impulsi rettangolari di durata T fissata dal bit-rate ($T=1/9600=104 \mu s$ nell'esempio) e con ampiezza caratterizzata da un valore "alto" pari a circa +12V ed un valore "basso" pari a -12V. Ogni impulso rappresenta un bit. In particolare nella RS-232 un valore alto di tensione rappresenta lo zero logico ed uno basso un uno logico. La linea si trova inizialmente nello stato di riposo con un livello basso di tensione (nessun dato in transito); la prima transizione da livello basso di tensione a livello alto indica l'inizio della trasmissione ("bit di start" della durata di 104 μs). Segue il bit meno significativo (LSB), dopo altri 104 μs il secondo bit, e così via, per otto volte, fino al bit più significativo (MSB). Segue infine un periodo di riposo della linea di almeno 208 μs , cioè due bit di stop e quindi (eventualmente) inizia un nuovo pacchetto di bit. Pertanto nell'esempio considerato vengono trasmessi 11 bit di cui solo 8 rappresentano l'informazione effettivamente utile. Da notare che con la codifica NRZ il numero di commutazioni è inferiore al numero di bit (in Figura 1 abbiamo 4 commutazioni a fronte di 11 bit trasmessi)

Esistono delle varianti: Se la trasmissione è più veloce o più lenta, la durata degli impulsi varia (a 1200 Kbits/s le transizioni avvengono a multipli di 0,833 ms). Lo standard originale prevede una velocità fino a 20 Kbits/s. Uno standard successivo (RS-562) ha portato il limite a 64 Kbits/s con i due standard compatibili a bassa velocità. Le interfacce seriali RS-232 nei normali PC in genere superano i 100 Kbits/s. Il numero di bit dei dati trasmessi per ogni trama può variare da 5 a 9; è possibile aggiungere un bit di parità per incrementare la robustezza della comunicazione; al termine della comunicazione la linea rimane nello stato di riposo per almeno 1 o 2 bit. Il formato del pacchetto trasmesso è indicato da una sigla composta da numeri e cifre, per esempio 8n2 dove la prima cifra indica quanti bit di dati sono trasmessi (8), la prima lettera il tipo di parità (nessuna), la seconda cifra il numero di bit di stop (2).

Come detto oltre ai bit dei dati viene inserito un bit di parità (opzionale) per verificare la correttezza del dato ricevuto. Esistono cinque tipi di parità:

- None: nessun tipo di parità, cioè nessun bit aggiunto
- Pari (even): il numero di 1 (incluso il bit di parità) è sempre pari
- Dispari (odd): il numero di 0 (incluso il bit di parità) è sempre dispari
- Mark: il bit di parità vale sempre 1
- Space: il bit di parità vale sempre 0

La tensione di uscita di un trasmettitore RS-232 deve essere compresa in valore assoluto tra 5 e 25 V (valore ridotto a 13 V in alcune revisioni dello standard). A volte le tensioni in uscita sono diminuite a +/- 6V anziché i 12 V dell'esempio per permettere minori emissioni elettromagnetiche. Il ricevitore deve funzionare correttamente con tensioni di ingresso comprese, in valore assoluto, tra 3 V e 25 V. Molti ricevitori commerciali considerano semplicemente una tensione di soglia al valore di +2V (sopra viene riconosciuto un segnale alto, sotto uno basso). Per adattare i segnali utilizzati da circuiti digitali con livelli non direttamente compatibili con la standard RS-232 esistono appositi traslatori di livello che hanno il compito di fornire sia in trasmissione che in ricezione gli opportuni livelli pur non modificando la forma del segnale trasmesso.

Problema della sincronizzazione

Data la possibilità di implementare diverse varianti dello stesso protocollo di comunicazione sia trasmettitore che ricevitore devono accordarsi sul modo di trasmettere i dati prima di iniziare la trasmissione vera e propria. Inoltre e' importante garantire il rigoroso rispetto della durata dei singoli bit: infatti non è presente alcun segnale di clock comune tra trasmettitore e ricevitore e l'unico elemento di sincronizzazione è dato dal fronte di salita del bit di start. Poiché il campionamento in ricezione è effettuato di norma al centro di ciascun bit l'errore massimo ammesso è, teoricamente, pari alla durata di mezzo bit. Naturalmente questo limite non tiene conto della possibile difficoltà di riconoscere con precisione il fronte del bit di start (soprattutto su grandi distanze ed in ambiente rumoroso) e della presenza di interferenze intersimboliche tra bit adiacenti.

Connessione RS-232 tra PC e periferica

Sul PC sono disponibili due tipi di connettori RS-232 per connessione con periferiche (strumentazione, attuatori o sensori con interfaccia digitale, altri PC) identici dal punto di vista funzionale: uno a 9 pin (DB9) e uno a 25 pin (DB25 ormai scomparso dalle generazioni di PC odierne). Per ricevere e trasmettere un segnale RS-232 bastano in teoria tre fili: ricezione, trasmissione e massa. Gli altri fili sono utilizzati per l'handshake tra trasmettitore e ricevitore ovvero per sincronizzare la comunicazione. In particolare sono presenti due coppie di fili:

DTR/DSR: Quando il PC è collegato per la prima volta, pone alto DTR. La periferica risponde ponendo alto DSR

RTS/CTS: quando il PC inizia la trasmissione pone RTS alto, la periferica segnala che è pronta a iniziare la comunicazione ponendo CTS alto. Per interrompere la trasmissione la periferica pone CTS basso.

UART

Da notare che i processori lavorano con bus paralleli: da 8-bit tipici di microcontrollori per controllo industriale, fino ai 128 bit di processori Very Long Instruction Word dedicati per elaborazioni di segnali multimediali, con 32-bit valore tipico per processori general purpose. Per trasformare il segnale parallelo proveniente dal processore in segnale seriale esistono dei chip detti UART (Universal Asynchronous Receiver/Transmitter). In genere vengono gestite dall'hardware tutte le funzioni a basso livello necessarie quali inserimento dei bit di start e di stop, generazione o riconoscimento del bit di parità, generazione di interrupt e spesso è presente un buffer con logica FIFO (First In First Out) che permette di ricevere ed inviare dati anche quando il processore è impegnato. Nei moderni microcontrollori il modulo che fa da UART è spesso integrato sullo stesso chip del core di processamento e pertanto il microcontrollore può comunicare secondo protocolli sia seriali che paralleli.

3. CAN (Controller Area Network)

Introduzione al CAN

CAN (Controller Area Network) è un bus seriale di comunicazione dati progettato per applicazioni real-time: consente a controllori, sensori e attuatori di comunicare l'uno con l'altro ad una velocità fino a 1Mbit/s, tipicamente 500 Kbits/s nelle attuali implementazioni (data-rate molto maggiore delle velocità descritte per la RS-232), offrendo anche:

- bassi costi di progettazione e implementazione
- funzionamento in ambienti ostili
- facilità di configurazione e modifica
- rilevamento automatico degli errori di trasmissione.

Nato originariamente per l'industria automobilistica (CAN è stato sviluppato dalla Bosch nel 1986 su richiesta della Mercedes), si è diffuso presto nell'automazione industriale per le sue caratteristiche di robustezza ed affidabilità. Oggi sono disponibili chip di diverse aziende che implementano il protocollo CAN (Philips, Intel, Motorola, Siemens etc.) e sono disponibili diversi integrati che implementano su un unico chip un controllore CAN insieme al core di processamento e una UART.

Caratteristiche del protocollo CAN

Il nucleo del protocollo CAN è nel livello data link ovvero nella politica di accesso al

mezzo di trasmissione. L'architettura di rete è molto flessibile in quanto possono essere supportate connessioni punto-punto, master/slave o multi-master. Tra le caratteristiche del protocollo abbiamo:

Assenza di indirizzi mittente/destinatario e multicast

I pacchetti trasmessi da un modulo CAN non contengono indirizzi di alcun genere, al loro posto troviamo un identificatore del contenuto del messaggio (e.g. giri al minuto, temperatura motore, temperatura abitacolo ...) unico sull'intera rete. Pertanto, in accordo ad un approccio producer/consumer, il nodo della rete che trasmette non specifica a quale nodo della rete è destinata l'informazione ma specifica da quale interfaccia vengono prodotti i dati. Un nodo ricevitore può verificare il contenuto del messaggio e filtrare i soli pacchetti a cui è interessato (message filtering), ignorando gli altri. Questo modo di operare in cui l'informazione del nodo trasmettitore è accessibile a tutti gli altri nodi della rete è detto Multicast.

Ad esempio in Figura 2 viene rappresentata la situazione di un nodo (il nodo 2) che trasmette dati riguardanti e.g. i giri al minuto del motore e mentre il tachimetro (nodo 1) e l'Engine Management System (nodo 4) accettano il pacchetto, l'unità di gestione dell'aria condizionata (nodo 3) lo ignora.

Questo approccio di comunicazione (basato sul contenuto dei messaggi trasmessi sulla rete e non sugli indirizzi dei nodi della rete) permette un alto grado di flessibilità e modularità del sistema, consentendo che nuovi nodi che sono solo ricevitori e che hanno bisogno dei soli dati esistenti possano essere aggiunti senza alcuna modifica né all'hardware né al software.

Nel suo formato standard il CAN supporta identificatori del messaggio a 11 bits (che consentono la codifica di 2048 tipi di messaggi differenti).

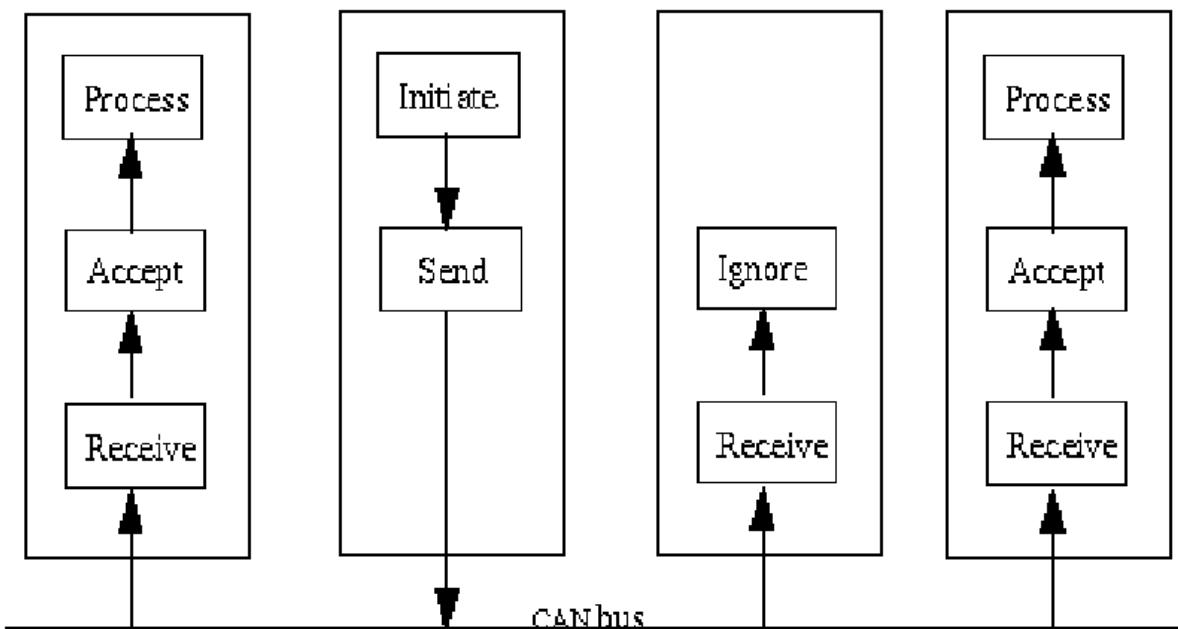


Figura 2: Esempio di message filtering, l'informazione del nodo 2 è ricevuta dai nodi 1, 3 e 4 ma viene ignorata dal nodo 3 e utilizzata solo dai nodi 1 e 4.

Politica di arbitraggio

Ovviamente in una rete in cui vi sono più nodi in grado di generare informazione nasce il problema dell'arbitraggio dell'accesso al bus. Quando il canale (bus) è libero ogni unità connessa può cominciare a trasmettere secondo una politica di trasmissione detta *non-destructive bitwise arbitration*. Ovvero due o più stazioni che iniziano a trasmettere competono per l'accesso al bus con un valore di priorità determinato proprio dall'identificatore. Quello con il valore numerico più basso vince la competizione per il canale. In pratica l'ID del messaggio definisce una priorità in trasmissione. Il nodo che deve trasmettere il messaggio con priorità maggiore (ID minore: lo 0 vince sull' 1. Al livello logico 0 corrisponde un livello di segnale detto DOMINANT, al livello logico 1 corrisponde un livello di segnale detto RECESSIVE. Una eventuale sovrapposizione di segnali DOMINANT e RECESSIVE sul bus viene interpretato come uno 0 logico) può trasmettere non appena è libero il bus.

In Figura 3 è riportato un esempio di conflitto sull'accesso al bus tra tre nodi che tentano di trasmettere allo stesso istante: in particolare vengono riportati i segnali che tentano di trasmettere ed il segnale effettivo che si legge sul bus. In particolare per i primi tre cicli non c'e' conflitto. Al quarto ciclo il nodo 1 perde la competizione e smette di trasmettere perché cerca di imporre un uno logico (recessivo) mentre i nodi 2 e 3 impongono lo zero logico (dominante). In corrispondenza dell'ottavo ciclo il nodo 3 perde la competizione e smette di trasmettere mentre il nodo 2 continua a trasmettere come se fosse stato solo sul bus. Da notare che i nodi perdenti diventano subito ricevitori e non tenteranno una ritrasmissione non prima che il bus sia diventato libero. Questa politica garantisce il determinismo dell'accesso al bus, e l'assenza di periodi di inattività del canale. Anche in questo caso la politica di arbitraggio è basata sul contenuto dei messaggi trasmessi sulla rete e non sugli indirizzi dei nodi della rete.

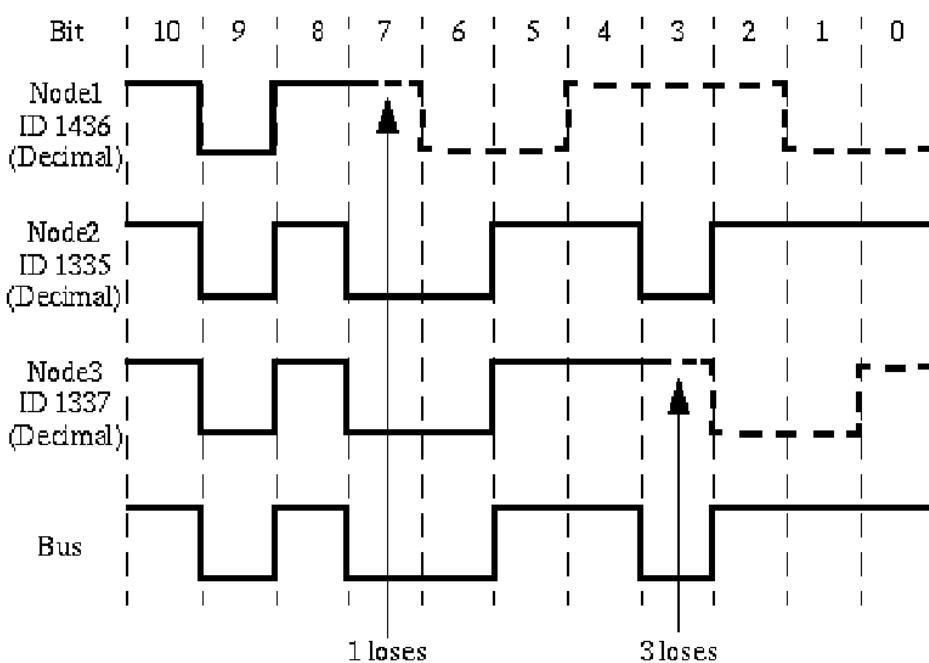


Figura 3: Esempio di arbitraggio nell'accesso al bus CAN

Formati dei messaggi

CAN prevede 4 tipi di messaggi:

1. Data Frame (trasporta dati da un nodo sorgente ad un nodo ricevente);
2. Remote Frame (viene inviato da un nodo per ottenere un DATA FRAME con lo stesso ID);
3. Error Frame (trasmesso da qualsiasi stazione che rilevi un errore sul bus);
4. Overload Frame (serve ad aggiungere ritardi extra)

Ci sono due formati per i Data Frame e Remote Frame:

- Standard CAN (Versione 2.0 A)
- Extended CAN (Versione 2.0 B)

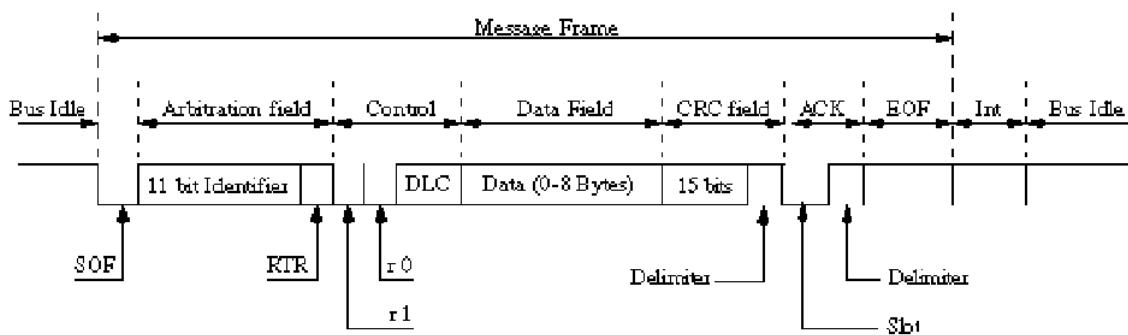


Figura 4: Struttura messaggio nel protocollo CAN 2.0

Con riferimento a Figura 4 lo Standard CAN 2.0 A prevede che il Data Frame sia strutturato come segue:

- Un campo Start Of Frame (SOF). È un bit dominante (0 logico) che indica l'inizio di un message frame. Il rilevamento di un bit dominante quando la linea è in pausa (Bus Idle, sulla linea c'e' un bit 1 recessivo) è quindi interpretato come un SOF. Difatti l'SOF in Figura 3 ha la stessa funzione dello start bit della RS-232 in Figura 1.
- Un Arbitration Field, contenente 11 bit di identificatore e il Remote Transmission Request (RTR) bit. Quest'ultimo bit quando è settato a 0 indica che il frame è un Data Frame, se settato a 1 indica che è un Remote Frame. Il Remote Frame è una richiesta da parte di un nodo del Data Frame corrispondente (avente lo stesso identificatore) e non presenta un campo dati. Ovvero un nodo della rete può richiedere dei dati di un tipo specificato (da un certo ID) inviando un Remote Frame (che essendo una richiesta non porta informazione e quindi ha il campo dati Data Field nullo). Il nodo che può fornirli li invia in un Data Frame che ha lo stesso ID del Remote Frame.
- Un Control Field contenente 6 bit: 2 bit riservati per usi futuri e 4 bit di Data Length Code (DLC). Questo indica il numero dei byte nel Data Field seguente, esso può variare da 0 a 8 byte ($2^4=16$, ma si utilizzano le sole combinazioni "0000" → 1000").
- Data Field rappresenta il contenuto informativo vero e proprio.

- Il CRC Field contenente 15 bit di cyclic redundancy check code e un bit recessive come delimitatore. Il CRC difatti rappresenta una evoluzione del concetto di bit di parità ovvero dell'inserzione di bit ridondanti atti ad aumentare la capacità di individuazione di errori nella comunicazione.

- Il campo Ack di 2 bit; il primo è lo Slot Ack che è trasmesso come recessive, ma è sovrascritto con un bit dominante da ogni stazione che riceve correttamente il messaggio; il secondo bit è recessive e svolge il compito di delimitatore.

- Il campo End Of Frame (EOF) che consiste di 7 recessive bit.

Per separare tra loro frames in sequenza vi è l'Interframe Space che non è un periodo di tempo tra due frame, bensì un insieme di bit ovvero un pacchetto speciale inviato dall'ultimo nodo che ha trasmesso (Overload Frames ed Error Frames non sono preceduti dall'Interframe Space). Il pacchetto ha due (tre) campi:

- Intermission (Int che consta di 3 bits settati a 1; quando sul bus passano i bits di Intermission nessuna stazione può trasmettere Data o Remote Frame: l'unica azione ammessa è la segnalazione di condizioni di overload);

- Bus Idle (di lunghezza arbitraria);

- Suspend Transmission (solo per stazioni in condizioni Error Passive; tale campo, se presente, è posto tra gli altri due. Una stazione Error Passive, dopo l'invio di un messaggio, trasmette l'Intermission seguito da 8 bits a 1 prima di trasmettere un nuovo frame o di liberare il bus. Se durante tale periodo un'altra stazione comincia a trasmettere, questa si arresta).

Da notare che la struttura di un Remote Frame è simile a quella del Data Frame ma Data Field non c'è e RTR bit vale 1 invece di 0.

Lo standard CAN 2.0 B prevede un identificatore di 29 bit, per offrire compatibilità con altri protocolli di comunicazione seriale usati in USA. In particolare l'identificatore è diviso in Base ID lungo 11 bit per garantire la compatibilità con la versione A e in Extension ID di 18 bit. Esistono tre tipi di controllori CAN: i 2.0A che sono capaci di spedire solo messaggi di formato Standard, restituendo errore nel caso ricevano in formato Extended; i 2.0B passive che sono in grado di spedire solo in formato Standard, ma possono ricevere in formato Extended; i 2.0B che possono funzionare in entrambe le modalità.

Rilevamento degli errori

Il processo di segnalazione degli errori in una rete CAN si articola nelle seguenti fasi:

- Un controller CAN rileva un errore (in trasmissione o in ricezione)
- Un Error Frame viene immediatamente trasmesso
- Il messaggio incriminato viene ignorato da tutti i nodi
- Viene aggiornato lo stato del controller CAN
- Il messaggio viene ritrasmesso, eventualmente competendo con altri.

Un errore può essere rilevato in 5 modi, 3 dei quali a livello del messaggio e 2 a livello del singolo bit:

- Bit Stuffing Error; normalmente un nodo in trasmissione inserisce dopo 5 bit consecutivi della stessa polarità un bit di polarità opposta; ciò è chiamato bit stuffing.

Un nodo che riceve più di 5 bit consecutivi di segno uguale rileverà un errore di questo tipo.

- Bit Error; un nodo in trasmissione ascolta sempre il bus per verificare la corrispondenza con ciò che sta trasmettendo: se esso ascolta un bit diverso dal suo verrà segnalato un errore.
- Checksum Error; ogni nodo ricevente ricalcola il CRC in base a ciò che ha ricevuto, e se non corrisponde a quello inviato dal mittente viene segnalato un errore.
- Frame Error; viene segnalato questo tipo di errore quando vengono violati alcuni campi fissi del pacchetto (bit che devono essere spediti sempre dello stesso tipo).
- Acknowledgement Error; se il trasmettitore non rileva alcun riscontro al frame appena inviato.

Un Error Frame è costituito da un Error Flag ed un Error Delimiter.

L'Error Flag è lungo 6 bit dello stesso segno e viola volontariamente la regola dello bit stuffing in modo che tutte le altre stazioni rilevino un errore e spediscano anch'esse un Error Flag. Per questo motivo il campo Error Flag nel pacchetto è di lunghezza variabile (max 12 bit) dato dalla sovrapposizione di tutti gli Error Flag spediti. A seguito c'è un Error Delimiter costituito da 8 bit recessive.

Simile all'Error Frame è l'Overload Frame poiché anch'esso consiste di un Overload Flag e di un Overload Delimiter. Esso viene generato quando un nodo ricevitore ha bisogno di più tempo per processare i dati correnti prima che altri vengano ricevuti. Un nodo trasmetterà l'overload flag subito dopo l'EOF (End of Frame in Figura 4): in questo modo tutti gli altri nodi diagnosticheranno una condizione di overload e spediranno anch'esse un overload flag. A seguito della sovrapposizione dei flag ci saranno 8 bit recessive di delimiter. Un Overload Frame non richiede la ritrasmissione del frame che ha causato la condizione di overload.

Auto diagnosi dei nodi

CAN offre anche un meccanismo di auto isolamento dei guasti con la possibilità di distinguere tra condizioni di guasto transitorie (e.g. dovute a sbalzi di voltaggio, condizioni esterne di disturbo), e guasti permanenti (e.g. dovuti a cattive connessioni, cavi rotti). Ogni nodo CAN ha due registri di error count: uno di trasmissione e uno di ricezione. Essi sono inizialmente settati a 0 e vengono incrementati ogni qualvolta si presenta una situazione di errore (+1 per un errore in ricezione, +8 per un errore in trasmissione). A sua volta ogni nodo della rete CAN può trovarsi in tre stati (vedi Figura 5):

- Error Active. Nessuno dei due contatori ha superato il valore di 127. Il nodo è nel pieno delle sue funzionalità e decrementa di 1 i contatori ogni volta che riceve un messaggio andato a buon fine. Quando è in questo stato il nodo che rileva un errore spedisce un Error Flag costituito da 6 bit dominanti in modo da interrompere sempre la trasmissione.
- Error Passive. Almeno uno dei due contatori ha superato 127. Il nodo è ancora in grado di eseguire tutte le sue funzioni, ma è probabile che esso presenti dei disturbi o

condizioni di guasto. Per questo quando esso rileva un errore spedisce un Error Flag di 6 bit recessive che vengono interpretati come errore solo se nessuna stazione sta spedendo un suo proprio messaggio (i bit recessive contrariamente vengono sovrascritti).

- Bus Off. Se uno dei contatori supera 255 il nodo si stacca dal bus e non partecipa alla comunicazione lasciando gli altri nodi nella possibilità di continuare a scambiarsi informazioni (autoisolamento). Se ciò accade certamente la stazione presenta un problema permanente che necessita di un intervento esterno per ripristinare il perfetto funzionamento. Alcune implementazioni consentono al nodo di tornare Error Active dopo che esso abbia ricevuto 128 messaggi andati a buon fine, altre necessitano di un reset hardware.

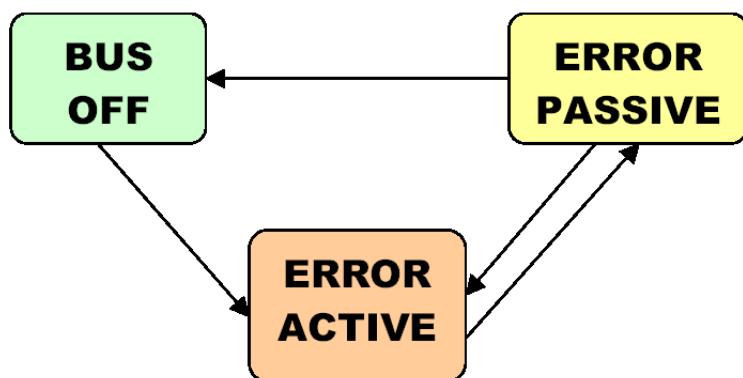


Figura 5: Stati di un nodo CAN

L'alta affidabilità del CAN e il suo successo in applicazioni in cui la sicurezza è un fattore critico (automazione, trasporti, biomedicale) è legata alla capacità di identificare dati corrotti da guasti di trasmissione. La probabilità residua d'errore è una misura statistica e specifica la probabilità che un messaggio sia corrotto ma non diagnosticato tale da nessun nodo della rete. E' stato calcolato che su un bus CAN a 1Mbit/s utilizzato al 50%, con lunghezze medie di messaggi di 80 bits si avrebbe una probabilità residua di non individuare un messaggio corrotto di circa 4×10^{-7} messaggi/ora (a 8 ore al giorno per 365 giorni l'anno si avrebbe un guasto non diagnosticato ogni 1000 anni).

Livello fisico del CAN

Il livello fisico del CAN è stato standardizzato in accordo con la direttiva ISO 11898. Il cavo trasmissivo su cui vengono trasmesse le informazioni in accordo al protocollo seriale fino ad ora analizzato è costituito da una coppia di fili intrecciati (chiamati CAN_H e CAN_L) pilotati in modo differenziale. Se l'informazione è trasmessa in modo differenziale ovvero $V = V_{CAN_H} - V_{CAN_L}$ tutti i disturbi ΔV che si manifestano sulle due linee nello stesso modo scompaiono essendo $V = (V_{CAN_H} + \Delta V) - (V_{CAN_L} + \Delta V) = V_{CAN_H} - V_{CAN_L}$. Il cavo può essere sia schermato sia non schermato. L'impedenza che termina il cavo deve essere di 120Ω . La lunghezza massima del bus dipende dalla velocità di trasmissione usata in accordo ai valori in Figura 6 (bit-

rate maggiori sono supportati su connessioni di lunghezza inferiore). In ogni caso il CAN è un bus per connessioni con data-rate massimi di 1 Mbits/s.

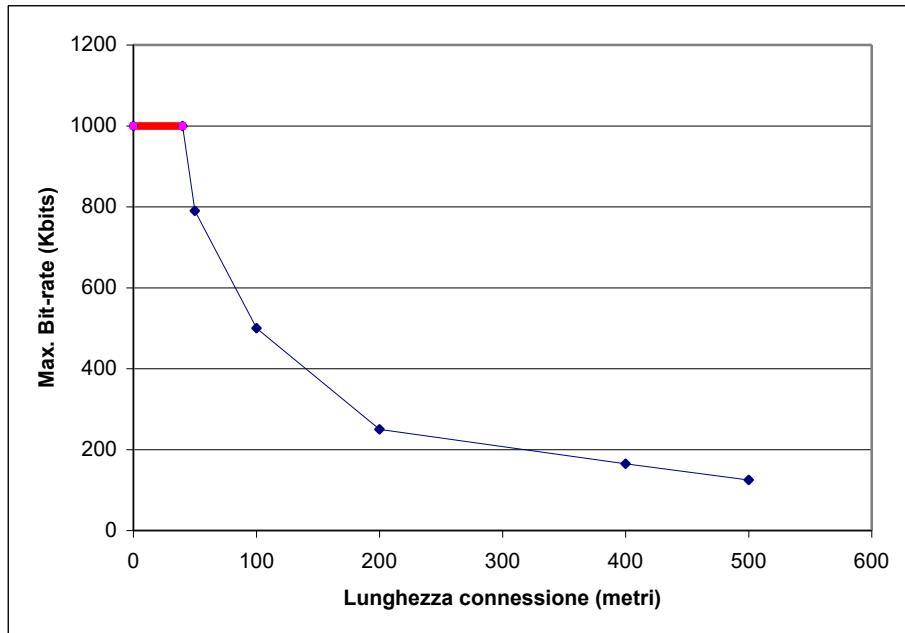


Figura 6: Velocità di trasmissione in funzione della lunghezza del bus

Per ridurre la potenza dissipata esiste per i nodi di una rete CAN la possibilità di entrare in una fase di sleep mode (nessuna attività interna, disconnessione dai bus drivers). Il nodo esce dallo sleep mode tramite un segnale di wake-up causato da qualche attività sul bus o da condizioni interne del sistema. Per svegliare nodi in sleep mode esiste un messaggio dedicato di wake up: “11111101111” che deve essere inviato con l’ID più piccolo possibile (infatti più piccolo l’ID del messaggio , maggiore è la sua priorità nel caso di conflitti sul bus).

Implementazione di nodi CAN

Il mercato offre un ampia gamma di dispositivi CAN, più di 50 prodotti diversi (da più di 15 aziende diverse). Nel 2000 sono stati venduti oltre 100 milioni di controllori CAN. In molti casi il controllore CAN è integrato sullo stesso chip del microprocessore.

Ci sono due principali strategie di implementazione per i controller CAN: le sostanziali differenze tra le due sono su come vengono filtrati i messaggi, su come vengono bufferizzati e su come avvengono le risposte ai Remote Frames.

Basic CAN

Il Basic CAN è un controller più economico. Esso possiede dei buffer di ricezione e trasmissione gestiti con politica First-In-First-Out: un messaggio può essere ricevuto su un buffer mentre il microcontrollore sta leggendo su un altro buffer; se arriva un messaggio quando tutti i buffer sono pieni, il più vecchio viene conservato, il che significa che possono andare perse delle informazioni nell’eventualità che il

microcontrollore non sia abbastanza veloce. Un messaggio viene inviato scrivendolo in un buffer di trasmissione.

I messaggi a cui il nodo è interessato sono filtrati usando due registri che operano sull'identificatore del messaggio: se l'identificatore supera il controllo di tali maschere viene registrato in un buffer. Il filtraggio finale viene fatto a livello software con un extra carico per il microcontrollore.

Il Basic CAN non supporta la risposta automatica ai Remote Frames, ma l'applicazione software dovrà gestirli, garantendo la correttezza della risposta (si ha così un carico extra di lavoro per il processore).

Full CAN

Il Full CAN è un controller più performante e più costoso del Basic. Ha un insieme di buffer chiamati mailboxes i quali al momento dell'inizializzazione del sistema sono settati in trasmissione o in ricezione e ad ognuno viene assegnato un identificatore; questo significa che ad ogni messaggio compete il proprio buffer specifico.

Quando viene ricevuto un messaggio vengono controllati tutti i buffer di ricezione cercando quello avente l'identificatore in questione: se viene trovato significa che il messaggio ha un contenuto rilevante per il nodo e viene memorizzato, altrimenti viene scartato in quanto non interessante. In questo modo il filtraggio avviene a livello hardware senza che se ne occupi il processore.

Lo stesso in trasmissione, il messaggio viene memorizzato nel buffer che gli compete; in questo modo può essere attuata anche una politica di selezione del messaggio da trasmettere, favorendo il più prioritario e non una semplice FIFO come nel Basic.

Quando viene ricevuto un Remote Frame, il controller CAN verifica se esiste un buffer di trasmissione con lo stesso identificatore: in caso affermativo, il Data Frame corrispondente viene subito inviato senza chiamare in causa il microcontrollore e snellendo di conseguenza i suoi compiti.

Uso del CAN nel settore automotive

Il CAN è largamente usato nel settore automotive per i suoi particolari vantaggi:

- bassi costi di progettazione e implementazione
- operatività in condizioni critiche
- facilità di configurazione e modifica
- rilevamento automatico degli errori
- diagnosi centralizzata dei guasti
- ottima affidabilità e sicurezza.

La maggior parte delle case automobilistiche fa uso di reti CAN. A cominciare dalla Daimler-Mercedes, per continuare con Audi, BMW, Renault, Opel, Saab, Volkswagen, Volvo, etc. Figura 6 riporta un esempio di rete CAN in ambito automotive. All'interno dell'auto vi sono diversi tipi di rete: una rete CAN high-speed per la gestione dei sotto-sistemi con stringenti richieste di real-time (gestione del motore, del sistema di trasmissione, sistema di frenata etc.) e una rete CAN low-speed per i sotto-sistemi con specifiche non stringenti di real-time quali chiusura

centralizzata, controllo dei sedili, dei finestrini, aria condizionata, luci, etc. Un terzo tipo di rete connette tutti gli apparati di intrattenimento presenti all'interno dell'abitacolo come la radio, il compact disc, il cellulare, il sistema di navigazione satellitare (in Figura 6 questa rete è connessa alla rete CAN tramite il multimedia gateway). In accordo ad una strategia gerarchica di connessione, ogni nodo (magari costituito da più dispositivi) interfacciato alla rete CAN può a sua volta presentare un bus locale (Local Interconnect Network, LIN sub-bus in Figura 6). In tecnologie attuali la divisione tra linee CAN high-speed e low-speed è per velocità dei 125 Kbits/s. In ogni caso la high-speed arriva al massimo ai 500 Kbits/s. Figura 7 riporta un esempio di rete di comunicazione completa in una automobile (in-vehicle network composta da CAN high-speed e low-speed, LIN locali e rete per dispositivi multimediali).

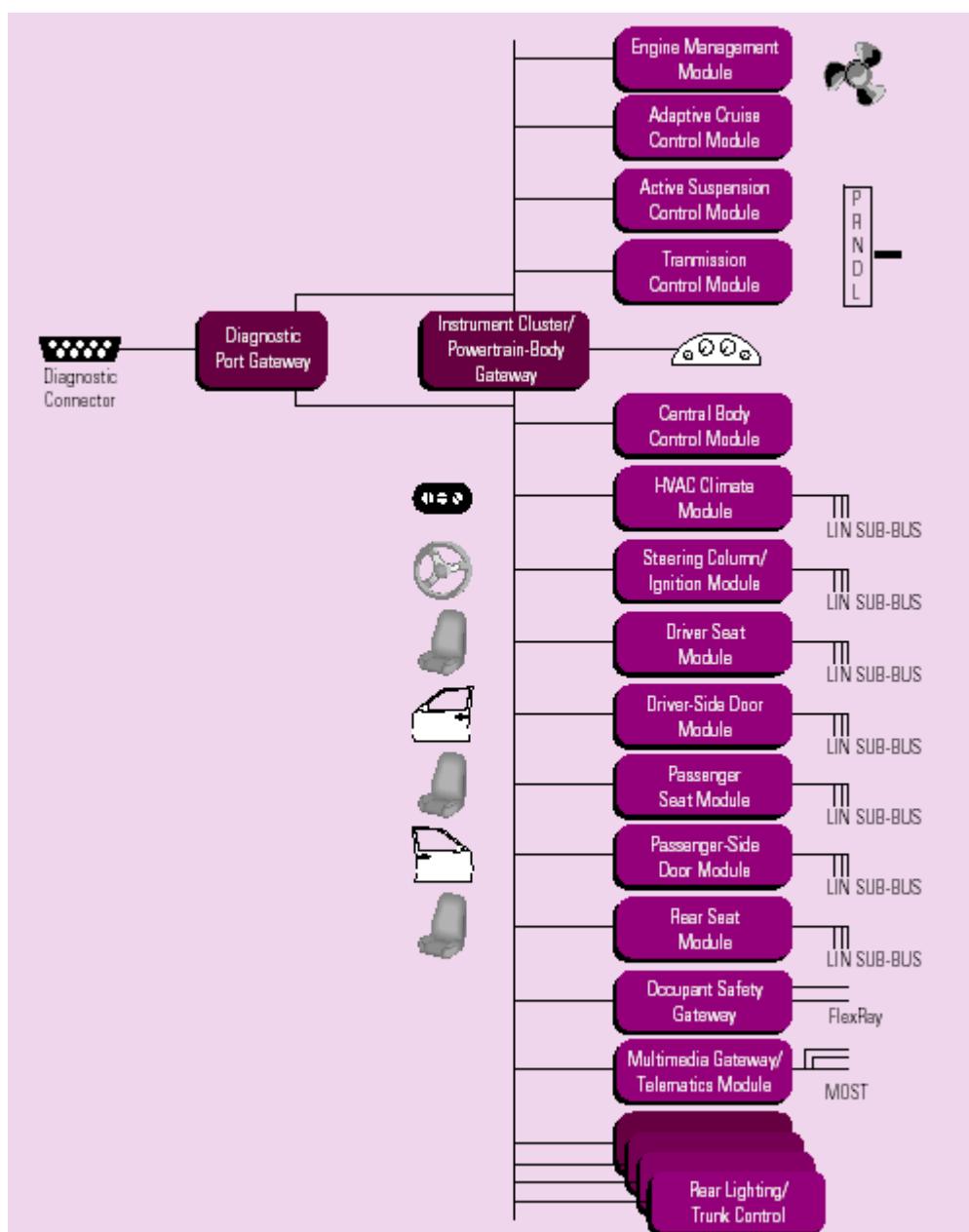


Figura 6: Esempio di rete CAN nel settore automotive

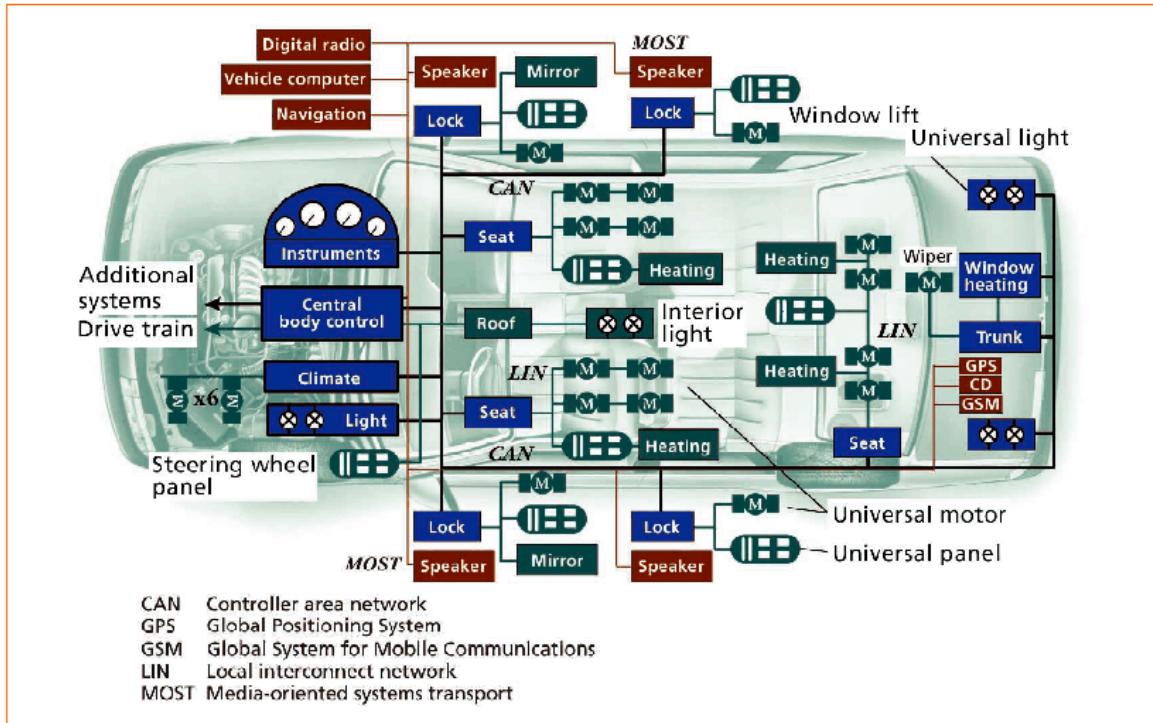


Figura 7: Rete di comunicazione per automotive

Altre applicazioni del CAN le troviamo nell'elettronica marina, nel controllo degli ascensori, nelle macchine agricole. Moltissime aziende manifatturiere ricorrono al CAN. Il settore tessile è stato uno dei pionieri ed ha aperto la porta al CAN per entrare nelle linee di produzione. Discorso a parte merita il settore dell'industria medica, dove il CAN è apprezzato moltissimo per le sue funzionalità riguardanti la sicurezza e l'affidabilità. Apparecchiature mediche quali macchine per raggi X fanno uso del CAN, così come altre apparecchiature speciali come i telescopi.

Riferimenti

CAN specification, v2.0 A e B, <http://www.can.bosch.com/docu/can2spec.pdf>

Fieldbus specialists, <http://www.fieldbus.com.au/techinfo.htm>

Motorola, Automotive area network controller applications,
<http://e-www.motorola.com/webapp/sps/site/application.jsp?nodeId=04J7lVNZnLNnms#blockDiagram>

CAN homepage of Bosch, <http://www.can.bosch.com/>

CAN in Automation user group, <http://www.can-cia.org/>

G. Leen, D. Heffernan, Expanding Automotive Electronic Systems, IEEE Computer, Volume: 35 Issue: 1, January 2002, Pages: 88-93,
<http://www.cs.umd.edu/class/spring2002/cmsc818m/doc/0220/expanding.pdf>

G. Tognini, Studio, progetto e realizzazione di un analizzatore di traffico su rete CAN, Tesi di laurea, Università di Pisa, <http://etd.adm.unipi.it/theses/available/etd-11172003-195702/>

SOMMARIO

- **Introduzione**
- **Architetture: Von Neumann vs. Harvard, RISC vs. CISC**
- **PIC: Struttura Interna**
- **PIC: Organizzazione della Memoria**
- **PIC: Clock e Timing**
- **PIC: Gestione Interrupt**
- **PIC: Descrizione delle Periferiche**
- **PIC: Watchdog Timer e Sleep Mode**

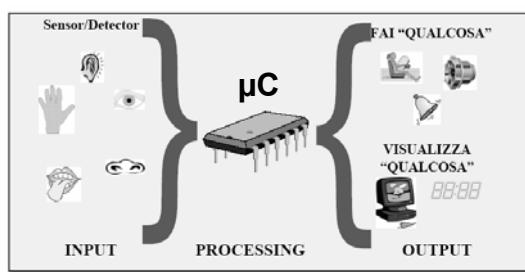
INTRODUZIONE

DEFINIZIONI

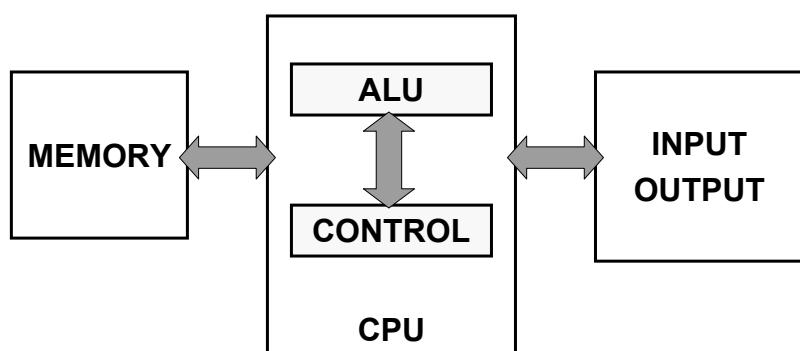
MICROCONTROLLORE (μ C): è un microprocessore che opera come un sistema *embedded*

SISTEMA EMBEDDED: è un sistema di elaborazione (computer) specializzato, integrato in un dispositivo fisico in modo da controllarne le funzioni tramite un apposito programma software dedicato.

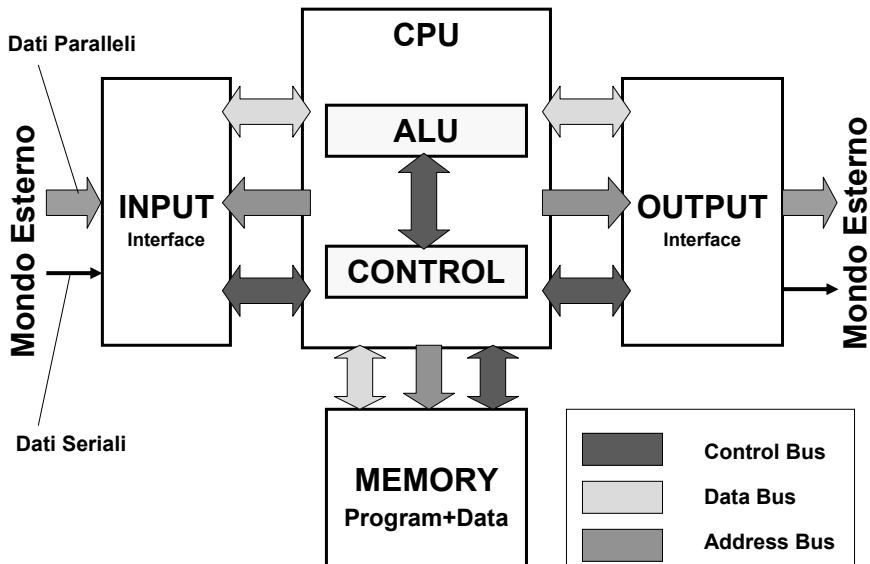
Esempi: cellulari, ABS, controllo airbag, home automation, dispositivi di automazione di macchine industriali, ecc...



ARCHITETTURA GENERALE DI UN CALCOLATORE



ARCHITETTURA GENERALE DI UN CALCOLATORE



COS'E' UN BUS ?

Si indica con il termine bus l' **INSIEME DEI COLLEGAMENTI FISICI** tra CPU e ogni altro blocco funzionale presente nel calcolatore (memoria, periferiche, dispositivi di I/O, ecc...).

Su un bus possono circolare:

- **DATI**
- **INDIRIZZI di LOCAZIONI di MEMORIA**
- **SEGNALI di CONTROLLO**

QUALI BUSES SONO PRESENTI IN OGNI CALCOLATORE?

CONTROL BUS: è l'insieme di tutti i segnali di controllo scambiati dalla CPU con i dispositivi di memoria, di elaborazione dati, di input/output che coordinano e sincronizzano le attività dell'intero sistema.

ADDRESS BUS: trasporta gli indirizzi (univoci) corrispondenti ad una locazione di memoria o a un dispositivo di input/output.

DATA BUS: trasporta dati memorizzati in una locazione di memoria (indirizzata preventivamente grazie al bus indirizzi) alla CPU o viceversa.

CPU - FUNZIONI e STRUTTURA

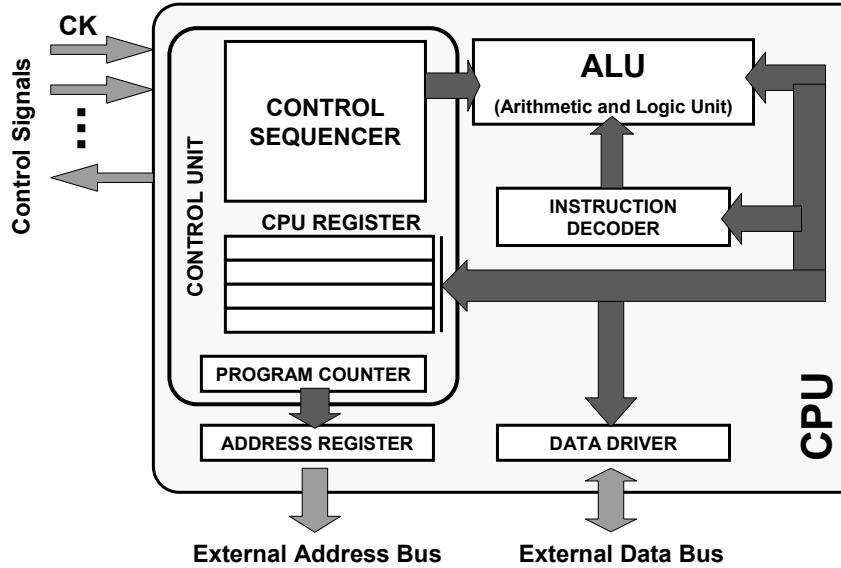
Funzioni principali di una CPU sono:

- Trasferimento Dati
- Controllo di Flusso
- Elaborazioni Aritmetiche e Logiche
 - (Addizioni e Sottrazioni, AND, OR, XOR, NOT Incrementi, Decrementi, Shift, Clear, ecc...)

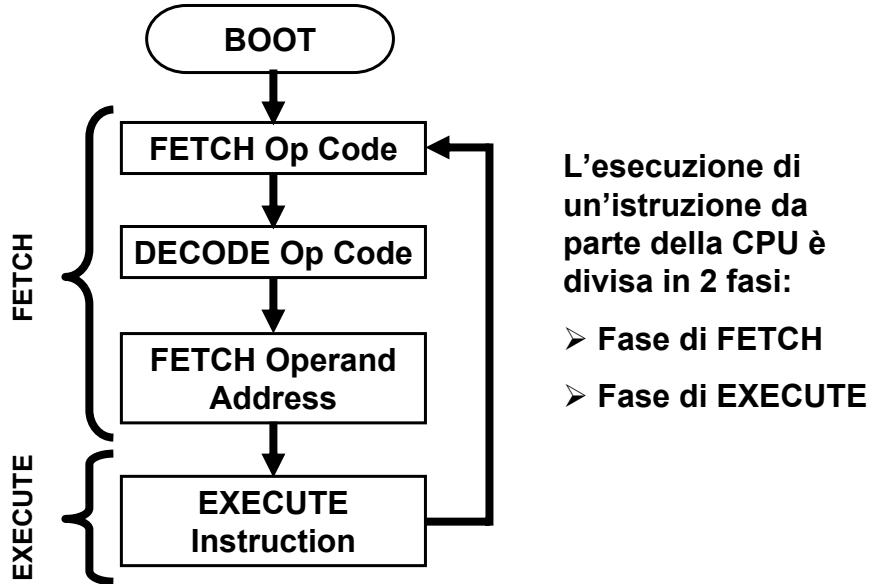
Ogni CPU ha un *array register* con almeno:

- Un Registro ACCUMULATORE (W)
- Il PROGRAM COUNTER (PCL)
- L'INSTRUCTION REGISTER (IR)
- Lo STACK POINTER (SP)

CPU BLOCK DIAGRAM



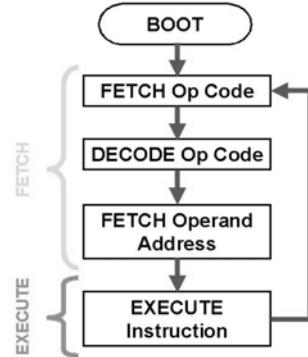
CPU - COME ESEGUE UN'ISTRUZIONE ?



CPU - COME ESEGUE UN'ISTRUZIONE ?

Fase di FETCH

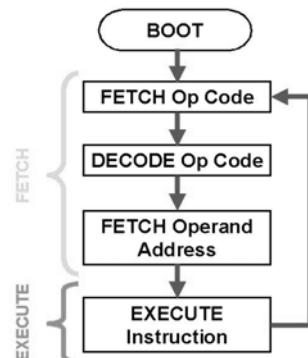
- La CPU carica sull' address bus l'indirizzo dell'istruzione da eseguire
- L'indirizzo caricato è fornito dal Program Counter (PC), registro allocato nella Control Unit della CPU
- Sul control bus ci sono le informazioni per leggere la locazione di memoria il cui indirizzo è sull'address bus, mentre sul data bus vengono caricati i dati dalla locazione di memoria contenuta nell'instruction register (IR)
- Il PC viene aggiornato ed ora punta alla prossima istruzione del programma da eseguire



CPU - COME ESEGUE UN'ISTRUZIONE ?

Fase di EXECUTE

- L'istruzione caricata nell' IR viene decodificata
- Vengono eseguiti i trasferimenti di dati necessari e le operazioni logiche e/o aritmetiche derivate dalla decodifica dell'op code
- Il risultato, a seconda del tipo di operazione eseguita è riscritto in un registro o in una locazione di memoria o su un dispositivo di I/O



Normalmente, quindi, un istruzione per essere eseguita RICHIENDE ALMENO 2 CICLI MACCHINA (almeno 2 ACCESSI IN MEMORIA, uno in LETTURA e uno in SCRITTURA)

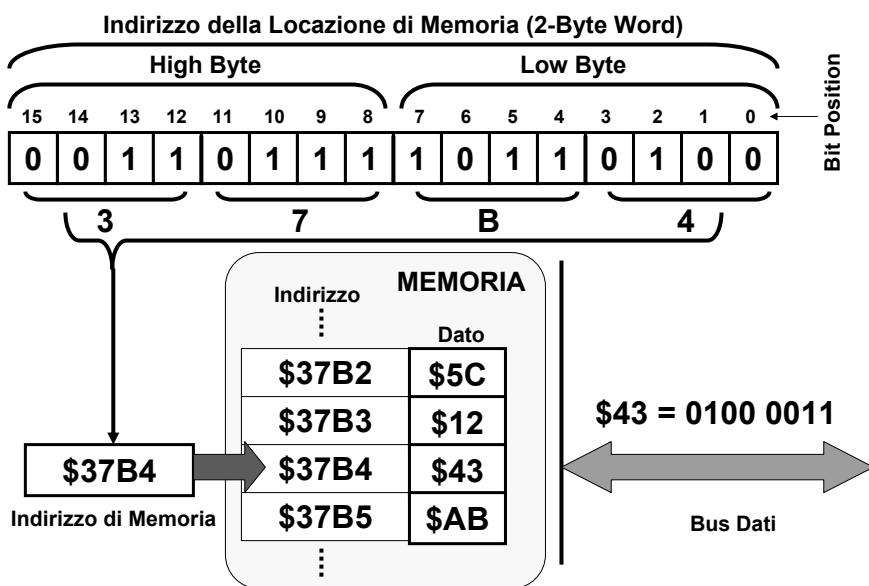
MEMORIA

La memoria in un calcolatore serve per immagazzinare dati e le istruzioni dei programmi da eseguire

I principali tipi di memorie che si possono trovare su un microcontrollore, e su un calcolatore in genere, sono:

- **ROM (Read Only Memory)** : programmata permanentemente dal costruttore, non modificabile
- **RAM (Random Access Memory)** : memoria volatile di lettura e scrittura
- **EEPROM (Electrically EPROM)** : memoria non volatile, scrittura e cancellazione di celle entrambe elettriche
- **FLASH** : memoria non volatile, variante delle EEPROM, scrittura e cancellazione entrambe elettriche, non di singole celle, ma di blocchi (updating +veloce)

ESEMPIO DI INDIRIZZAMENTO



MICROCOMPUTER & MICROCONTROLLER

I termini **μP**, **CPU** e **MPU** (Microprocessor Unit) possono essere considerati sinonimi.

Come visto la CPU è l'insieme di ALU e Control Unit

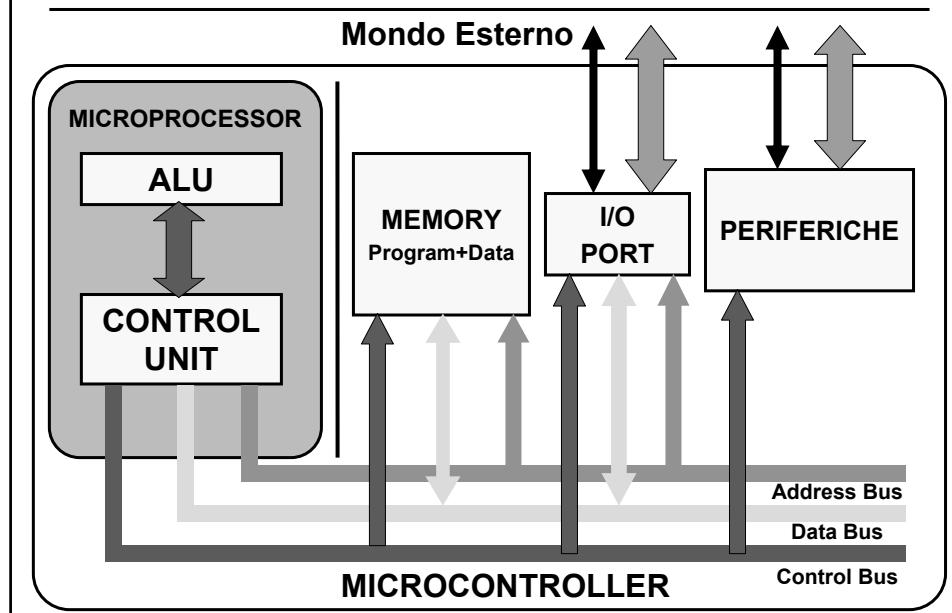
Quando la CPU è un singolo IC è chiamata **μP** o **MPU**

L'insieme di MPU, memoria e porte di Input/Output (I/O) è detto **MICROCOMPUTER**

Quando MPU, memoria e I/O sono integrate su un unico chip si parla di **MICROCONTROLLER** (**μC**)

Un Microcontrollore opportunamente programmato è in grado di svolgere attività di controllo acquisendo e inviando dati senza l'ausilio di circuiterie esterne

MICROPROCESSOR vs. MICROCONTROLLER



MICROPROCESSOR vs. MICROCONTROLLER

MICROPROCESSOR (μ P)

- Alte prestazioni
- General Purpose
- “cervello” di PC e Workstations
- Svolge le funzioni di decodifica e controllo istruzioni, operazioni logiche e aritmetiche, controllo del mondo esterno
- Costo: da 75 a 500 \$
- Richiesta Annuale: milioni di pz.

MICROCONTROLLER (μ C)

- Alto livello di integrazione
- Utilizzati per controlli embedded
- Svolge le funzioni di un μ P con in più “on chip” memoria, porte di I/O, timer, ADC, moduli CAN, USART, ecc...
- Costo: da 1 a 25 \$
- Richiesta Annuale: miliardi di pz.

MICROPROCESSOR vs. MICROCONTROLLER

MICROPROCESSOR (μ P)

Contiene unità di gestione delle memorie interne ed esterne ed è provvisto di *memoria cache*

La performance (n° di istruzioni exe al sec.) è la caratteristica più importante, il costo è secondario

Viene usato tipicamente nei PC fissi nei laptop o nelle workstations

MICROCONTROLLER (μ C)

Ha RAM e ROM integrate, ma è sprovvisto di cache

Ha integrate molte periferiche e viene usato in applicazioni *embedded*

Usato anche in applicazioni di controllo Real Time

Basso costo, basso consumo di potenza

NON C'E' SEMPRE UNA DISTINZIONE CHIARA

μ P DI OGGI \approx μ C DI DOMANI

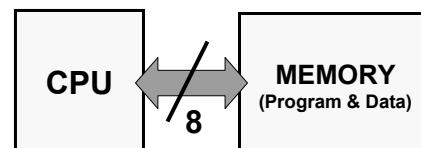
ARCHITETTURE DI UN MICROCONTROLLORE

In tutte le lezioni viene preso come esempio di riferimento il PIC 18F458.

Le considerazioni fatte e le metodologie di programmazione sono comunque di carattere generale e facilmente estendibili a tutte le più comuni famiglie di microcontrollori.

ARCHITETTURA VON NEUMANN

- Utilizzata di solito per processori *general purpose*
- Prevede un BUS UNICO tra CPU e memoria
- RAM (Data Memory) e Program Memory, quindi devono condividere lo stesso bus, per cui devono avere entrambe parole della stessa lunghezza

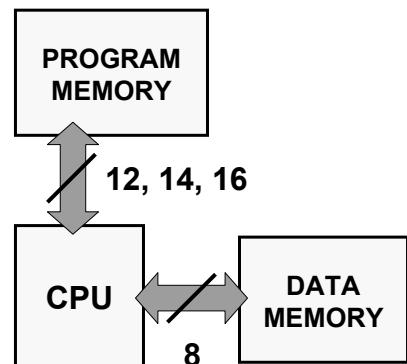


COLLO DI BOTTEGLIA: Il fatto di dover condividere un bus unico fa sì che per completare un'istruzione siano necessari 2 accessi in memoria (uno in RAM e uno in Program Memory) per cui si ha:

UNA ISTRUZIONE ESEGUITA OGNI 2 CICLI MACCHINA

ARCHITETTURA HARVARD

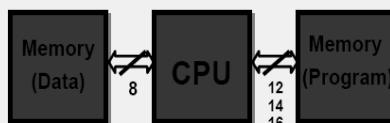
- Utilizzata di solito per processori RISC, come ad es. i PIC (Peripheral Interface Control)
- Prevede 2 BUS SEPARATI tra CPU, program memory e data memory
- RAM (Data Memory) e ROM (Program Memory) possono avere parole di lunghezza DIVERSA
PIC: RAM 8 bit
ROM 12, 14 o 16 bit



La CPU può effettuare un accesso in RAM e uno in ROM contemporaneamente e sfruttando tecniche di *pipeline* si può arrivare ad eseguire 1 ISTRUZIONE OGNI CICLO MACCHINA

ARCHITETTURA HARVARD

ARCHITETTURA DI MEMORIA DI TIPO HARVARD



PIPELINE A 2 STADI, ESECUZIONE IN SINGOLO CICLO

		CLK 0	CLK 1	CLK 2	CLK 3	CLK 4
1. MOVLW	55h	Fetch 1	Execute 1			
2. MOVWF	PORTB		Fetch 2	Execute 2		
3. CALL	SUB_1			Fetch 3	Execute 3	
4. BSF	PORTA, BIT3				Fetch 4	Flush Fetch 4
						Fetch SUB_1

CISC vs. RISC

Esistono 2 grandi famiglie di microcontrollori (o più in generale di processori) quelli CISC e quelli RISC.

CISC (Complex Instruction Set Computer)

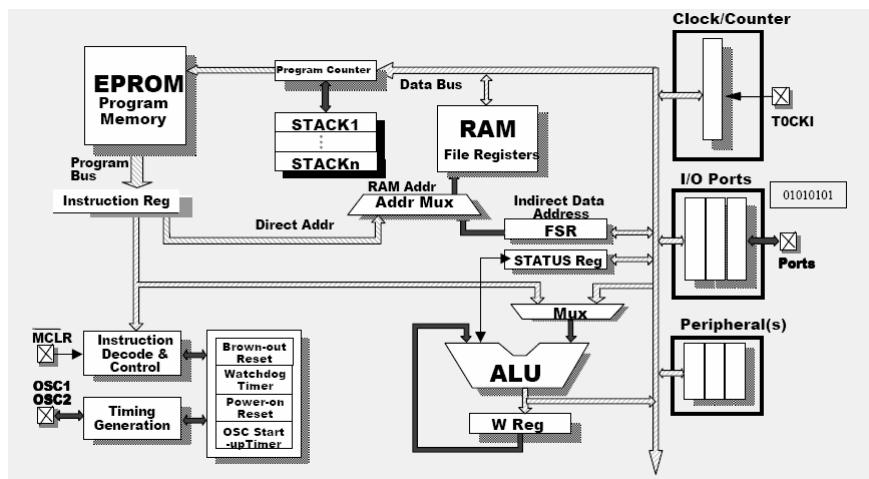
- In genere le CPU sono CISC
- Normalmente utilizzano architetture Von Neumann classiche
- Molte istruzioni (>100)
- Molti metodi di indirizzamento
- Più di 1 ciclo macchina per eseguire un'istruzione

RISC (Reduced Instruction Set Computer)

- Poche istruzioni (<50)
- Pochi metodi di indirizzamento (solo diretto e indiretto)
- 1 ciclo macchina per eseguire un'istruzione (a parte salti e call)

PIC: STRUTTURA INTERNA

PIC: STRUTTURA INTERNA



FORMATO DELLE ISTRUZIONI

Byte-oriented file register operations

15	10	9	8	7	0	
OPCODE				d	a	f (FILE #)

d = 0 for result destination to be WREG register
 d = 1 for result destination to be file register (f)
 a = 0 to force Access Bank
 a = 1 for BSR to select bank
 f = 8-bit file register address

Example Instruction

ADDWF MYREG, W, B

Byte to Byte move operations (2-word)

15	12	11	0
OPCODE			f (Source FILE #)
15	12	11	0
1111			f (Destination FILE #)

f = 12-bit file register address

MOVFF MYREG1, MYREG2

FORMATO DELLE ISTRUZIONI

Bit-oriented file register operations

15	12 11	9 8	7	0
OPCODE	b (BIT #)	a	f (FILE #)	

BSF MYREG, bit, B

b = 3-bit position of bit in file register (f)
a = 0 to force Access Bank
a = 1 for BSR to select bank
f = 8-bit file register address

Literal operations

15	8	7	0
OPCODE		k (literal)	

k = 8-bit immediate value

FORMATO DELLE ISTRUZIONI

Control operations

CALL, GOTO and Branch operations

15	8	7	0
OPCODE		n<7:0> (literal)	
15	12 11		0

GOTO Label

15	8	7	0
OPCODE	S	n<7:0> (literal)	

CALL MYFUNC

15	12 11		0
		n<19:8> (literal)	

S = Fast bit

15	11 10		0
OPCODE		n<10:0> (literal)	

BRA MYFUNC

15	8 7		0
OPCODE		n<7:0> (literal)	

BC MYFUNC

CPU - Central Processing Unit

- E' il "cervello" del dispositivo
- E' responsabile della corretta sequenza di fetch delle istruzioni da eseguire
- Decodifica ed esegue le istruzioni stesse
- Lavorare in sincronia con l' ALU quando l'istruzione da eseguire è di tipo logico o artimetico
- Controlla l'address bus della program memory
- Controlla l'address bus della data memory
- Controlla gli accessi allo stack

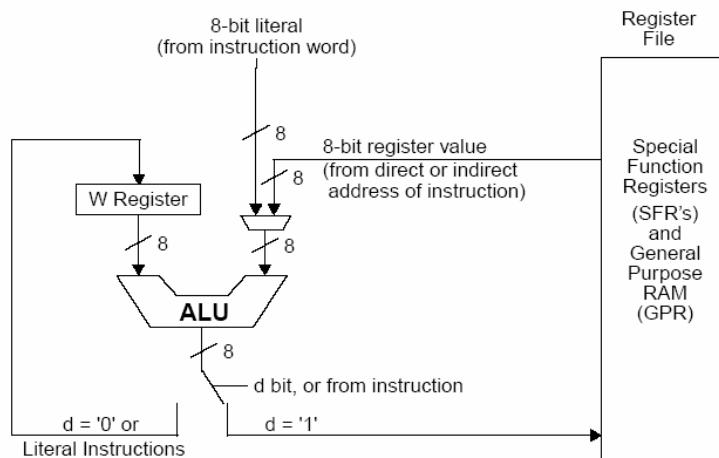
ALU - Arithmetic Logical Unit

I PIC hanno al loro interno una 8-bit ALU e un 8-bit Working Register (W)

L'ALU esegue addizioni, sottrazioni, shift e operazioni logiche tra i dati nel working register e tutti gli altri registri, compresi quelli dedicati alle variabili di lavoro del programma in esecuzione

- Senza esplicite specificazioni le operazioni sono svolte in base ai criteri del complemento a 2
- Nelle istruzioni a 2 operandi tipicamente un operando è il W e l'altro è uno dei file register o una costante
- Nelle istruzioni a singolo operando l'operando può essere il W o uno dei file register

ALU - Arithmetic Logical Unit



PIC: ORGANIZZAZIONE DELLA MEMORIA

PROGRAM COUNTER - PC

Il **Program Counter** (PC) è un registro dedicato in cui la CPU tiene memorizzato l'indirizzo della locazione di program memory in cui è memorizzata la prossima istruzione di programma che si deve eseguire.

Viene incrementato automaticamente ad ogni istruzione eseguita per determinare il passaggio all'istruzione successiva.

Può essere aggiornato via software dal programma in esecuzione (memorizzato sulla program memory del microcontrollore), ad esempio con istruzioni di salto o chiamata a subroutine (funzioni) o tramite il servizio di interrupt

PROGRAM COUNTER - PC

Ha una lunghezza di 21 bit divisi in 3 byte:

- Low Byte <7:0> è il registro chiamato PCL (R/W)
- High Byte <15:8> è il registro chiamato PCH, non è direttamente (R/W), bisogna passare attraverso il registro speciale PCLATH
- Upper Byte <20:16> è il registro chiamato, non è direttamente (R/W), bisogna passare attraverso il registro speciale PCLATU
- Per prevenire errori di allineamento LSB di PC è fisso a zero = PC viene incrementato di 2 dopo ogni istruzione

L'esecuzione di un'istruzione di GOTO, comporta l'aggiunta di un offset al PC

STACK E STACK POINTER (SP)

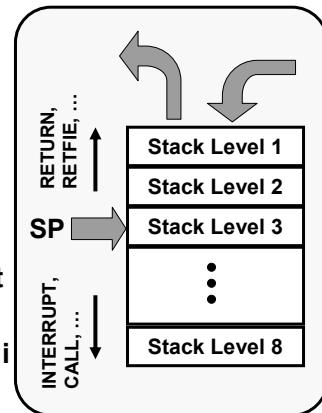
Lo **Stack** è una serie di registri dedicati che la CPU utilizza in caso di chiamata a subroutine o interrupt.

Qui la CPU salva l'indirizzo di quella che sarebbe dovuta essere la successiva istruzione da eseguire se non si fosse verificata una chiamata a subroutine (istruzione CALL) o un interrupt.

Utilizza una politica di gestione LIFO (Last Input First Output).

Si parla di **stack a 32 livelli** (= 32 registri di stack = fino a 32 CALL annidate)

Lo **Stack Pointer (SP)** è il puntatore allo stack, cioè quel registro che mi indica a che livello dello stack mi trovo.



STACK E STACK POINTER (SP)

Lo Stack Pointer non è R/W.

Il PC è caricato (PUSH) nello stack in caso di CALL o salto dovuto ad interrupt.

In caso di PUSH lo SP si muove in basso nello stack

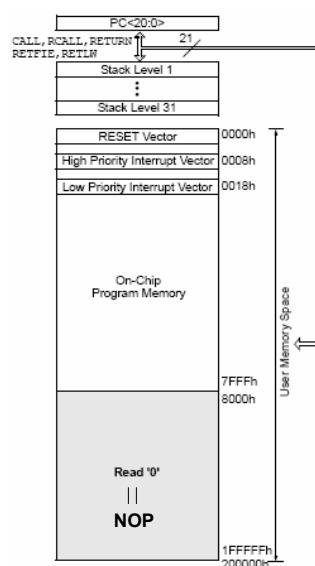
SP si muove in alto in caso di POP, vale a dire quando si esegue un'istruzione di return da subroutine o di fine servizio interrupt

- Se si fanno più di 32 operazioni di PUSH senza nessuna POP, la 33-esima sovrascrive la prima, la 34-esima la seconda e così via

PIC: ORGANIZZAZIONE DELLA MEMORIA

- Esistono 3 blocchi di memoria all'interno di ogni µC:
- Program Memory, Data Memory ed EEPROM Data Memory
 - La Program Memory (Flash) è quella parte di memoria in cui risiede il programma da eseguire
 - La Data Memory (RAM) è quella parte di memoria in cui risiedono le variabili di lavoro generate dal programma
 - La EEPROM Data Memory offre la possibilità di memorizzare dati in maniera non volatile
 - La Program Memory e la Data Memory hanno 2 bus divisi (architettura Harvard)

PROGRAM MEMORY



Il PC ha una lunghezza di 21 bit e quindi è in grado di indirizzare 2M di spazio fisico.

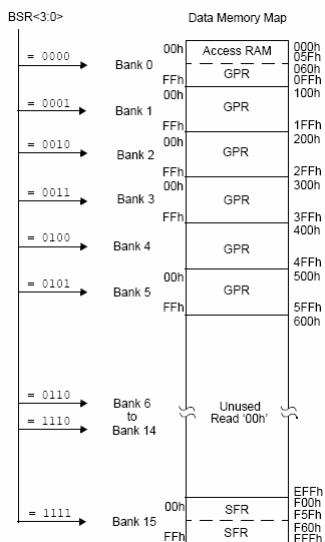
Ogni parola di memoria flash è di 16 bit (che è anche la larghezza del bus di program memory).

32K di progr. mem. = 16K di istruz.

Il *reset vector address* è l'indirizzo 0x00 il quale viene forzato nel PC ad ogni reset

L'*interrupt vector address*, il quale viene forzato nel PC ad ogni interrupt accettato dal µC, è l'indirizzo 0x08 per gli interrupt ad alta priorità e l'indirizzo 0x18 per quelli a bassa priorità

DATA MEMORY



I suoi registri si possono dividere in 2 gruppi principali:

- **GPR (General Purpose RAM)**, sono quelle locazioni di memoria lasciate libere e disponibili per l'allocazione di variabili di lavoro
- **SFR (Special Function Register)**, sono quei registri tramite i quali è possibile controllare l'attività della CPU e tutti i moduli periferici presenti sul µC come timer, ADC, USART, Porte di I/O, CAN (per la serie PIC18), ...

DATA MEMORY

La Data Memory è divisa in **BANCHI**.

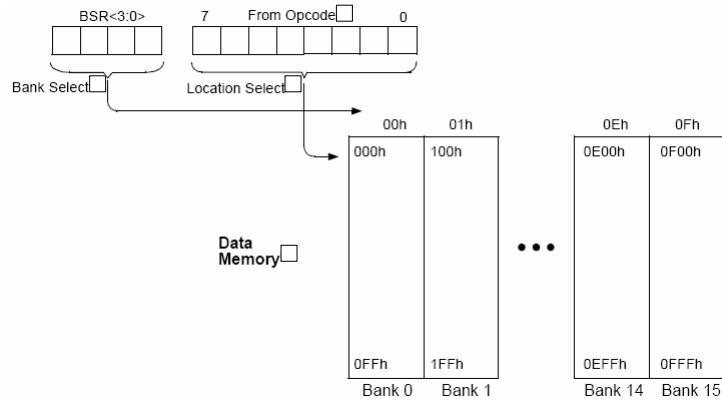
L'intera RAM può essere indirizzata **DIRETTAMENTE** o **INDIRETTAMENTE**.

La selezione di ciascun banco viene fatta attraverso l'uso dei bit di controllo <3:0> del REGISTRO BSR (Bank select Register), uno dei SFR

Sono disponibili 4096 locazioni di Data Memory, per cui l'indirizzamento è a 12 bit

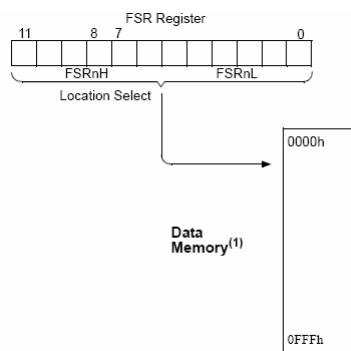
INDIRIZZAMENTO DIRETTO

Per indirizzare una locazione della Data Memory con l'*indirizzamento diretto* vengono utilizzati i bit di selezione del banco di memoria (BSR <3:0>) e i 7 LSB dell'opcode dell'istruzione



INDIRIZZAMENTO INDIRETTO

L'*indirizzamento indiretto* può essere usato quando si ha un'istruzione in cui l'indirizzo di data memory non è fisso (ad es. quando si usano nomi simbolici con variabili di lavoro)



Il registro FSR è usato come puntatore alla locazione di Data Memory che deve essere letta o scritta.

PIC: CLOCK E TIMING

CLOCK DI SISTEMA

Il clock è necessario per eseguire le istruzioni di programma e per il corretto funzionamento dei moduli periferici.

4 PERIODI DI CK generano 1 CICLO MACCHINA

Le istruzioni di programma, quindi, vengono eseguite con una frequenza che è $\frac{1}{4}$ di quella del clock del dispositivo.

E' possibile utilizzare il circuito interno di *timing generation* oppure sfruttare una circuiteria esterna.

DIAGRAMMA TEMPORALE DI CK E CICLO MACCHINA

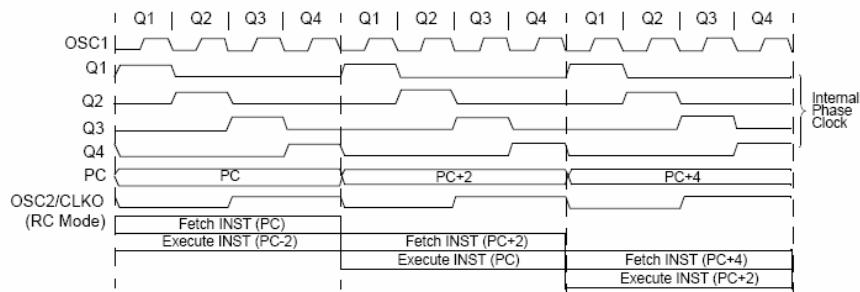


DIAGRAMMA TEMPORALE DI CK E CICLO MACCHINA

Se chiamiamo Q1, Q2, Q3 e Q4 i 4 impulsi di CK che formano 1 ciclo macchina, possiamo dire che:

- La fase di *Instruction Fetch* inizia con l'incremento del Program Counter in Q1
- Nella fase di *Execute* l'istruzione fetchata al ciclo macchina precedente viene caricata nel latch Instruction Register (IR) durante Q1
- Questa istruzione è decodificata durante Q2, Q3 e Q4
- La Data Memory è letta durante Q2 (*operand read*) e scritta durante Q4 (*destination write*)

FLUSSO DI ISTRUZIONI E PIPELINE

La fase di Fetch impiega un ciclo macchina e la fase di Execute ne impiega un altro.

Ogni istruzione è comunque eseguita in un ciclo grazie al *pipelining*

Se un'istruzione provoca un cambiamento "anomalo" del program counter, per completarla è necessario un ciclo macchina aggiuntivo

	Tcy0	Tcy1	Tcy2	Tcy3	Tcy4	Tcy5
1. MOVLW 55h	Fetch 1	Execute 1				
2. MOVWF PORTB		Fetch 2	Execute 2			
3. CALL SUB_1			Fetch 3	Execute 3		
4. BSF PORTA, BIT3 (Forced NOP)				Fetch 4	Flush	
5. Instruction @ address SUB_1					Fetch SUB_1	Execute SUB_1
						Fetch SUB_1 + 1

All instructions are single cycle, except for any program branches. These take two cycles since the fetch instruction is "flushed" from the pipeline while the new instruction is being fetched and then executed.

OSCILLATORE

A seconda dei vari microcontrollori (PIC) ci possono essere fino ad 8 modi di generazione del clock di sistema selezionabili settando gli opportuni *configurations bits* (contenuti ad es. all'interno dei vari CONFIG_REG).

I *configurations bits* sono in locazioni di memoria NON volatile e il loro valore è determinato dal valore scritto durante la programmazione del dispositivo.

A seconda di quella che sarà l'applicazione finale che utilizzerà il microcontrollore si sceglierà la configurazione ottimale

ES: Oscillatore RC => Low Cost

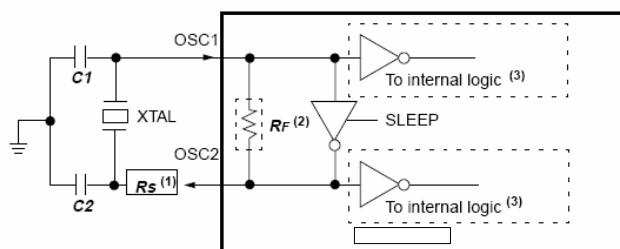
Oscillatore LP => Low Power

OSCILLATORE

FOSC2:FOSC0: Oscillator Selection bits

- 111 = RC oscillator w/ OSC2 configured as RA6
- 110 = HS oscillator with PLL enabled/clock frequency = (4 x Fosc)
- 101 = EC oscillator w/ OSC2 configured as RA6
- 100 = EC oscillator w/ OSC2 configured as divide-by-4 clock output
- 011 = RC oscillator
- 010 = HS oscillator
- 001 = XT oscillator
- 000 = LP oscillator

OSC XT, LP o HS: CIRCUITO ESTERNO



Note 1: A series resistor, Rs , may be required for AT strip cut crystals.

2: The feedback resistor, RF , is typically in the range of 2 to 10 MΩ.

3: Depending on the device, the buffer to the internal logic may be either before or after the oscillator inverter.

PIC: GESTIONE INTERRUPT

COS'E' UN INTERRUPT ?

Un Interrupt è la segnalazione che viene fatta al PIC da una delle sue periferiche o dal mondo esterno che si è verificato un determinato evento.

Il PIC è in grado di riconoscere diverse sorgenti di interrupt.

A seconda di qual è l'evento verificatosi, il programma in esecuzione dovrà svolgere una particolare funzione.

Quando si verifica un Interrupt il PIC interrompe immediatamente quella che è l'esecuzione normale del programma e salta alla locazione di memoria contenuta dall' Interrupt Vector Address (0x08 o 0x18) a partire dalle quali è allocata l'ISR (Interrupt Service Routine).

REGISTRI DI GESTIONE INTERRUPT

Registro	Bit	USO
INTCON	GIE	Abilitazione Generale all' utilizzo di Interrupt
	PEIE	Abilitazione al Riconoscimento di Interrupt provenienti dalle periferiche integrate sul PIC
	INTE	Abilitazione al Riconoscimento di Interrupt provenienti dall' esterno (linea RB0 e RB1)
RCON	IPEN	Abilitazione Priorità Interrupt
PIE1	xxxE	Contengono i flag (bit) corrispondenti alle periferiche di cui interessa rilevare l'interrupt
PIE2	xxxE	ABILITAZIONE INTERRUPT
PIE3	xxxE	
PIR1	xxxF	Contengono i flag (bit) che rilevano il verificarsi di un interrupt generato dalla corrispondente periferica
PIR2	xxxF	RICONOSCIMENTO INTERRUPT (DETECTION)
PIR3	xxxF	

REGISTRI DI GESTIONE INTERRUPT

Abilitazione Detection

PIE1 **PIR1**

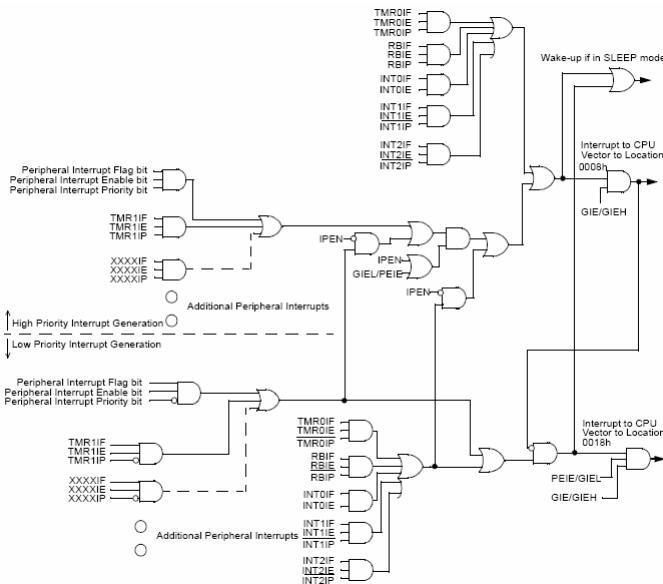
PIE2 **PIR2**

PIE3 **PIR3**



SONO QUESTI DA USARE PER IL
RICONOSCIMENTO DI QUALE
INTERRUPT SI E' VERIFICATO

INTERRUPT: LOGICA DI DETECTION



LATENZA DI INTERRUPT

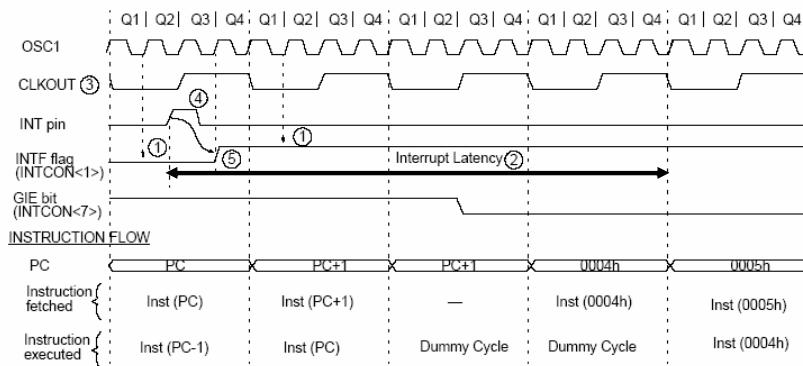
E' definita come l'*intervallo di tempo* che trascorre dal verificarsi dell'evento che genera l'interrupt (*set del corrispondente flag in PIR*) all'istante in cui inizia l'esecuzione dell'istruzione alla locazione 0x08 o 0x18 (*inizio del servizio*)

INTERRUPT INTERNI (Sincroni): 3 cicli macchina

INTERRUPT ESTERNI (Asincroni): 3-3.75 cicli macchina

La latenza esatta dipende dal punto dell'*instruction cycle* in cui si verifica l'interrupt

ESEMPIO DI TIMING PER INTERRUPT ESTERNO



Note:
 1: INTF flag is sampled here (every Q1).
 2: Interrupt latency = 3-4 T_{CY} where T_{CY} = instruction cycle time.
 Latency is the same whether Instruction (PC) is a single cycle or a 2-cycle instruction.
 3: CLKOUT is available only in RC oscillator mode.
 4: For minimum width of INT pulse, refer to AC specs.
 5: INTF is enabled to be set anytime during the Q4-Q1 cycles.

Esempio riferito a PIC16F877, ma la logica che sta dietro è la stessa

STRUTTURA DI UN PROGRAMMA

```

processor xxxx          ; tipo di microcontrollore
include "xxxxx.inc"   ; utilizzo macro simboliche
__config xxx (opzionale)
CBLOCK 0x...
<definizione variabili di lavoro> ; allocazione file register per
ENDC                   ; variabili di lavoro
ORG 0x00
nop
goto xxx
ORG 0x08              ;INIZIO HIGH INTERRUPT inizio zona
bra High_interrupt     ; di memoria riservata al servizio Interrupt
org 0x0018              ;INIZIO LOW INTERRUPT
                        <ISR Interrupt Service Routines LOW>
High_interrupt         <ISR Interrupt Service Routines HIGH>
xxx
                        <Programma Principale>
                        <Inizializzazione Porte & Periferiche>
                        <Abilitazione Interrupt>
                        <Elaborazione Segnali & Dati>
call ....
....                  <Routines di Calcolo o di Servizio Interrupt invocate>
...return
END

```

PROCEDURA DI SERVIZIO INTERRUPT E CODE FLOW

```
<Salvataggio Stato del Sistema (Status e W reg.)> (opzionale)
<Ciclo Riconoscimento Interrupt>
    btfsc <registrox>, <bit x (flag)>
    goto <label xxx1>
    btfsc <registroy>, <bit y (flag)>
    goto <label xxx2>
    ...
<Chiamata a Funzioni di Interrupt Service>
    xxx1
    call <routine1>
    goto FISR
    (è una label non 1 istruz.!!)
    xxx2
    call <routine2>
    goto FISR
    ...
    FISR <Ripristino Stato del Sistema>
    retfie
    FINE ROUTINE DI SERVIZIO INTERRUPT
    ...
    PROGRAMMA PRINCIPALE
    ...
    <Routines di programma>
    <Routines di Interrupt>
    ...

    SALTO A ZONA DI CODICE
    DIVERSA, CHE HA COME LABEL
    IL NOME DELLA FUNZIONE DA
    ESEGUIRE
```

routine1

<Disabilitazione Generale degli Interrupt>
bcf INTCON, GIE

...

<Elaborazione>

<eventuali call ad altre funzioni>

...

<Reset Flag dell'Interrupt servito>
bcf <registrox>, <bit x (flag)>
questo serve per poter riconoscere
altri interrupt di questo tipo!!!

<Riabilitazione Interrupt>
bsf INTCON, GIE

return

TERMINATA LA ROUTINE SI Torna ALL'ISTRUZIONE
IMMEDIATAMENTE SEGUENTE ALLA CALL

PIC: DESCRIZIONE DELLE PERIFERICHE

I/O PORTS

Tutti i pin di input/output (I/O) general purpose possono essere considerati come le periferiche più semplici del µC.

Per aggiungere flessibilità e funzionalità al dispositivo alcuni pins sono multiplexati con altre funzioni periferiche.

Normalmente quando un pin è utilizzato da una periferica non può essere usato come general purpose I/O.

La direzione dei pin di I/O è controllata dai *data direction register* (TRIS Register).

TRIS<X> controlla la direzione del PORT<X>.

I/O PORTS

Leggendo il PORT register si legge lo stato del pin,
mentre scrivendolo si scriverà sul latch.

Tutte le operazioni di scrittura sugli I/O Ports (es: BCF
e BSF) sono operazioni *read-modify-write*:

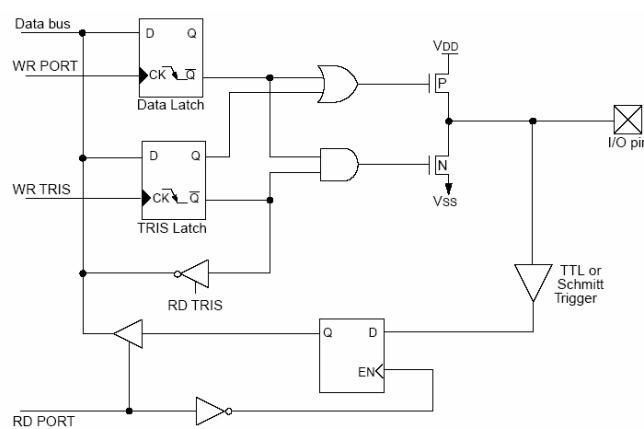
la scrittura su una porta implica la sequenza

- LETTURA DEL VALORE CORRENTE
- MODIFICA
- SCRITTURA DEL NUOVO VALORE SUL DATA PORT LATCH

I/O PORTS

Schema Generale di un Pin di I/O

(non sono state tenute in considerazione eventuali funzionalità multiplexate)



Note: I/O pin has protection diodes to Vdd and Vss.

I/O PORTS - Riassunto

Un '1' logico nel corrispondente bit di TRIS significa settare il corrispondente pin di I/O del PORT come INPUT.

Uno '0' logico significa settare il pin come OUTPUT.

ES:

`bsf TRISB, 3 => il pin 3 della PORTB è settato come INPUT`

`bsf PORTB, 3 => viene portato a livello logico alto il pin 3 della PORTB`

Quando viene letto un determinato bit del PORT register viene letto il livello presente sul pin corrispondente

Quando si va a cambiare lo stato di un bit di un determinato PORT register viene cambiato lo stato del latch corrispondente.

TIMER 0

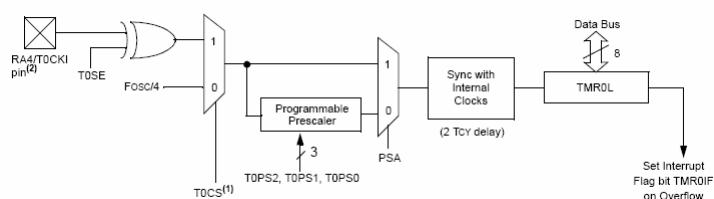
TIMER 0

CARATTERISTICHE:

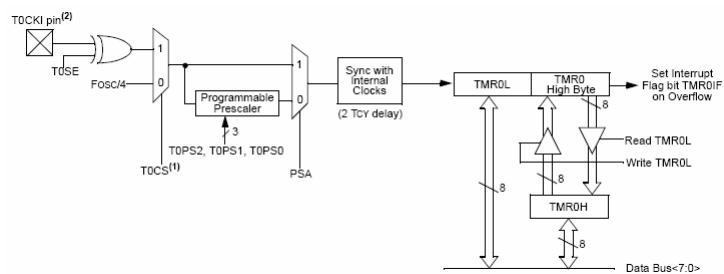
- 8/16 bit timer/counter selezionabile via SW
- Leggibile e Scrivibile
- Prescaler a 8 bit programmabile via SW
- Utilizzo di CK interno o esterno
- Possibilità di Interrupt all'overflow
- Selezione del fronte utile con CK esterno

TIMER 0

TIMER 0 BLOCK DIAGRAM IN 8 bit MODE



TIMER 0 BLOCK DIAGRAM IN 16 bit MODE



TIMER 0

Via software è possibile programmare in che modalità farlo operare

Timer Mode => T0CON <T0CS > = 0

Counter Mode => T0CON <T0CS > = 1

- In Timer Mode, il Timer0 viene incrementato ad ogni ciclo macchina (se prescaler è disabilitato)
- In Counter Mode, il Timer0 viene incrementato ad ogni fronte di salita o discesa del pin T0CKI.

Il fronte utile è programmato via software settando o resettando il bit T0CON <T0SE>

ES: T0CON <T0SE> = 0 => *fronte di salita*

TIMER 0: PRESCALER

- Assegnato al TMR0 quando il bit T0CON <T0PSA> = 0.
- Non è leggibile o scrivibile e può assumere solo valori predefiniti e selezionabili via SW
- Valori selezionabili (T0CON <T0PS2:T0PS0>):

Bit Value	TMR0 Rate
000	1 : 2
001	1 : 4
010	1 : 8
011	1 : 16
100	1 : 32
101	1 : 64
110	1 : 128
111	1 : 256

TIMER 0: PRESCALER

PRESCALER NON ASSEGNATO

- Tutte le scritture sul TMR0 register causano un'inibizione del Timer per 2 cicli macchina.
!! dopo che il TMR0 è stato scritto con il nuovo valore, non sarà incrementato fino al terzo ciclo macchina successivo.

PRESCALER ASSEGNATO

- Ogni scrittura sul TMR0 register aggiorna immediatamente il registro e azzera il prescaler.
- L'incremento del Timer0 viene inibito per 2 cicli macchina.
ES. Prescaler Configurato a 1:2
!! dopo una scrittura sul TMR0 register, il Timer non sarà incrementato per 4 CK. Dopodichè TMR0 l'incremento avverrà ogni numero di CK pari al prescaler impostato.

TIMER 0: ESEMPIO DI INIZIALIZZAZIONE

Sorgente di Clock Interna - Timer Mode

```
CLRF    TMR0          ; Clear Timer0 register
CLRF    INTCON         ; Disable interrupts and clear TOIF
[REMOVED]
MOVLW  0xC3           ; PortB pull-ups are disabled,
MOVWF  OPTION_REG     ;   Interrupt on rising edge of RB0
                      ;   Timer0 increment from internal clock
                      ;   with a prescaler of 1:16.
[REMOVED]
;**    BSF    INTCON, TOIE ; Enable TMR0 interrupt
;**    BSF    INTCON, GIE  ; Enable all interrupts
;
; The TMR0 interrupt is disabled, do polling on the overflow bit
;
T0_OVFL_WAIT
    BTFSS  INTCON, TOIF
    GOTO   T0_OVFL_WAIT
; Timer has overflowed
```

TIMER 0: ESEMPIO DI INIZIALIZZAZIONE

Sorgente di Clock Esterna - Counter Mode

```
CLRF    TMRO          ; Clear Timer0 register
CLRF    INTCON         ; Disable interrupts and clear TOIF
[REDACTED]
MOVlw   0x37          ; PortB pull-ups are enabled,
MOVWF   OPTION_REG    ; Interrupt on falling edge of RB0
                      ; Timer0 increment from external clock
                      ; on the high-to-low transition of TOCKI
                      ; with a prescaler of 1:256.
[REDACTED]
;** BSF    INTCON, TOIE ; Enable TMR0 interrupt
;** BSF    INTCON, GIE  ; Enable all interrupts
;
; The TMR0 interrupt is disabled, do polling on the overflow bit
;
T0_OVFL_WAIT
  BTFSS  INTCON, TOIF
  GOTO   T0_OVFL_WAIT
; Timer has overflowed
```

TIMER1 & TIMER3

TIMER1 & TIMER3

E' un timer/contatore a 16 bit (2 registri di 8 bit leggibili e scrivibili)

Ha 3 modi di funzionamento

➤ **Timer Sincrono**

➤ **Contatore Sincrono**

➤ **Contatore Asincrono** (funziona anche con µC in *sleep*)

In *timer mode* l'incremento è ad ogni ciclo macchina

In *counter mode* l'incremento è ad ogni fronte di salita del CK esterno in ingresso sul Pin T1CK

Reset dal modulo CCP (ad es. utile per controllo motori)

TIMER2

TIMER2

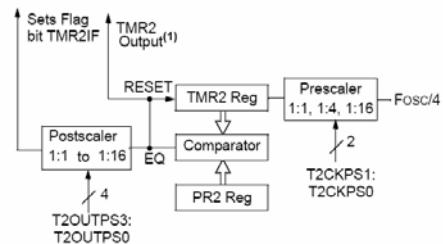
E' un timer a 8 bit con prescaler e postscaler e la sua sorgente di CK è il CK del ciclo macchina ($\frac{1}{4}$ del CK di sistema)

Di solito è usato come base dei tempi per il modulo PWM

Ha un registro (PR2) su cui viene impostato un certo valore.

Il *timer register* (TMR2REG) si incrementa fino a quando non matcha PR2

Viene disabilitato se il micro entra in *sleep mode*



MODULO CCP

MODULO CCP – Capture Compare PWM

Questo modulo contiene un registro a 16 bit che può operare come:

- **Capture Register**
- **Compare Register**
- **PWM Master/Slave Duty Cycle Register**

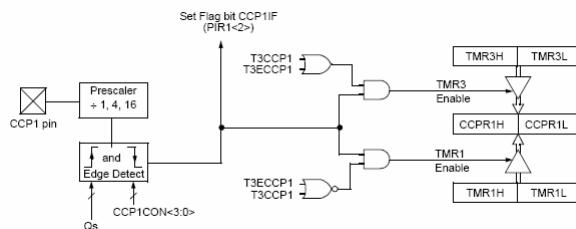
Ogni modo di funzionamento prevede l'utilizzo combinato di un timer specifico

CCP1 Mode	Timer Resource
Capture Compare PWM	Timer1 or Timer3 Timer1 or Timer3 Timer2

MODULO CCP - Capture Mode

Quando opera in Capture Mode il modulo “cattura” il valore del Timer1 Register (o del Timer 3) al verificarsi di un determinato evento sul pin CCP1 selezionabile via software tra:

- Ogni fronte di salita
- Ogni fronte di discesa
- Ogni 4 fronti di salita
- Ogni 16 fronti di salita



MODULO CCP - Compare Mode

Quando opera in Compare Mode il modulo confronta continuamente il valore caricato nei file register del modulo (CCPR1) con il valore dei Timer1 o Timer3.

Quando si verifica il *match* tra i valori dei due registri il pin CCP1 viene:

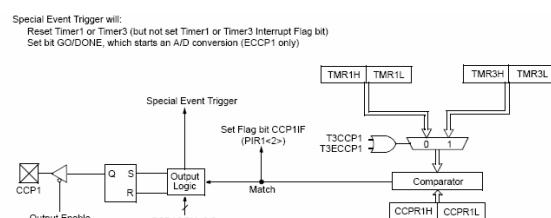
➤ Portato a livello logico alto

➤ Portato a livello logico basso

➤ Rimane invariato

➤ E' possibile abilitare *special events* (ADC o Reset TMR1)

Ogni azione (sul pin o special events) è configurabile via SW



MODULO CCP - PWM Mode

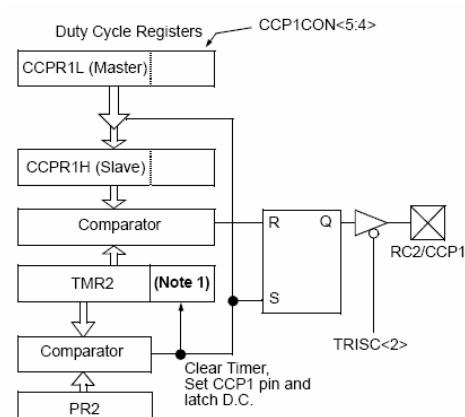
Quando opera in PWM Mode il modulo produce in uscita (CCP1 pin) un segnale PWM con risoluzione fino a 10 bit

Quando TMR2 eguaglia PR2, al ciclo macchina seguente:

TMR2 viene azzerato

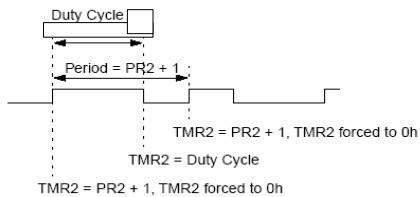
CCP1 pin è settato (eccezione se DC=0%)

Viene caricato il PWM DC



Note 1: 8-bit timer is concatenated with 2-bit internal Q clock, or 2 bits of the prescaler, to create 10-bit time-base.

MODULO CCP - PWM Mode



La frequenza dell'uscita PWM è l'inverso di $\text{PWM}_{\text{Period}}$

MODULO CCP - ESEMPI DI INIZIALIZZAZIONE

INIZIALIZZAZIONE CAPTURE MODE

```
CLRF  CCP1CON      ; CCP Module is off
CLRF  TMR1H        ; Clear Timer1 High byte
CLRF  TMR1L        ; Clear Timer1 Low byte
CLRF  INTCON       ; Disable interrupts and clear TOIF
[REMOVED]
BSF   TRISC, CCP1  ; Make CCP pin input
CLRF  PIE1         ; Disable peripheral interrupts
[REMOVED]
CLRF  PIR1          ; Clear peripheral interrupts Flags
MOVLW 0x06          ; Capture mode, every 4th rising edge
MOVWF CCP1CON       ;
BSF   T1CON, TMR1ON ; Timer1 starts to increment
;
; The CCP1 interrupt is disabled,
; do polling on the CCP Interrupt flag bit
;
Capture_Event
    BTFSS PIR1, CCP1IF
    GOTO  Capture_Event
;
; Capture has occurred
;
BCF   PIR1, CCP1IF  ; This needs to be done before next compare
```

MODULO CCP - ESEMPI DI INIZIALIZZAZIONE

INIZIALIZZAZIONE COMPARE MODE

```
CLRF  CCP1CON      ; CCP Module is off
CLRF  TMR1H        ; Clear Timer1 High byte
CLRF  TMR1L        ; Clear Timer1 Low byte
CLRF  INTCON       ; Disable interrupts and clear TOIF
[REMOVED]
BCF   TRISC, CCP1  ; Make CCP pin output if controlling state of pin
CLRF  PIE1          ; Disable peripheral interrupts
[REMOVED]
CLRF  PIR1          ; Clear peripheral interrupts Flags
MOVlw  0x08          ; Compare mode, set CCP1 pin on match
MOVwf  CCP1CON      ;
BSF   T1CON, TMR1ON ; Timer1 starts to increment
;
; The CCP1 interrupt is disabled,
; do polling on the CCP Interrupt flag bit
;
Compare_Event
    BTFSS  PIR1, CCP1IF
    GOTO   Compare_Event
;
; Compare has occurred
;
BCF   PIR1, CCP1IF  ; This needs to be done before next compare
```

MODULO CCP - ESEMPI DI INIZIALIZZAZIONE

INIZIALIZZAZIONE PWM MODE

```
CLRF  CCP1CON      ; CCP Module is off
CLRF  TMR2          ; Clear Timer2
MOVlw  0x7F          ;
MOVwf  PR2          ;
MOVlw  0x1F          ;
MOVwf  CCP1RL       ; Duty Cycle is 25% of PWM Period
CLRF  INTCON       ; Disable interrupts and clear TOIF
[REMOVED]
BCF   TRISC, PWM1  ; Make pin output
CLRF  PIE1          ; Disable peripheral interrupts
[REMOVED]
CLRF  PIR1          ; Clear peripheral interrupts Flags
MOVlw  0x2C          ; PWM mode, 2 LSbs of Duty cycle = 10
MOVwf  CCP1CON      ;
BSF   T2CON, TMR2ON ; Timer2 starts to increment
;
; The CCP1 interrupt is disabled,
; do polling on the TMR2 Interrupt flag bit
;
PWM_Period_Match
    BTFSS  PIR1, TMR2IF
    GOTO   PWM_Period_Match
;
; Update this PWM period and the following PWM Duty cycle
;
BCF   PIR1, TMR2IF
```

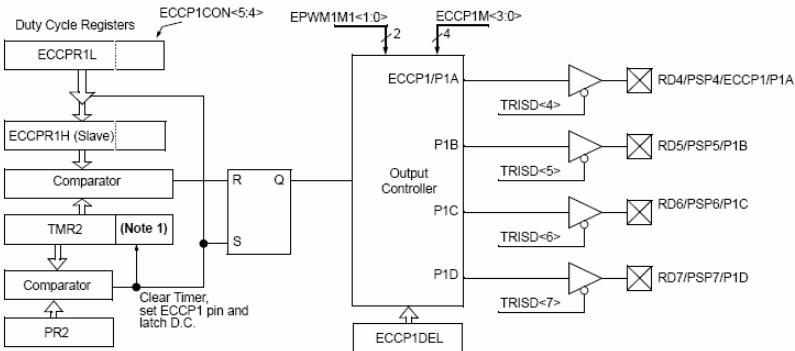
ENHANCED CCP

ENHANCED CCP

Questo modulo lavora in maniera analoga al modulo CCP visto prima e differisce solo per la modalità PWM

- Oltre alla normale modalità PWM è in grado di funzionare in modalità *Enhanced PWM*
- In EPWM il modulo è in grado di fornire in uscita fino a 4 segnali di controllo utilizzabili ad esempio per comandare un motore elettrico con la classica configurazione ad H
- Il modulo inoltre può essere programmato per andare in *shutdown* al verificarsi di determinati eventi analogici o digitali

ENHANCED CCP - PWM



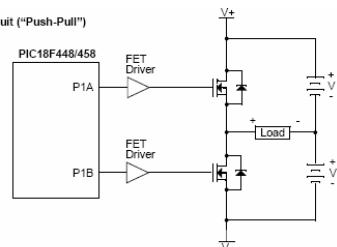
ENHANCED CCP - PWM

Può lavorare in una delle seguenti 4configurazioni a seconda dei valori impostati nei bit <7:6> di ECCP1CON

- Single Output (uguale al modulo PWM standard)
- Half-Bridge Output
- Full-Bridge Output Forward Mode
- Full-Bridge Output Reverse Mode

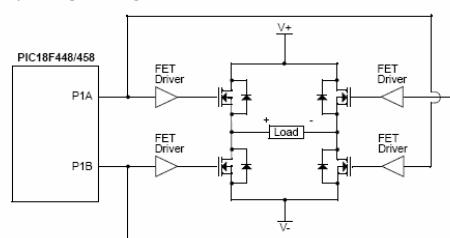
ENHANCED PWM - HALF BRIDGE

Standard Half-Bridge Circuit ("Push-Pull")



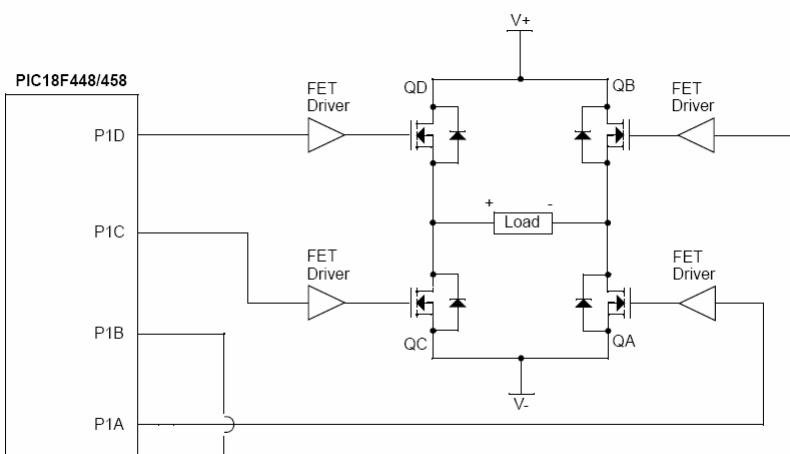
➤ 2 uscite complementari usate per pilotare il carico

Half-Bridge Output Driving a Full-Bridge Circuit



➤ La configurazione Half-Bridge può essere utilizzata anche in applicazioni a ponte completo ma pilotati da 2 soli segnali PWM

ENHANCED PWM - FULL BRIDGE

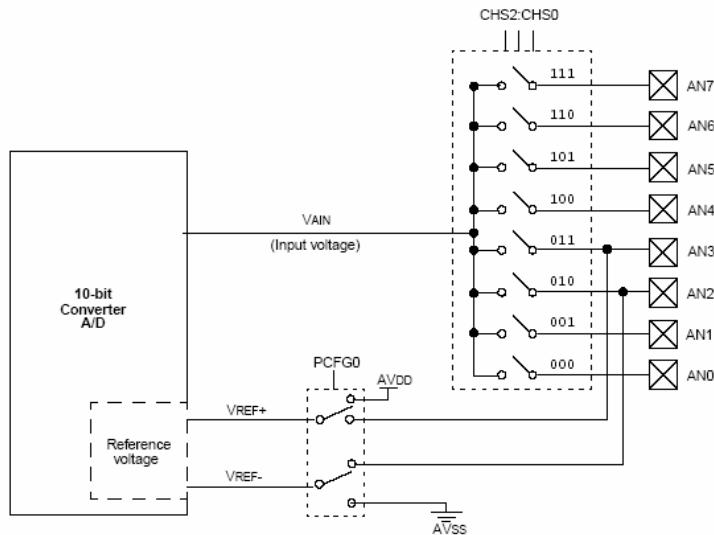


A to D CONVERTER

ADC - ANALOG to DIGITAL CONVERTER

- Il modulo prevede l'acquisizione del dato analogico (0-5V) grazie all'utilizzo di un semplice circuito di *sample&hold* integrato nel µC e realizzato con un sampling switch e un hold capacitor.
- L'uscita dell'hold capacitor è l'input del convertitore.
- Il convertitore lavora per *approssimazioni successive* e produce un risultato digitale con risoluzione di 10 bit.
- E' possibile avere fino ad un max di 8 canali analogici di ingresso multiplexati.
- A seconda dell'applicazione si può decidere via SW se le Vref vengono fornite dall'esterno o possono essere utilizzate le tensioni standard fornite dal µC.

ADC - ANALOG to DIGITAL CONVERTER

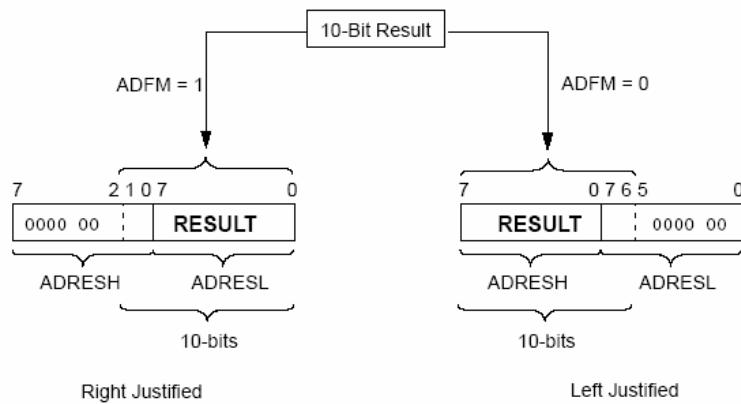


ADC - ANALOG to DIGITAL CONVERTER

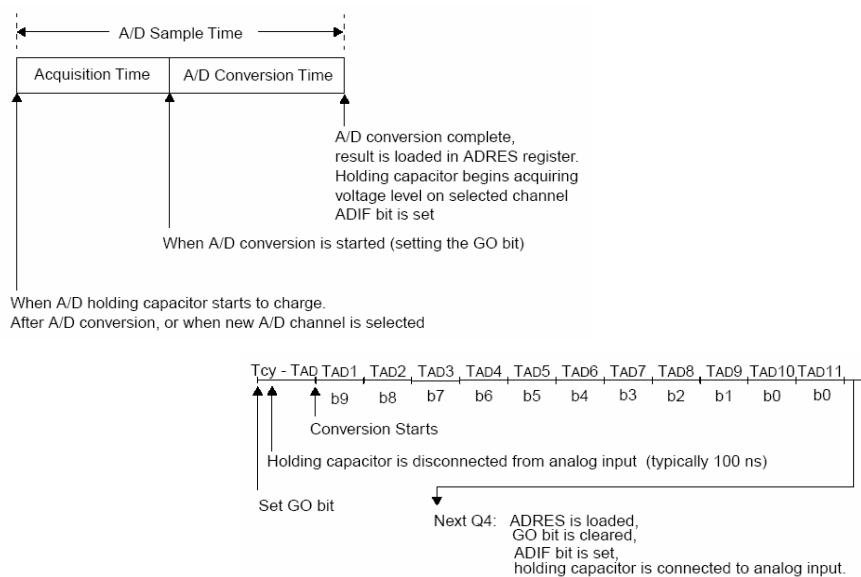
- Il modulo ha 4 registri base
 - A/D Control Register0 (ADCON0)
 - A/D Control Register1 (ADCON1)
 - A/D Result High Register (ADRESH)
 - A/D Result Low Register (ADRESL)
- ADCON0 controlla le operazioni di conversione
- ADCON1 configura le porte (num di input analogici da multiplexare, sorgente di Vref, ecc...)
- ADRESH:ADRESL sono i registri in cui viene caricato il risultato della conversione

ADC - ANALOG to DIGITAL CONVERTER

Si può avere giustificazione a destra o a sinistra del risultato della conversione



ADC - ANALOG to DIGITAL CONVERTER



ADC - ANALOG to DIGITAL CONVERTER

- L' **Acquisition Time** è il tempo durante il quale l'hold capacitor è connesso al livello di tensione esterno da convertire
- T_{AD} è il tempo di conversione per bit
(L'ADC lavora per approssimazioni successive!)
- Per una conversione a 10 bit sono necessari 12 T_{AD}
- La somma di Acquisition time e tempo di conversione è il **Sampling Time**
- C'è un tempo di acquisizione minimo per garantire la carica del condensatore di hold

ADC - ANALOG to DIGITAL CONVERTER

ESEMPIO DI INIZIALIZZAZIONE E CONVERSIONE

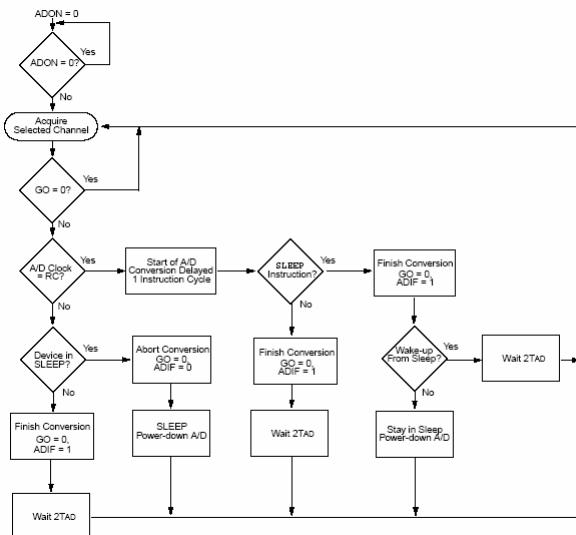
```
CLRF    ADCON1      ; Configure A/D inputs,  
                   ; result is left justified  
BSF     PIE1, ADIE   ; Enable A/D interrupts  
  
MOVLW  0xC1          ; RC Clock, A/D is on, Channel 0 is selected  
MOVWF  ADCON0        ;  
BCF    PIR1, ADIF     ; Clear A/D interrupt flag bit  
BSF    INTCON, PEIE   ; Enable peripheral interrupts  
BSF    INTCON, GIE    ; Enable all interrupts  
  
; Ensure that the required sampling time for the selected input  
; channel has elapsed. Then the conversion may be started.  
;  
BSF    ADCON0, GO     ; Start A/D Conversion  
:                      ; The ADIF bit will be set and the GO/DONE  
:                      ; bit is cleared upon completion of the  
:                      ; A/D Conversion.
```

NB: Il bit GO/DONE di Start of Conversion (SOC) NON deve essere settato nella stessa istruzione che accende il modulo a causa dei requisiti minimi di acquisizione

ADC - ANALOG to DIGITAL CONVERTER

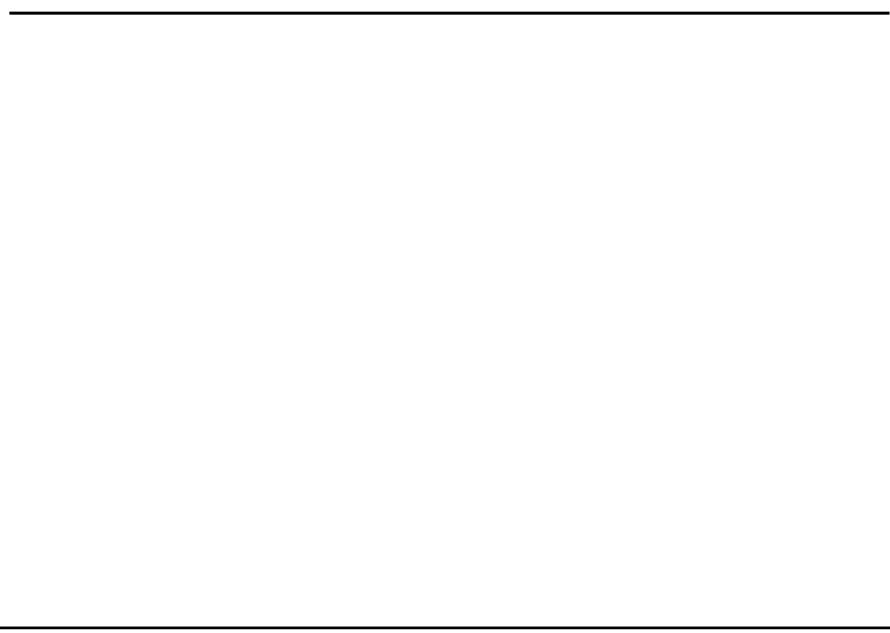
- Il convertitore può lavorare anche quando il µC è in *sleep mode* e, anzi, lo può svegliare generando un interrupt di *end of conversion*.
- Il modulo A/D aspetta 1 ciclo macchina prima di iniziare la conversione.
- Questo permette di eliminare il rumore derivante dallo switching digitale del canale da convertire
- L'istruzione di *sleep* DEVE seguire l'istruzione di SOC
- Se il corrispondente interrupt è abilitato alla fine della conversione il modulo “sveglia” il µC.

ADC - ANALOG to DIGITAL CONVERTER



FLOW CHART
di una
CONVERSIONE
A/D

COMPARATORE

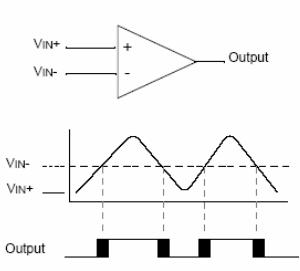


COMPARATORE

Il modulo contiene 2 comparatori analogici

Oltre a 4 linee esterne (RD0:RD3) è possibile utilizzare come ingressi anche il generatore di tensioni di riferimento interno al PIC

Il registro CMCON controlla le varie configurazioni in cui può lavorare il modulo (bit CM2:CM0)



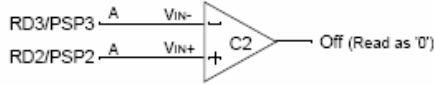
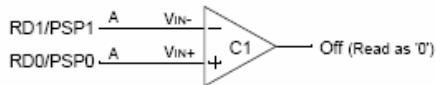
Attraverso il registro CMCON è possibile anche leggere le uscite del modulo (bit 7:6 CxOUT) e cambiarne la polarità (bit 4:5 CxINV)

Il modulo può generare un interrupt in grado di svegliare il PIC dallo sleep

COMPARATORE

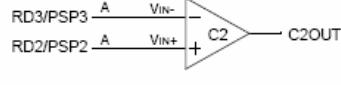
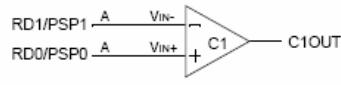
Comparators Reset (POR Default Value)

CM2:CM0 = 000



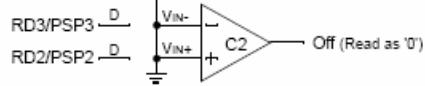
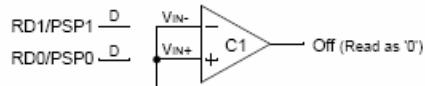
Two Independent Comparators

CM2:CM0 = 010



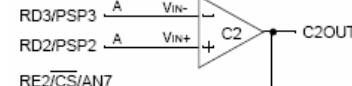
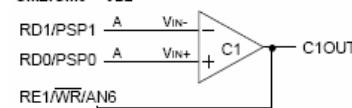
Comparators Off

CM2:CM0 = 111



Two Independent Comparators with Outputs

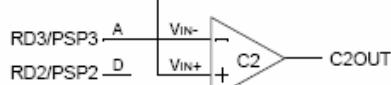
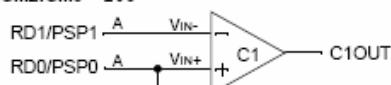
CM2:CM0 = 011



COMPARATORE

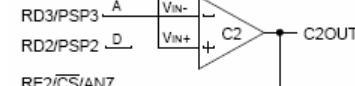
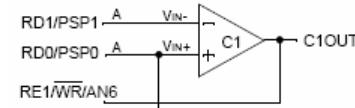
Two Common Reference Comparators

CM2:CM0 = 100



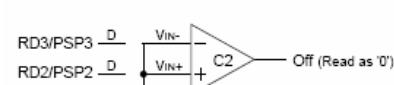
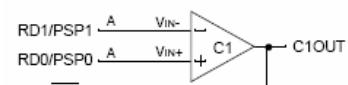
Two Common Reference Comparators with Outputs

CM2:CM0 = 101



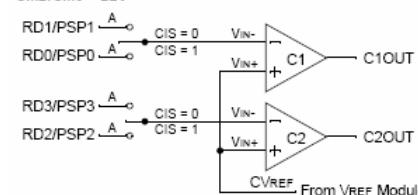
One Independent Comparator with Output

CM2:CM0 = 001



Four Inputs Multiplexed to Two Comparators

CM2:CM0 = 110



USART

L'USART (Universal Synchronous Asynchronous Receiver Transmitter) è uno dei moduli di comunicazione seriale integrato sul µC.

Può essere configurato come:

- **Asynchronous** (Full Duplex)
(può comunicare con dispositivi periferici come ad es. PC)
- **Synchronous - Master** (Half Duplex)
- **Synchronous - Slave** (Half Duplex)
(può comunicare con dispositivi esterni come ad es. ADC, DAC, EEPROM Dati, ecc...)

USART - BAUD RATE GENERATOR (BRG)

- BRG serve per entrambi i modi di funzionamento del modulo (sincrono e asincrono) ed è quel blocco che si occupa di generare la frequenza alla quale vengono trasmessi o ricevuti i bit di dati.
- Il registro dedicato SPBRG controlla il periodo di un *free-running 8-bit timer*.
- Stabilità una determinata baud rate che si vuole ottenere (ad es. 9600 bps) per la comunicazione seriale, e noto il CK del µC (Fosc), è possibile calcolare il valore da inserire in SPBRG.

USART - ASYNCHRONOUS MODE

In questa configurazione il modulo usa il formato standard NRZ (= Non Return to Zero) con:

1bit di Start, 8 o 9 bit di dati, 1bit di Stop

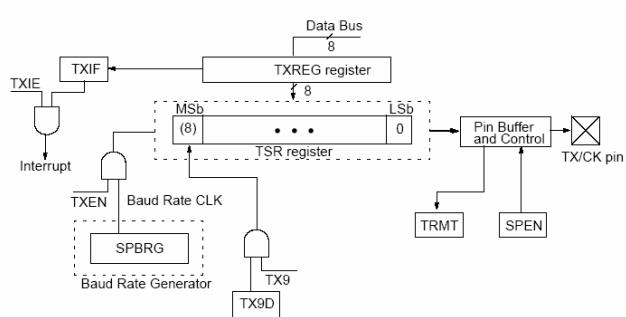
(Il più usato prevede 8 bit di dati)

- Utilizza il BRG per ricavare la baud rate desiderata dal CK del sistema
- Trasmette e Riceve PER PRIMO I' LSB
- Trasmitter e Receiver sono funzionalmente indipendenti, ma utilizzano lo stesso formato dei dati e la stessa baud rate

USART - ASYNCHRONOUS MODE

- L'HW del modulo non supporta il controllo di parità che può essere implementato solo via SW
- Il suo funzionamento è interrotto durante lo SLEEP
- Si parla di modalità di funzionamento 8N1 (= 8 bit di dati, NO parità, 1 bit di stop)
- I suoi blocchi principali sono:
 - Baud Rate Generator
 - Sampling Circuit
 - Asynchronous Transmitter
 - Asynchronous Receiver

USART - ASYNCHRONOUS TRASMITTER

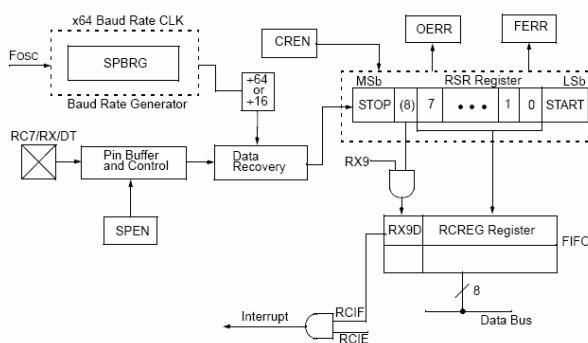


- TSR non è mappato in memoria per cui non è accessibile dall'utente
- TXIF viene settato quando si setta il TXEN e viene resettato dal caricamento di TXREG
- La TX non avviene fino a quando TXREG non è caricato e BRG ha prodotto un fronte utile

USART - ASYNCHRONOUS TRANSMITTER

- TSR prende i dati da TXREG
- TXREG viene caricato coi dati da TX via SW
- TSR non è caricato fino a quando non è stato trasmesso lo STOP bit del pacchetto precedente
- Una volta che TSR è caricato da TXREG, TXREG si svuota e TXIF viene settato e se abilitato viene generato un interrupt
- TXIF indica lo stato di TXREG
- TRMT indica lo stato di TSR e viene settato quando TSR è vuoto

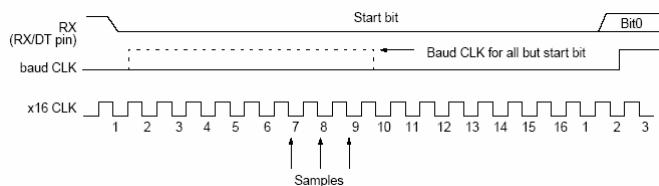
USART - ASYNCHRONOUS RECEIVER



- Il registro chiave è RSR (Receive Shift Register)
- I dati sono RX sul pin RC7 e vengono memorizzati nel Data Recovery Block che altro non è che uno Shift Register che funziona a un CK x16 della baud rate
- La RX è abilitata settando CREN

USART - ASYNCHRONOUS RECEIVER

- Il dato su RC7 è campionato 3 volte per individuare con maggior precisione il livello logico presente



- Dopo che è stato campionato lo STOP bit il dato ricevuto e messo in RSR è trasferito su RCREG (se vuoto)
- Se il trasferimento viene completato viene settato RCIF e se abilitato si genera un interrupt
- RCIF viene resettato dall'HW quando RCREG è stato letto e svuotato

USART - SYNCHRONOUS MODE

In questa configurazione la comunicazione è HALF DUPLEX, vale a dire che mentre si trasmettono dati la ricezione è inibita e viceversa.

Le linee RC6 e RC7 assumono il ruolo rispettivamente di CK della comunicazione e linea dati.

Master Mode indica che il µC TX il master CK sulla linea di CK (RC6 quindi è configurato come pin di output)

Slave Mode indica che il master CK è fornito dall'esterno ed arriva su RC6 che quindi è configurato come pin di input.

QUESTO PERMETTE AL MICRO DI TX O RICEVERE DATI DURANTE LO SLEEP MODE

USART - ESEMPI DI INIZIALIZZAZIONE

ASYNCHRONOUS TRASMITTER/RECEIVER

```
MOVLW <baudrate>      ; Set Baud rate
MOVWF SPBRG
MOVLW 0x40            ; 8-bit transmit, transmitter enabled,
MOVWF TXSTA           ; asynchronous mode, low speed mode
BSF    PIE1,TXIE       ; Enable transmit interrupts
BSF    PIE1,RCIE       ; Enable receive interrupts
MOVLW 0x90            ; 8-bit receive, receiver enabled,
MOVWF RCSTA           ; serial port enabled
```

SYNCHRONOUS TRASMITTER/RECEIVER

```
MOVLW <baudrate>      ; Set Baud Rate
MOVWF SPBRG
MOVLW 0XB0            ; Synchronous Master,8-bit transmit,
MOVWF TXSTA           ; transmitter enabled, low speed mode
BSF    PIE1,TXIE       ; Enable transmit interrupts
BSF    PIE1,RCIE       ; Enable receive interrupts
MOVLW 0x90            ; 8-bit receive, receiver enabled,
MOVWF RCSTA           ; continuous receive, serial port enabled
```

DATA EEPROM

DATA EEPROM

Questo tipo di periferica permette di memorizzare in maniera permanente (non volatile) dati che possono essere di natura diversa ad es: risultato di elaborazioni, stato del sistema al verificarsi di determinate condizioni, dati acquisiti dall'esterno, ecc...

Risulta molto utile in caso di applicazioni che prevedono acquisizione dati come nel caso di *datalogger*.

Il controllo e l'accesso alla EEPROM Dati avviene *indirettamente* attraverso l'uso di 4 registri SFR:

- **EECON1** controlla la configurazione del modulo
- **EECON2** permette l'accesso in scrittura
- **EEDATA** contiene i dati letti/da scrivere
- **EEADR** contiene l'indirizzo della locazione da RD/WR

DATA EEPROM - LETTURA

- La lettura di una locazione è semplice e prevede solo di caricare in EEADR l'indirizzo della locazione EEPROM che si vuole leggere e di abilitare la lettura (Start)
- Il dato è disponibile in EEDATA al ciclo macchina immediatamente successivo e vi viene mantenuto fino a quando non viene effettuata una nuova lettura o fino a quando non viene sovrascritto dall'operatore ad es. durante una operazione di scrittura in EEPROM Dati

ESEMPIO DI LETTURA

```
MOVLW  DATA_EE_ADDR    ;  
MOVWF  EEADR           ;Data Memory Address  
                      ;to read  
BCF    EECON1, EEPGD   ;Point to DATA memory  
BCS    EECON1, CFGS    ;  
BSF    EECON1, RD      ;EEPROM Read  
MOVF   EEDATA, W       ;W = EEDATA
```

DATA EEPROM - SCRITTURA

- La scrittura prevede una precisa sequenza d'accesso alla EEPROM Dati, questo per evitare accessi indesiderati che potrebbero alterare il contenuto della memoria stessa.

ESEMPIO DI SCRITTURA

Required Sequence { }

```
BCF    INTCON, GIE ; Disable INTs.  
BSF    EECON1, WREN ; Enable Write  
MOVlw  55h          ;  
MOVwf  EECON2       ; 55h must be written to EECON2  
MOVlw  AAh          ; to start write sequence  
MOVwf  EECON2       ; Write AAh  
BSF    EECON1,WR    ; Set WR bit begin write  
BSF    INTCON, GIE ; Enable INTs.
```

- Al completamento del ciclo di scrittura il bit WR è resettato automaticamente dall'HW, viene settato il flag EIF e, se abilitato, viene generato un interrupt

MODULO CAN

CAN - Control Area Network

E' un INTERFACCIA SERIALE DI COMUNICAZIONE DIGITALE studiato per applicazioni real-time.

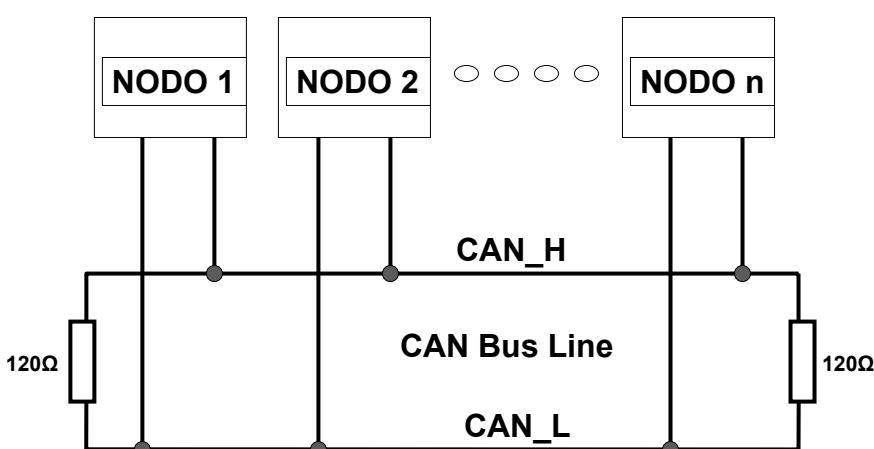
Il protocollo, grazie alle sue caratteristiche di alta flessibilità, robustezza, affidabilità consente a controllori sensori ed attuatori di:

- Comunicare tra loro a velocità fino a 1 Mbit/sec
- Lavorare in condizioni ambientali ostili
- Svolgere funzioni di autodiagnosica

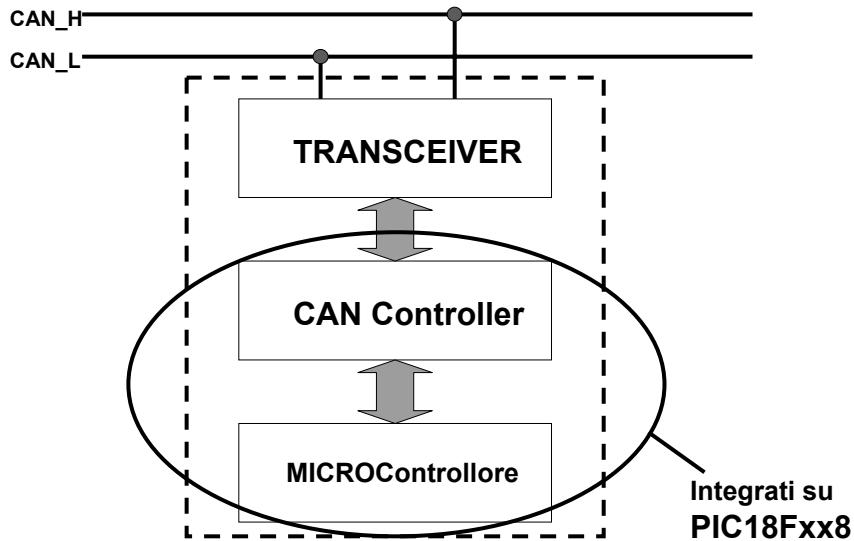
inoltre permette di:

- Diminuire i costi di progettazione ed implementazione
- Inserire in un sistema prodotti di costruttori diversi
- Facilità di configurazione e modifica della rete

CAN - SCHEMA DI RETE



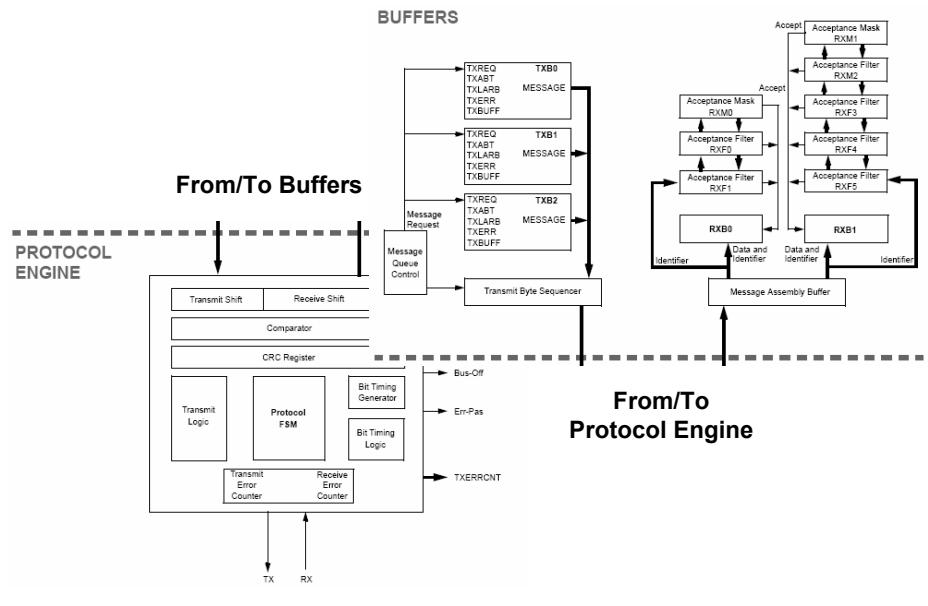
CAN - SCHEMA DI NODO



MODULO CAN - OVERVIEW

- Il modulo è formato da una parte di *protocol engine* e da una di *message buffering and control*.
- Il *protocol engine* gestisce tutte le funzioni di trasmissione e ricezione di messaggi sul bus CAN.
- I msg possono essere trasmessi solo dopo essere stati preventivamente caricati negli opportuni data register.
- Stato dei msg, ed eventuali errori, possono essere controllati andando a leggere alcuni registri di controllo.
- Tutti i msg presenti sul bus vengono controllati e viene fatto il *match* con filtri configurati via SW, filtri che vengono utilizzati per riconoscere solo i msg utili al nodo (CAN è broadcast = tutti i msg sul bus sono visti da tutti i nodi)
- Se il match dà risultato positivo il msg è ricevuto dal modulo e memorizzato in uno dei 2 registri di ricezione

MODULO CAN - BLOCK DIAGRAM



MODULO CAN - TIPI DI FRAME

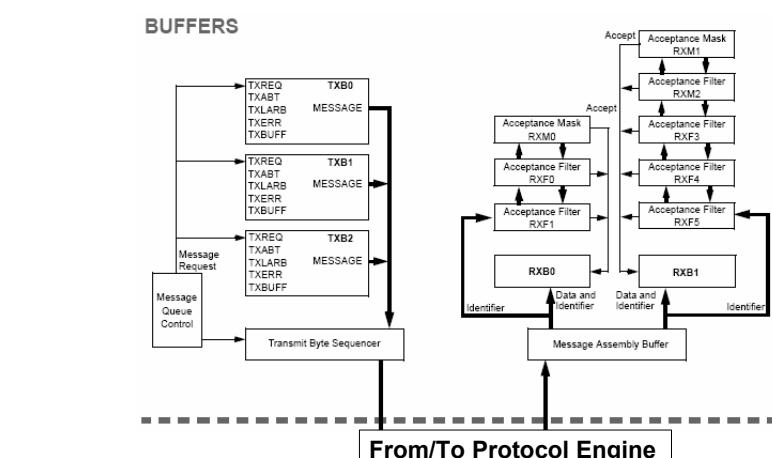
- Il modulo CAN supporta diversi tipi di frame:
 - Standard Data Frame**
 - Extended Data Frame**
 - Remote Frame**
 - Error Frame**
 - Overload Frame Reception**
 - Interframe Space**
- Usa i pin RB3/CANRX and RB2/CANTX/INT2 per interfacciarsi col bus, per cui è necessario configurare
 - bit TRISB<3> = 1
 - bit TRISB<2> = 0

MODULO CAN - REGISTRI

Ci sono molti registri associati al modulo CAN che si possono raggruppare in:

- Control and Status Registers
- Transmit Buffer Registers (Data and Control)
- Receive Buffer Registers (Data and Control)
- Baud Rate Control Registers
- I/O Control Register
- Interrupt Status and Control Registers

MODULO CAN - BUFFERS



Il modulo dispone di:

3 buffer di TX, 2 buffer di RX, 2 mask buffer (uno per ogni buffer di RX), 6 filtri

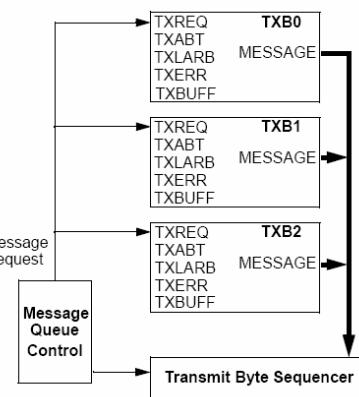
MODULO CAN - MODI DI FUNZIONAMENTO

Prevede 6 modi di funzionamento:

- **Configuration mode:** utilizzato per la inizializzazione del modulo e non permette TX o RX di msg
- **Disable mode**
- **Normal Operation mode**
- **Listen Only mode:** il modulo può solo RX e riceve tutti i msg. E' utilizzato come monitor del bus
- **Loopback mode:** utilizzato in fase di debug e test del sistema, permette scambio di msg INTERNI tra buffer di TX e RX
- **Error Recognition mode:** utilizzato quando si vuole ricevere TUTTI i messaggio ignorando eventuali errori

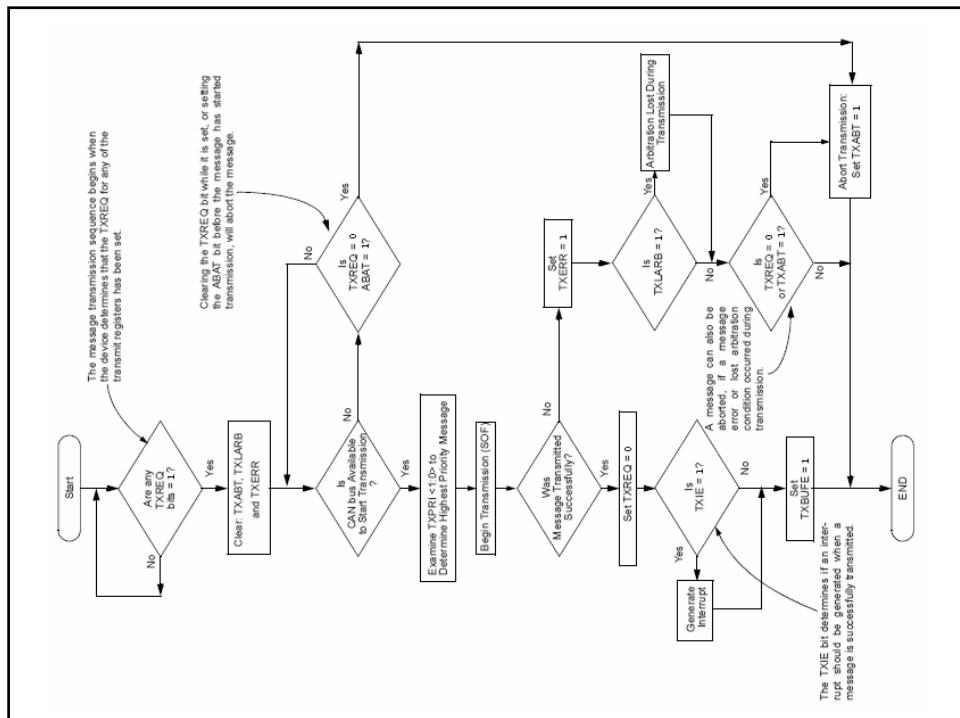
MODULO CAN - TX di MESSAGGI

- **3 Buffer di TX (da 14 bytes)**
- **μC può accedere a uno dei buffer solo se TXREQ = 0**
- **I registri dell' identificatore e dell'indicatore del numero di byte di dati del msg da TX sono quelli minimi da caricare nel buffer per poter effettuare la TX**
- **La priorità di TX dei buffer è *indipendente* dalla priorità del protocollo: il buffer a priorità più alta TX per primo**



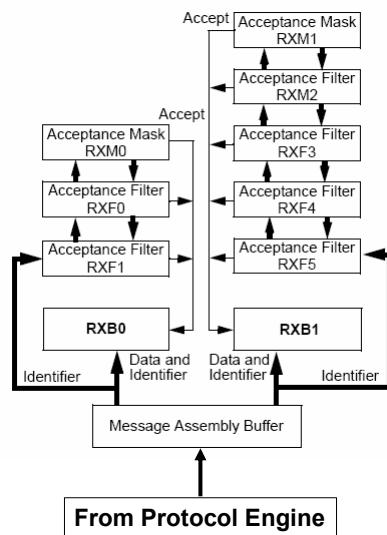
MODULO CAN - TX di MESSAGGI

- Per iniziare la TX deve essere TXREQ = 1
- TXREQ = 1 non è condizione sufficiente per iniziare la TX
- La TX può iniziare solo quando il dispositivo rileva che il bus è in stato di *idle*
- Quando la TX è terminata con successo allora TXREQ viene resettato, TXBnIF = 1 e si genera un interrupt se TXBnIE è stato preventivamente settato a 1
- Se la TX fallisce TXREQ rimane settato e si settano i flag corrispondenti ad errori di TX o a perdita dell'arbitraggio
- Una TX viene *abortita* se TXREQ è resettato oppure se viene fatta richiesta di abortire tutti i msg pendenti dei vari buffer settando il bit ABAT del registro CANCON



MODULO CAN - RX di MESSAGGI

- 3 Buffer di RX
- MAB riceve ogni msg sul bus dal *protocol engine*
- µC può accedere a RXB0 o RXB1 mentre l'altro è disponibile per la rx di un nuovo msg oppure contiene un msg vecchio
- MAB assembla tutti i msg che vengono caricati in RXB0 o RXB1 solo se è verificato uno dei criteri degli *acceptance filter*



MODULO CAN - RX di MESSAGGI

- Quando un msg è spostato dal MAB a uno degli altri 2 buffer di RX viene settato il corrispondente interrupt flag (RXBnIF)
- L'interrupt verrà generato solo se il corrispondente bit di abilitazione (RXBnIE) è settato
- RXBnIF deve poi essere messo a zero dal µC una volta terminato il *processing* del msg per poter consentire il caricamento di msg successivi
- RXB0 è il buffer a priorità più alta rispetto a RXB1

MODULO CAN - FILTRI E MASK

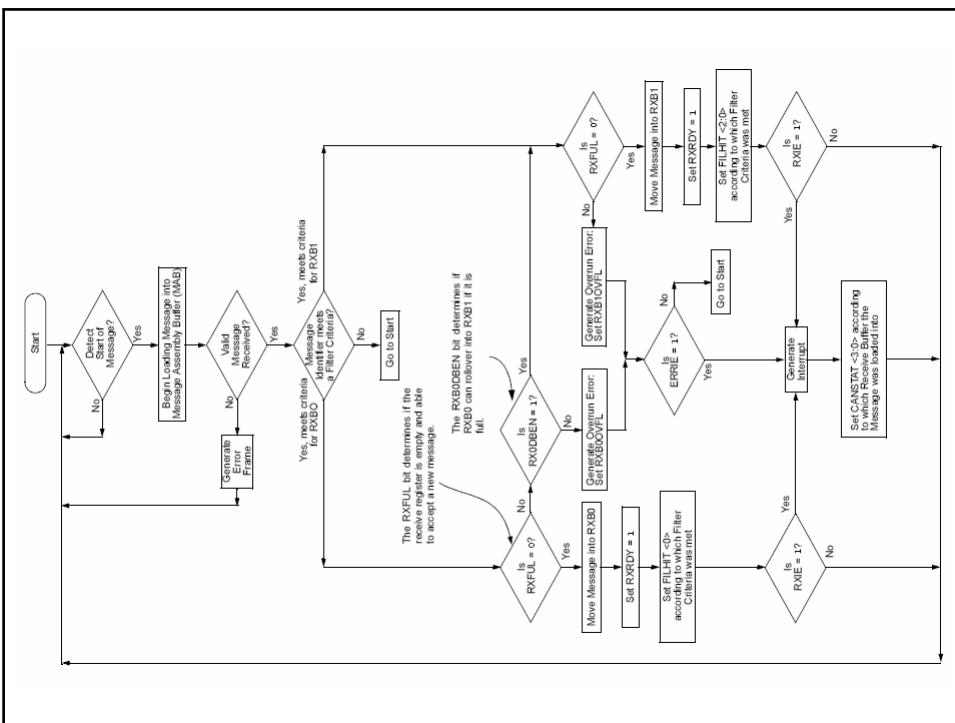
- I filtri e le mask sono usati per determinare se un messaggio presente sul bus CAN, e quindi nel *message assembly buffer* (MAB), può essere accettato e quindi caricato in uno dei 2 buffer di RX.
- Una volta che un messaggio è ritenuto valido dal *protocol engine*, e viene ricevuto e messo nel MAB, il suo campo identificatore è comparato con il valore (configurazione) dei vari filtri del modulo (RXF0 – RXF5).
- Se c'è match allora il messaggio è caricato nell'appropriato buffer di RX.

MODULO CAN - FILTRI E MASK

Mask bit n	Filter bit n	Message Identifier bit n001	Accept or Reject bit n
0	x	x	Accept
1	0	0	Accept
1	0	1	Reject
1	1	0	Reject
1	1	1	Accept

Legend: x = don't care

- Le mask servono per determinare quali bits dell'identificatore del messaggio devono essere presi in considerazione nel matching.



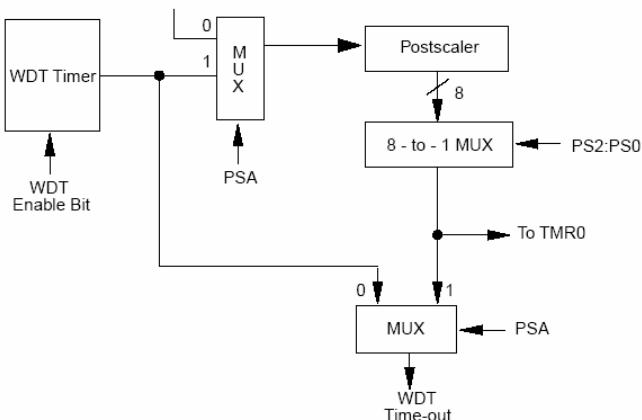
WATCHDOG TIMER e SLEEP MODE

WATCHDOG TIMER

- Il *Watchdog Timer* (WDT) è un *OSC RC free running on-chip* che non richiede nessun componente esterno.
- WDT è tenuto separato da ogni altro blocco di temporizzazione interno o esterno al dispositivo e per questo è in grado di funzionare anche quando il normale CK di sistema è fermo, ad es. come conseguenza di un istruzione di SLEEP.
- Durante il funzionamento normale del µC un *WDT time-out* genera un RESET del dispositivo.
- Se il µC è in SLEEP, invece, un *WDT time-out* causa il risveglio del µC e il ripristino del normale funzionamento (*WDT wake-up*)

WATCHDOG TIMER

From TMR0 Clock Source



Note: PSA and PS2:PS0 are bits in the OPTION register.

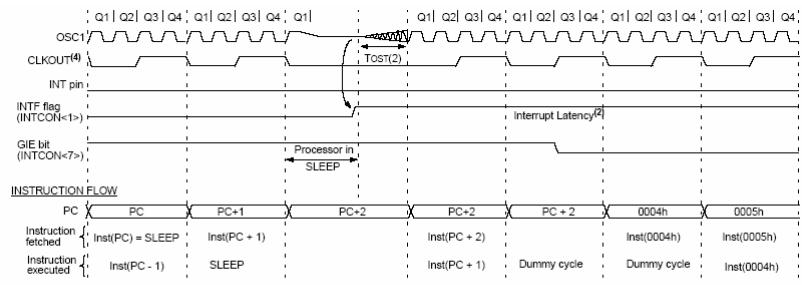
SLEEP MODE (Power Down)

- Questa caratteristica messa a disposizione da molti microcontrollori permette al dispositivo di mettersi nello stato in cui ha il **CONSUMO MINIMO DI CORRENTE** (utilissimo ad es. in applicazioni a batteria).
- In *sleep mode* l'oscillatore del dispositivo è spento.
- Il µC entra in sleep solo dopo aver eseguito una istruzione di SLEEP.
- Dopo una istruzione di sleep, se abilitato, il WDT viene azzerato ma continua a funzionare.
- Il µC può essere risvegliato dallo *sleep mode* in seguito a: WDT time-out, Reset del dispositivo, Interrupt dovuti a evento esterno, cambio di stato di determinati port pin, fine conversione A/D, Timer1 overflow, ecc...

SLEEP MODE (Power Down)

- Una volta risvegliato il µC (a parte il caso di reset) riprende l'esecuzione del programma dall'istruzione immediatamente successiva a quella di sleep.
- Questo perché al momento dell'esecuzione della SLEEP nel Program Counter si ha il Pre-Fetch dell'istruzione seguente.
- In caso di risveglio dovuto ad un interrupt, il programma salterà alla locazione di memoria riservata al servizio interrupt (es. 0x04 per il PIC16F877)

SLEEP MODE (Power Down)



Note 1: XT, HS or LP oscillator mode assumed.

2: TOST = 1024Tosc (drawing not to scale) This delay will not be there for RC osc mode.

3: GIE = '1' assumed. In this case after wake-up, the processor jumps to the interrupt routine. If GIE = '0', execution will continue in-line.

4: CLKOUT is not available in these osc modes, but shown here for timing reference.

Equivalenza modello termico ed elettrico (1/3)

Si suppone di studiare i componenti a regime termico

In tale situazione la struttura del componente generico può essere descritta con una *rete termica* analoga a una rete elettrica se:

- la differenza di potenziale della rete elettrica si sostituisce con una differenza di temperatura ($\Delta V \leftrightarrow \Delta T$),**
- la corrente elettrica si sostituisce con il flusso di potenza termica ($I \leftrightarrow P_d$)**
- la resistenza elettrica si sostituisce con la resistenza termica ($R \leftrightarrow \theta_{th}$ o R_{th})**

Con queste sostituzioni si può riscrivere la legge di Ohm per la rete termica: $\Delta T = R_{th} \cdot P_d$

149

S. Saponara- Costruzioni Elettroniche

Equivalenza modello termico ed elettrico (2/3)

Ovviamente la temperatura è in gradi centigradi (°C) – se facciamo sempre riferimento a differenze di temperatura gradi centigradi o Kelvin (°K) è lo stesso -

La potenza termica è espressa in [W] e la resistenza termica è in [°C / W o °K / W]

N.B:- Se siamo in regime transitorio, si devono considerare anche le inerzie termiche (capacità termiche) delle varie parti della rete, questo si traduce nell'introduzione di capacità nella rete elettrica equivalente

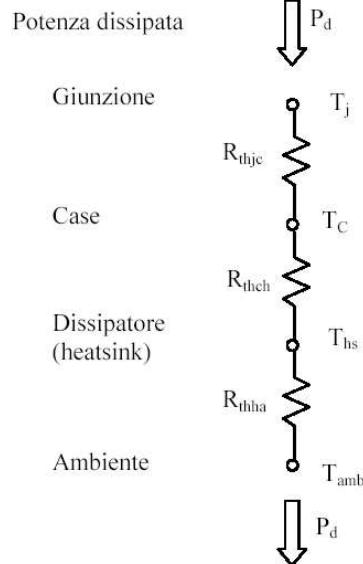
150

S. Saponara- Costruzioni Elettroniche

Equivalenza modello termico ed elettrico (3/3)

Alla luce dell'analogia modello termico ed elettrico, a regime, si può rappresentare la struttura termica di un componente elettronico con sistema di raffreddamento in questo modo →

(in assenza del dissipatore la serie delle resistenze termiche case-dissipatore e dissipatore-ambiente deve essere sostituita con una, di valore molto maggiore, case-ambiente propria del componente)



151

S. Saponara- Costruzioni Elettroniche

Esempio 2: analisi modello termico per l'FPGA AX2000 operating range $T_j = -55$ to 125 C, $T_{j\max} = 150$ C

Table 2-8 • Package Thermal Characteristics

Package Type	Pin Count	θ_{je}	θ_{ja} Still Air	θ_{ja} 1.0m/s	θ_{ja} 2.5m/s	Units
Ceramic Quad Flat Pack (CQFP) ₁	208	2.0	22.0	19.8	18.0	°C/W
Ceramic Quad Flat Pack (CQFP) ₁	352	2.0	17.9	16.1	14.7	°C/W
Ceramic Column Grid Array (CCGA) _{2,3}	624	6.5	8.9	8.5	8.0	°C/W

Notes:

1. θ_{je} for CQFP packages refers to the thermal resistance between the junction and the bottom of the package.
2. θ_{je} for CCGA packages refers to the thermal resistance between the junction and the top of the package.

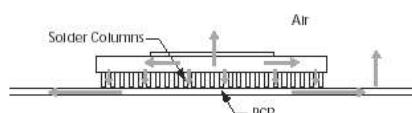


Figure 2-2 • Heat Flow when Air is Present

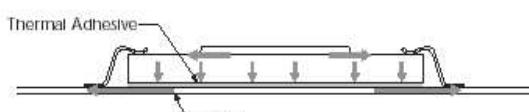


Figure 2-3 • Heat Flow in a Vacuum

S. Saponara- Costruzioni Elettroniche

152

Esercizio 1

Senza dissipatore, con ventola a 2.5 m/s calcolare max potenza dissipabile in funzione di T_A per garantire range di funzionamento

Soluzione

Se uso package CQFP → 14.7 C/W

$$T_j\max<125 \rightarrow P=(125-T_A)/14.7=8.5-(T_A/14.7)$$

6.8 W a $T_{A=25C}$, 3.74 W a $T_{A=70C}$, 0 W a $T_{A=125C}$

Se uso package CGA → 8 C/W

$$T_j\max<125 \rightarrow P=(125-T_A)/8=15.625-(T_A/8)$$

12.5 W a $T_{A=25C}$, 6.875 W a $T_{A=70C}$, 0W a $T_{A=125C}$

153

S. Saponara- Costruzioni Elettroniche

Esercizio 2

Senza dissipatore nè ventola calcolare max potenza dissipabile in funzione di T_A per garantire range di funzionamento

Soluzione

Se uso package CQFP → 17.9 C/W

$$T_j\max<125 \rightarrow P=(125-T_A)/17.9=6.98-(T_A/17.9)$$

5.58 W a $T_{A=25C}$, 3 W a $T_{A=70C}$, 0 W a $T_{A=125C}$

Se uso package CGA → 8.9 C/W

$$T_j\max<125 \rightarrow P=(125-T_A)/8.9=14-(T_A/8.9)$$

11 W a $T_{A=25C}$, 6 W a $T_{A=70C}$, 0 W a $T_{A=125C}$

154

S. Saponara- Costruzioni Elettroniche

Esercizio 3

Con dissipatore ideale (0 C/W) calcolare max potenza dissipabile in funzione di T_A per garantire range di Funzionamento

Soluzione

Se uso package CQFP \rightarrow 2 C/W

$$T_{j\max} < 125 \rightarrow P = (125 - T_A)/2 = 62.5 - (T_A/2)$$

50 W a $T_{A=25C}$, 27.5 W a $T_{A=70C}$, 0 W a $T_{A=125C}$

Se uso package CGA \rightarrow 6.5 C/W

$$T_{j\max} < 125 \rightarrow P = (125 - T_A)/6.5 = 19.2 - (T_A/6.5)$$

15.38 W a $T_{A=25C}$, 8.46 W a $T_{A=70C}$, 0 W a $T_{A=125C}$

155

S. Saponara- Costruzioni Elettroniche

Esercizio 4

Con package CQFP, determinare sistema di raffredamento che garantisce $P_{max}=4$ W fino a $T_A = 100$ C

Soluzione

Senza dissipatore né ventola CQFP \rightarrow 17.9 C/W

$$T_{j\max} \leq 17.9 \times 4 + T_A = 171.6 \text{ C} > 125$$

Per dissipare 4W con salto termico $T_j - T_A = 25$ C serve resistenza termica totale inferiore a $25/4=6.25$ C/W

2 C/W sono dovuti a giunzione-case \rightarrow case-ambiente < 4.25

Senza dissipatore è 17.9 e non ce la fa.

Se metto un dissipatore di circa 4 C/W in parallelo a 17.9 C/W si ha sicuramente valore inferiore

156

S. Saponara- Costruzioni Elettroniche

Esercizio 5

Con package CGA, determinare sistema di raffredamento che garantisce $P_{max}=4$ W fino a $T_A = 100$ C

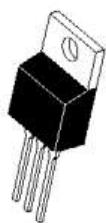
Soluzione

Per dissipare 4W con salto termico $T_j-T_A = 25$ C serve resistenza termica totale inferiore a $25/4=6.25$ C/W ma giunzione-case ha già 6.5 C/W → non è possibile

157

S. Saponara- Costruzioni Elettroniche

Esempio: dissipatori per package di transistor di potenza TO220 (catalogo RS)



Confezione da: 10 pezzi

CASE 221A-09
TO-220AB

Confezione da: 1 pezzo

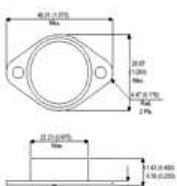
Resistenza termica	Codice	Prezzo/conf.
1-4	5-19	

Modello	Codice	Prezzo cad.
1-24	268-127	25-99
5,1°C/W	4,29 €	3,65 €
3,5°C/W	6,81 €	5,79 €

S. Saponara- Costruzioni Elettroniche

158

Esempio: dissipatori per package di transistor di potenza TO3 (catalogo RS)



Prezzo/confezione da 10 pezzi		
R termica	1-4	5-19
5,1°C/W	10,12 €	8,60 €

Prezzo/confezione da 10 pezzi		
R termica	1-4	5-19
7,1°C/W	10,57 €	8,99 €

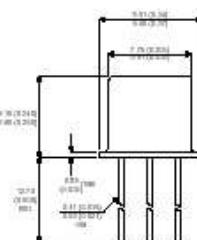
TO3 (TO-204AA)

PIN 1 — Base PIN 2 — Emitter Case is Collector.

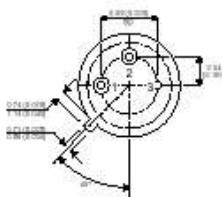
159

S. Saponara- Costruzioni Elettroniche

Esempio: dissipatori per package di transistor di potenza TO39/TO5 (catalogo RS)



Prezzo/confezione da 50 pezzi		
R termica	1-4	5-19
48°C/W	16,54 €	14,06 €



TO39 PACKAGE (TO-205AD)

Pin 1 = Emitter Pin 2 = Base Pin 3 = Collector

160

S. Saponara- Costruzioni Elettroniche

Esempio: dissipatori a bassa R termica

<http://www.padaengineering.com/>

Superpower P6D 24mmx200mm in aria forzata 6 m/s – 66 m³/h

P _D [W]	T _c [°C]	T _a [°C]	R _{th} [°C/W]
74	36.5	22	0.196
123	44.5	22	0.183
173	53	22.5	0.176
227	62.5	23	0.174
278	71	23	0.173
329	79.5	23	0.172

161

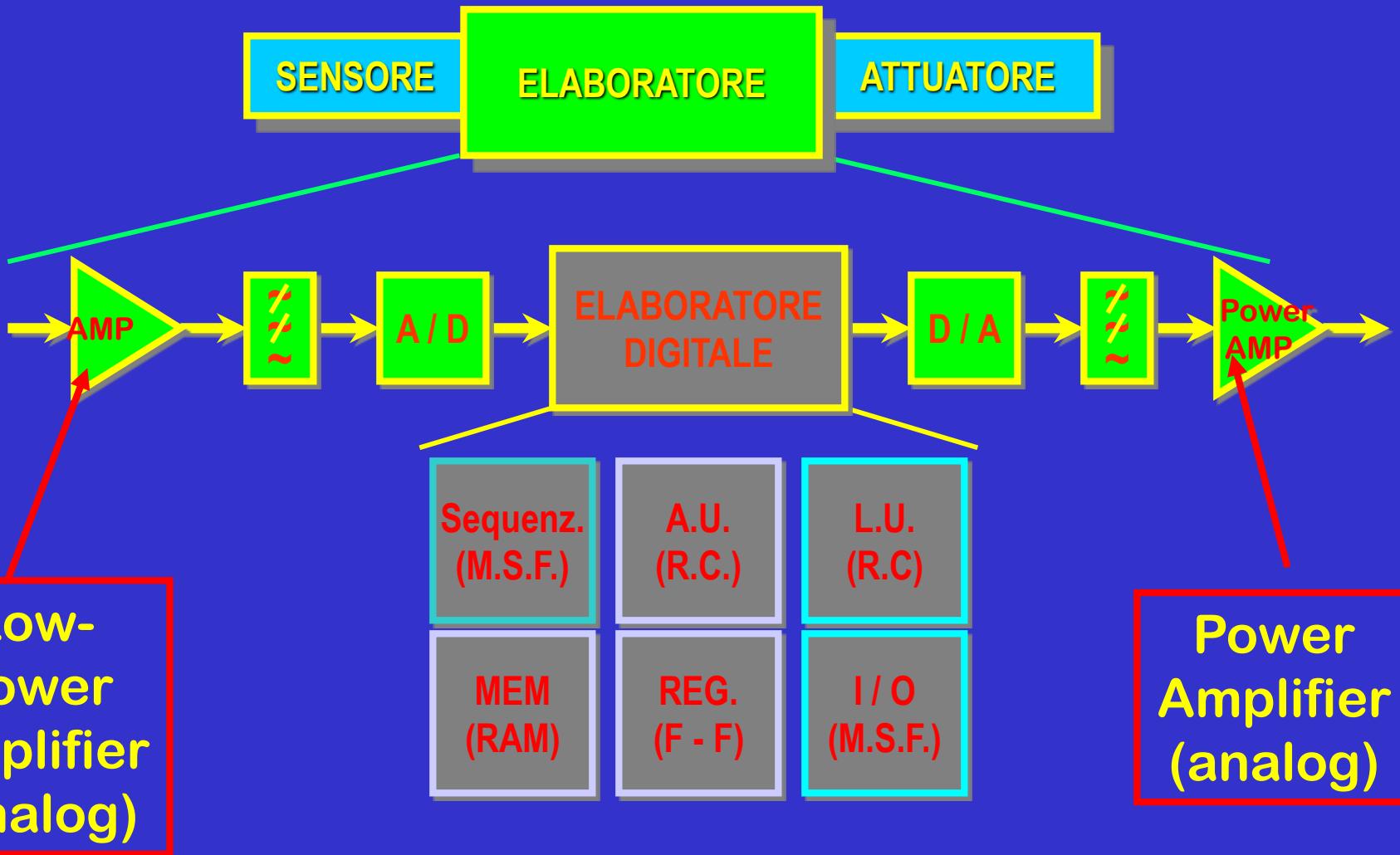
S. Saponara- Costruzioni Elettroniche

Introduzione Amplificatore

LEZIONE N° 10

- **Concetto di amplificatore**
- **Sistemi a 2 porte (quadripoli): esempio amplificatore e trasformatore**
- **Definizioni di guadagni in tensione, in corrente, di potenza, rendimento**
- **Distorsioni**

Sistema Elettronico



AMPLIFICATORE

- **DEFINIZIONE**

- Due porte di segnale (piu almeno una porta di alimentazione)
- Il segnale d'uscita è una replica fedele del segnale d'ingresso
- La potenza d'uscita al carico Pu è superiore a quella d'ingresso Pin

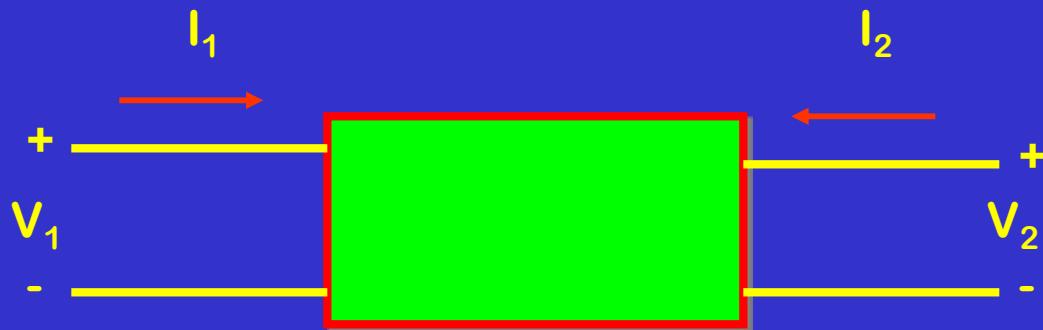
AMPLIFICATORE

- **ATTENZIONE!!!**

- La potenza fornita al carico P_U (di solito in AC) viene assorbita dall'alimentazione, in continua (DC), dell'amplificatore P_{DC} (chiamata anche P_{al})
- L'amplificatore trasforma potenza priva di informazione (Potenza in DC) in potenza contenente informazione (Segnale d'uscita)
- Bilancio di potenze è $P_{in} + P_{DC} = P_U + P_{Diss}$
- $P_{in} \ll P_{DC} \rightarrow P_{DC} = P_U + P_{Diss}$ e quindi $P_{DC} > P_U$
- rendimento di amplificatore $\eta = P_U / P_{DC}$ è minore di 1
- $P_{DC} - P_U =$ Potenza dissipata P_{Diss}

Sistema a due porte

- Su un due porte insistono quattro grandezze elettriche

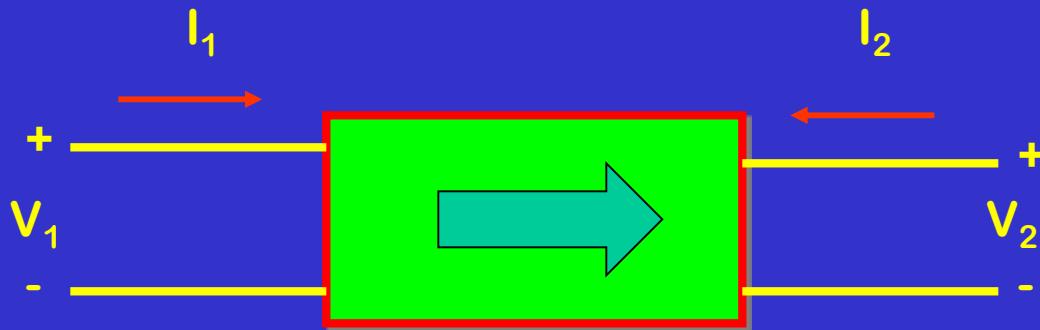


- Sono necessarie quattro equazioni
 - Due topologiche (le impone la rete)
 - Due fisiche (le impone il bipolo)

$$V_2 = A \cdot V_1 + R_{out} \cdot I_2$$
$$I_1 = B_{in} \cdot V_1 + H_r \cdot I_2$$

Funzione di trasferimento

- Ipotesi: sistema unidirezionale

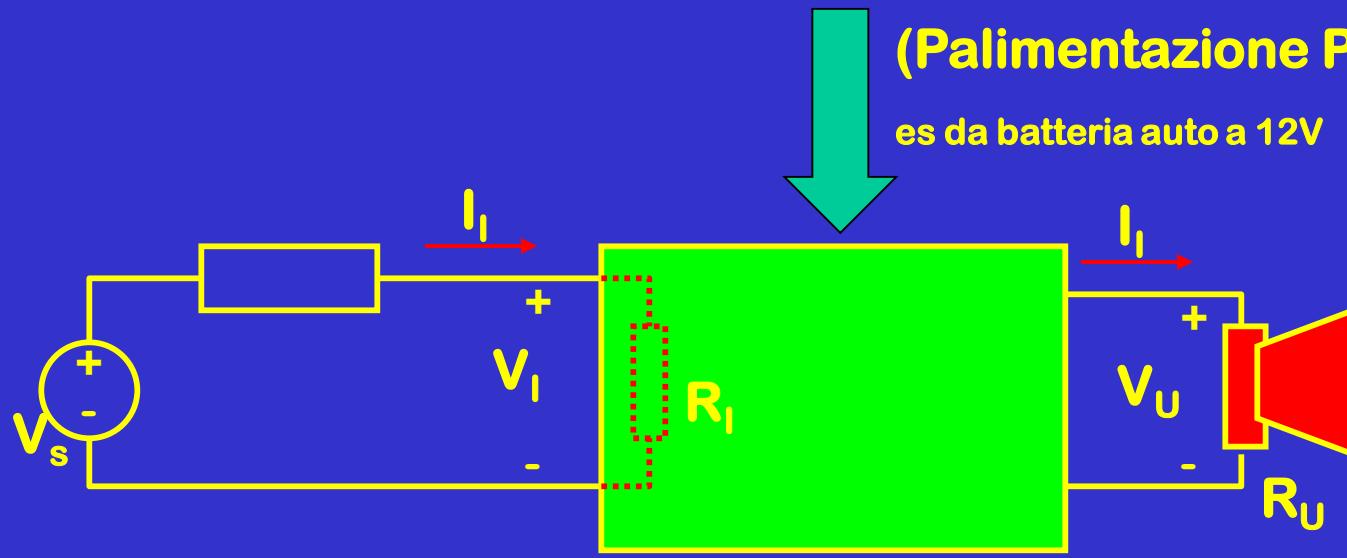


$$V_2 = A \cdot V_1 + R_{out} \cdot I_2$$

$$I_1 = B_{in} \cdot V_1 + \cancel{H_r} \cdot I_2$$

- A Grandezza d'uscita funzione dell'ingresso
 - FUNZIONE DI TRASFERIMENTO

ESEMPIO DI AMPLIFICATORE



$$V_I = 10 \text{ mV}$$

$$V_U = 4 \text{ V}$$

$$R_I = 50 \text{ K}\Omega$$

$$R_U = 8 \Omega$$

$$I_I = \frac{V_I}{R_I} = 0.2 \mu\text{A}$$

$$I_U = \frac{V_U}{R_U} = 0.5 \text{ A}$$

$$P_I = V_I \bullet I_I = 2 \text{ nW}$$

$$P_U = V_U \bullet I_U = 2 \text{ W}$$

ESEMPIO DI AMPLIFICATORE

Av Guadagno in tensione: $4V/10mV = 400$ ($20\log_{10} 400 = 52$ dB)

Ai Guadagno in corrente: $0.5A/0.2\mu A = 2.5 \cdot 10^6$ ($20\log_{10} 2.5 \cdot 10^6 = 128$ dB)

Gp Guadagno in potenza: $2W/2nW = 10^9$ ($10\log_{10} 10^9 = 90$ dB)

In un amplificatore Gp > 0 dB (1 in scala lineare)

Un amplificatore con Av=0 dB ma Ai > 0 dB e quindi Gp > 0 dB è detto buffer (replica tensione di ingresso in uscita ma fornendo corrente e potenza che preleva da alimentazione e non da sorgente)

$$V_I = 10 \text{ mV}$$

$$R_I = 50 \text{ K}\Omega$$

$$I_I = \frac{V_I}{R_I} = 0.2 \mu A$$

$$P_I = V_I \bullet I_I = 2 \text{ nW}$$

$$V_U = 4 \text{ V}$$

$$R_U = 8 \Omega$$

$$I_U = \frac{V_U}{R_U} = 0.5 \text{ A}$$

$$P_U = V_U \bullet I_U = 2 \text{ W}$$

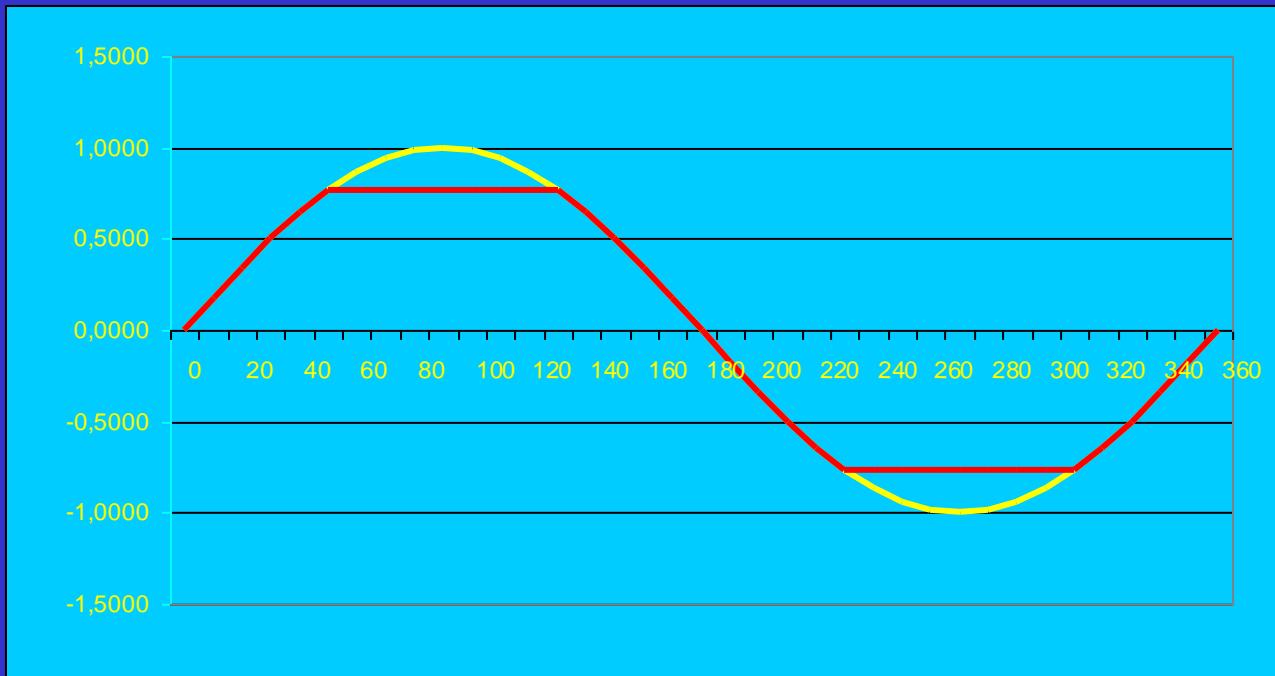
Distorsioni 1

- In un sistema lineare la grandezza di uscita deve essere una replica fedele dell'ingresso
 - Se l'ingresso è sinusoidale l'uscita deve essere sinusoidale con la stessa frequenza



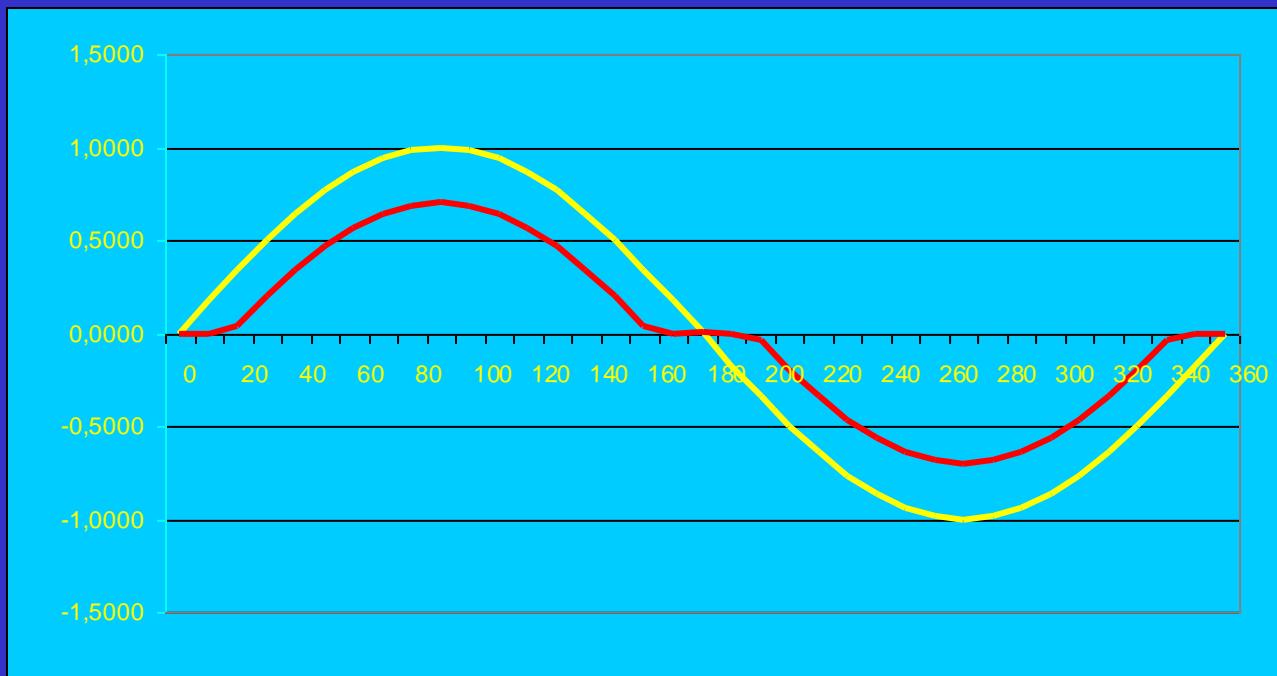
Distorsioni 2

- Errore di saturazione (Clipping)



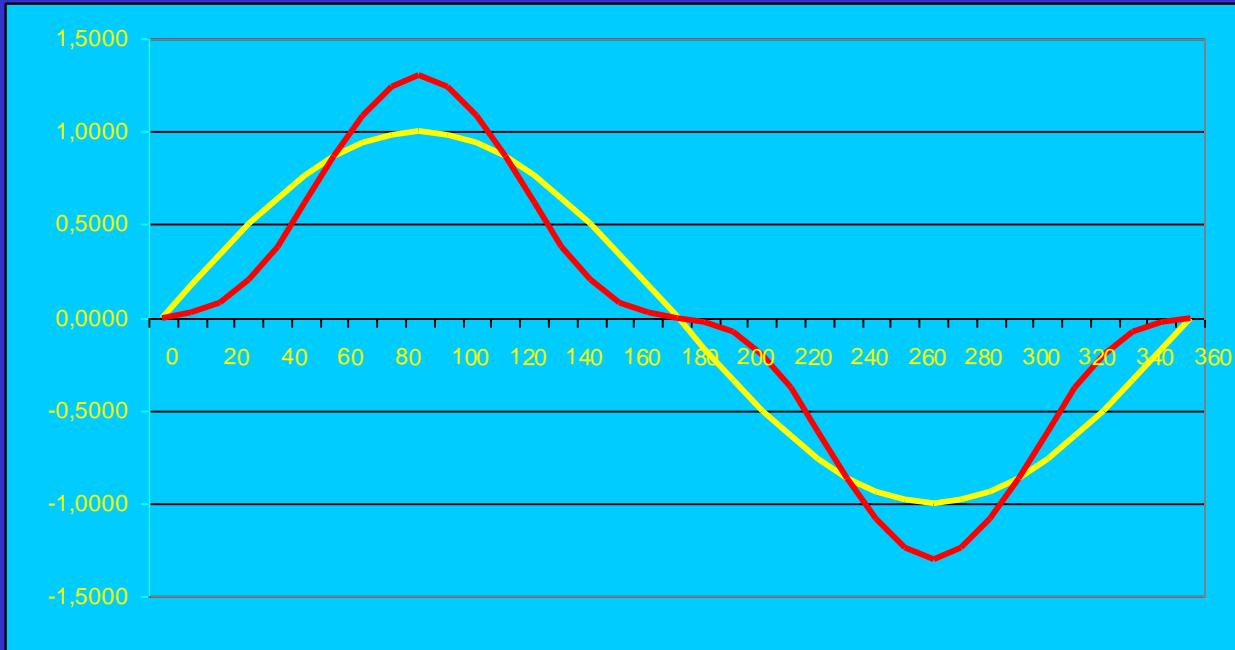
Distorsioni 3

- Errore di attraversamento (Crossover)



Distorsioni 4

- Distorsione armonica



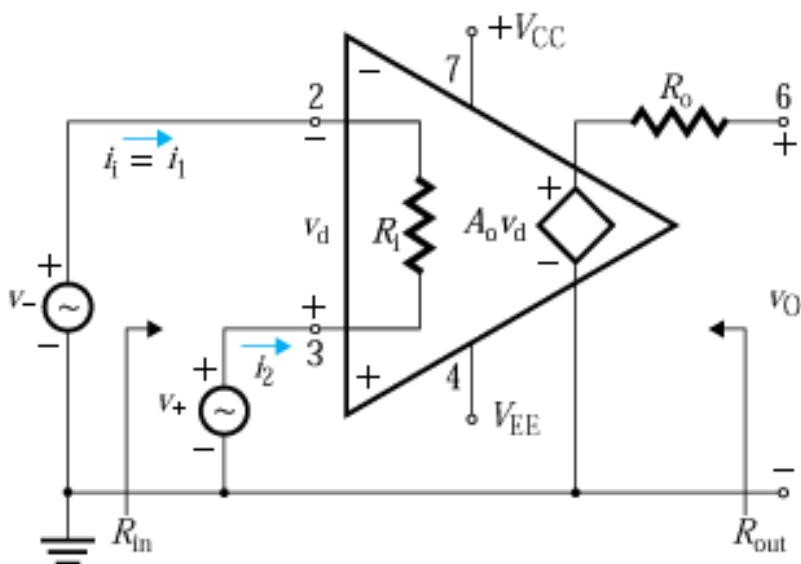
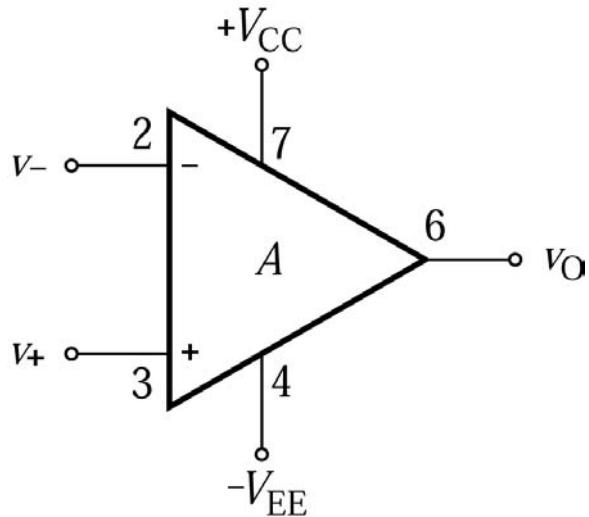
$$V_I = V_k \sin(\omega t)$$

$$V_U = H \bullet V_k \sin(\omega t) - D \bullet V_k \sin(3\omega t)$$

4 Amplificatori operazionali

4.1 Amplificatore operazionale: caratteristiche, ideale vs. reale

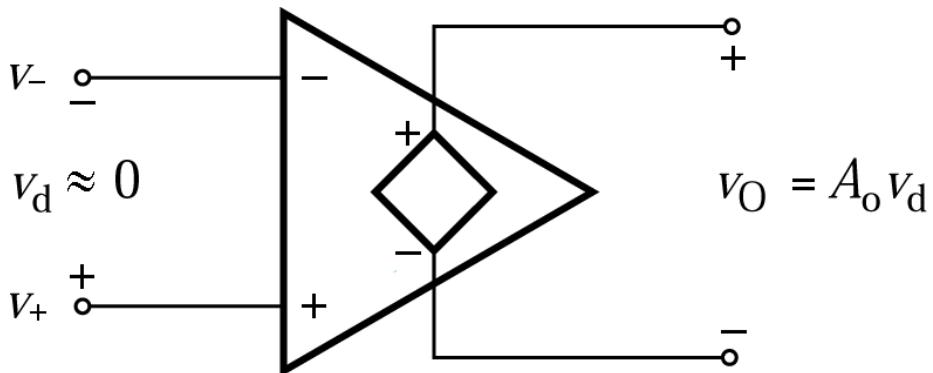
- Di seguito simbolo e circuito equivalente di un amplificatore operazionale.



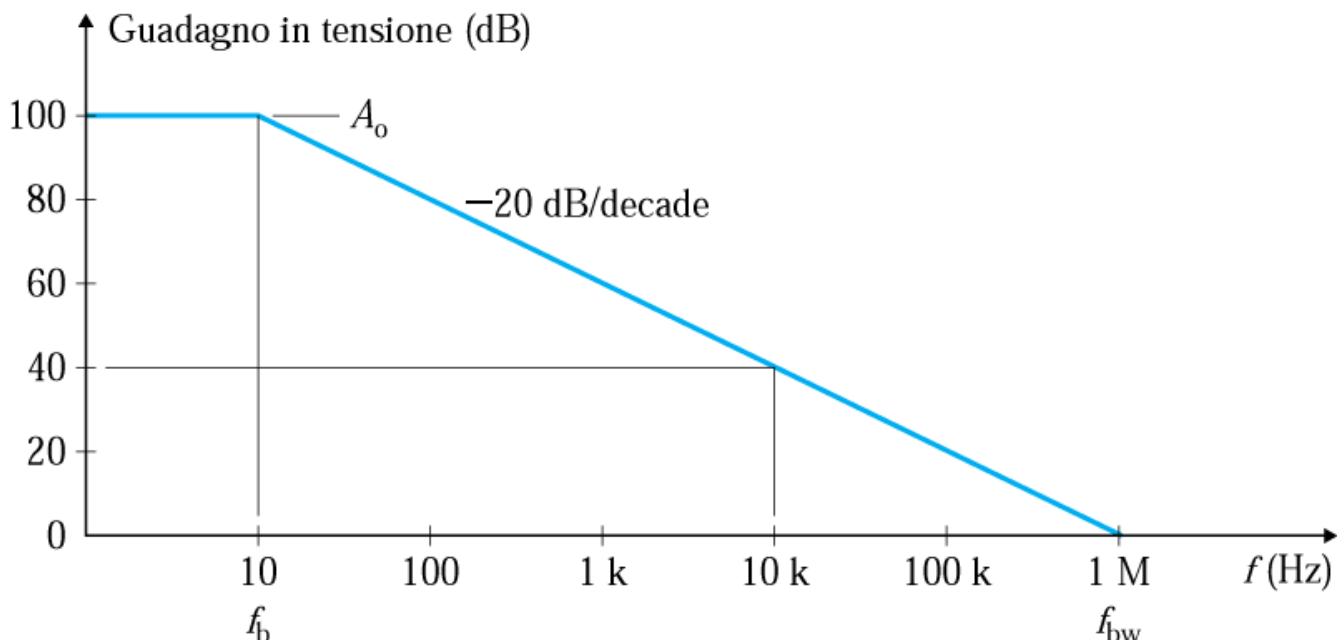
Da notare che l'amplificatore operazionale è un circuito integrato analogico (può essere realizzato integrando su stesso chip di silicio sia dispositivi BJT che FET) che ha:

- ingresso differenziale, $V_o = A \cdot V_d$ con $V_d = V^+ - V^-$ ingresso differenziale
- amplificazione molto elevata (A idealmente dovrebbe tendere a ∞)
- R_{in} molto elevata (idealmente dovrebbe tendere a ∞)
- R_{out} bassa (idealmente dovrebbe tendere a 0)
- La corrente assorbita dai terminali di ingresso – e + dovrebbe essere nulla
- Se V^+ e V^- sono cortocircuitati tra loro uscita dovrebbe esser nulla

Quindi un amplificatore operazionale ideale avrebbe circuito per le variazioni del tipo in figura sottostante



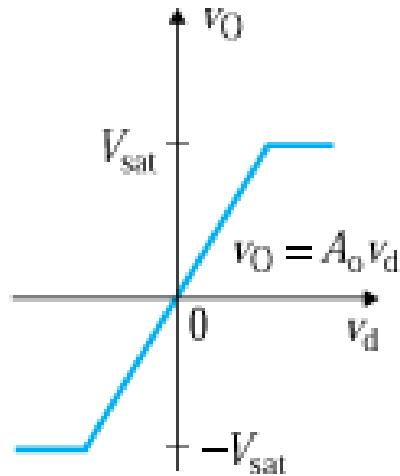
Di seguito si riporta l'andamento in frequenza dell'amplificazione per un amplificatore operazionale reale tipico come il μa741 (architettura introdotta in anni 70).



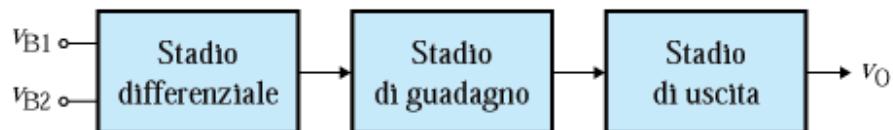
Da notare che si ha amplificazione sin dalla continua; il guadagno a basse frequenze è molto elevato ($100 \text{ dB} \rightarrow 100000$), che dopo i 10 Hz sia ha una prodotto tra guadagno e banda, PGB, costante e pari a 1 MHz (e.g. a 100 Hz amplifica 100000, a 1000 Hz amplifica 1000, a 1 MHz guadagna 1).

Difatti l'uso di amplificatori operazionali è per l'elaborazione analogica di segnali in banda base (voce, audio, biomedici, meccanici, etc.) ma non modulati. Il PGB è un fattore di merito di amplificatori operazionali.

Di seguito viene riportata la caratteristica V_{out}/V_d di un amplificatore operazionale. Da notare che esistono delle zone di saturazione (V_{out} non può superare V_{sat} e $-V_{sat}$ che difatti sono legati a alimentazioni V_{cc} e $-V_{ee}$, quest'ultima di solito uguale a $-V_{cc}$). La zona di funzionamento lineare ha un range di ingresso $[V_d_{min}, V_d_{max}]$ tale che $\text{modulo}(A \cdot V_d) < V_{cc} \rightarrow$ se $V_{cc}=10\text{V}$ e $-V_{ee}=-10\text{V}$ e $A=100000$ allora la zona di funzionamento lineare è per V_d tra $-100\mu\text{V}$ e $+100\mu\text{V}$.

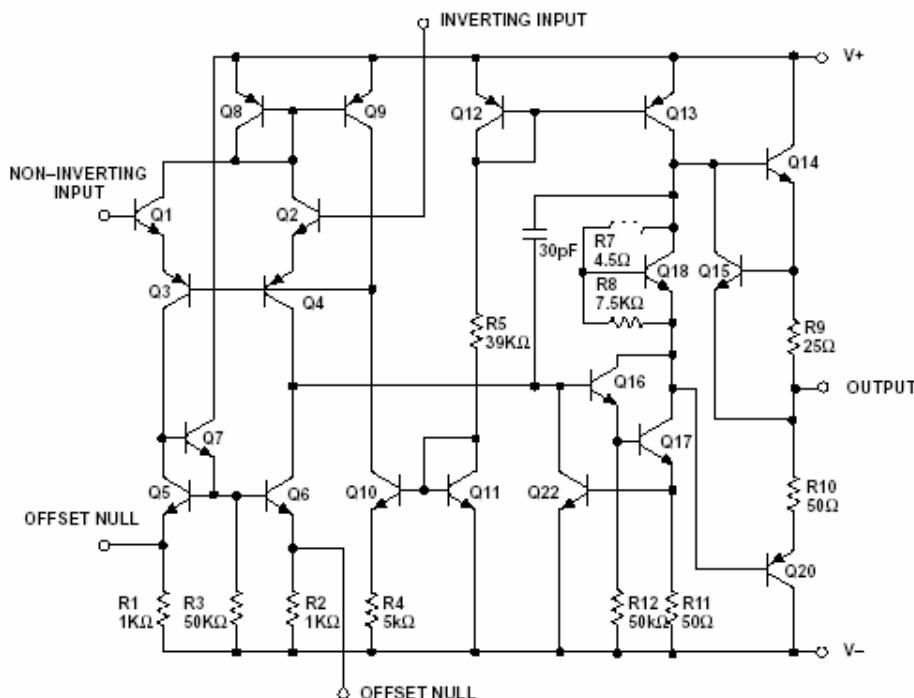


Un amplificatore operazionale internamente consiste di almeno tre stadi in cascata: un primo amplificatore differenziale seguito da un secondo stadio di guadagno e poi in uscita uno stadio buffer.

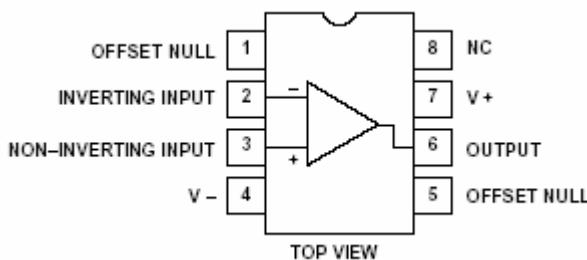


Nella figura sottostante viene riportata l'architettura interna dell'amplificatore operazionale ua741 che consiste di una ventina di transistor bipolarj più elementi passivi. Rispetto ai 5 terminali riportati nel simbolo (2 ingressi, 1 uscita, 2 terminali di alimentazione) sono anche resi disponibili all'esterno due terminali (offset null) per compensare eventuali sbilanciamenti della struttura per cui con $V_d=0$ in realtà V_o non è uguale a 0.

Tale amplificatore è caratterizzato da un PGB di circa 1 MHz, R_{in} di circa $2 M\Omega$, R_{out} di circa 75Ω , corrente massima di uscita di 25 mA, tempi di risposta al gradino di 0.3 μ s



Di seguito del μ A741 si riporta anche la visione del package che è a 8 terminali, i principali parametri circuitali in continua e per le variazioni, la risposta in frequenza di ampiezza e fase



DC ELECTRICAL CHARACTERISTICS

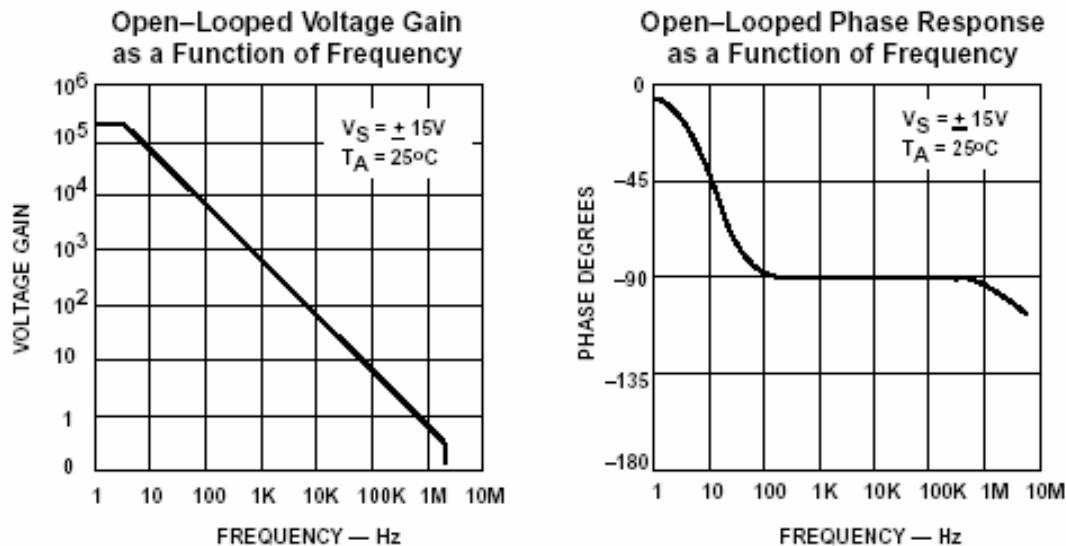
$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	SA741C			UNIT		
			Min	Typ	Max			
V_{os} $\Delta V_{os}/\Delta T$	Offset voltage	$R_S=10\text{k}\Omega$ $R_S=10\text{k}\Omega$, over temp.	2.0 10	6.0 7.5	mV mV $\mu\text{V}^\circ\text{C}$			
I_{os} $\Delta I_{os}/\Delta T$	Offset current	Over temp.	20 200	200 500	nA nA pA°C			
I_{BIAS} $\Delta I_B/\Delta T$	Input bias current	Over temp.	80 1	500 1500	nA nA nA°C			
V_{out}	Output voltage swing	$R_L=10\text{k}\Omega$ $R_L=2\text{k}\Omega$, over temp.	± 12 ± 10	± 14 ± 13	V			
A_{VOL}	Large-signal voltage gain	$R_L=2\text{k}\Omega$, $V_O=\pm 10\text{V}$ $R_L=2\text{k}\Omega$, $V_O=\pm 10\text{V}$, over temp.	20 15	200	V/mV			
Offset voltage adjustment range			± 30			mV		
PSRR	Supply voltage rejection ratio	$R_S \leq 10\text{k}\Omega$	10			$\mu\text{V/V}$		
CMRR	Common mode rejection ration	70			dB			
V_{IN}	Input voltage range	Over temp.	± 12	± 13	V			
R_{IN}	Input resistance	0.3			$M\Omega$			
P_d	Power consumption	50			mW			
R_{OUT}	Output resistance	75			Ω			
I_{sc}	Output short-circuit current	25			mA			

AC ELECTRICAL CHARACTERISTICS

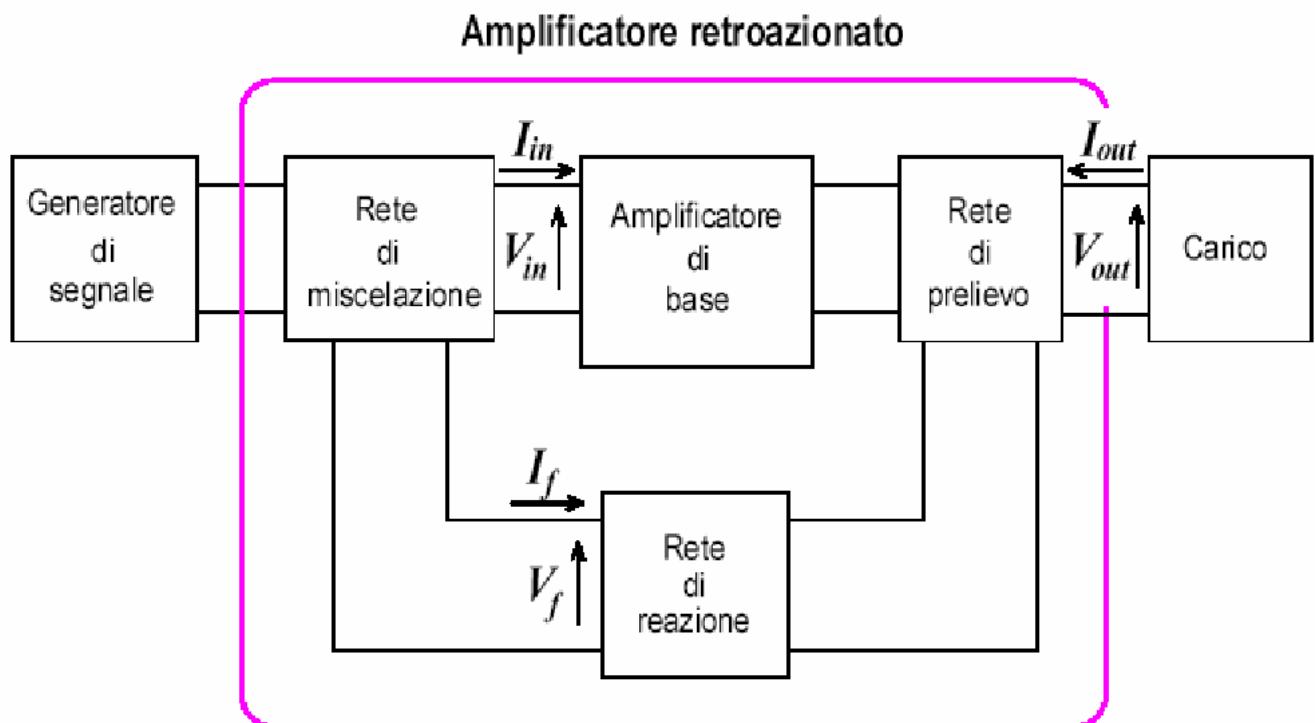
$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, unless otherwise specified.

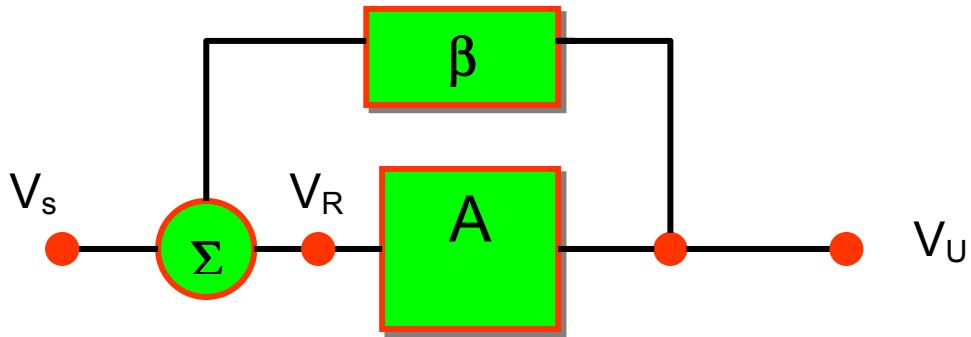
SYMBOL	PARAMETER	TEST CONDITIONS	$\mu\text{A741}, \mu\text{A741C}$			UNIT
			Min	Typ	Max	
R_{IN}	Parallel input resistance	Open-loop, $f=20\text{Hz}$	0.3			$M\Omega$
C_{IN}	Parallel input capacitance	Open-loop, $f=20\text{Hz}$		1.4		pF
Unity gain crossover frequency		Open-loop		1.0		MHz
I_R	Transient response unity gain Rise time Overshoot Slew rate	$V_{IN}=20\text{mV}$, $R_L=2\text{k}\Omega$, $C_L \leq 100\text{pF}$				
				0.3		μs
				5.0		%
SR		$C \leq 100\text{pF}$, $R_L \geq 2\text{k}\Omega$, $V_{IN}=\pm 10\text{V}$		0.5		$\text{V}/\mu\text{s}$



4.2 Richiami su teoria generale reazione

L'amplificatore in figura sottostante è uno schema a blocchi generale di amplificatore reazionato in cui parte del segnale di uscita dell'amplificatore principale (blocco A con guadagno $>>1$) viene prelevato e riportato in ingresso tramite una rete di reazione (blocco β , spesso fatta con elementi passivi e quindi con guadagno <1) a formare insieme al segnale di ingresso l'eccitazione del blocco A stesso. Come riportato di seguito il sistema reazionato ha un guadagno in modulo pari a $1/\beta$ → poichè $\beta < 1$ allora $1/\beta$ è maggiore di uno e quindi il sistema reazionato è ancora un amplificatore. Da notare che la sua stabilità e le sue tolleranze dipendono non da quelle del blocco A ma da quelle del blocco β (e.g. un rapporto di resistenze negli esempi fatti di seguito di amplificatore invertente e non invertente).





$$V_R = V_s + \beta \cdot V_U$$

$$V_U = A \cdot V_R$$

$$V_R = V_s + \beta \cdot A \cdot V_R$$

$$\frac{V_U}{V_s} = \frac{A}{1 - \beta \cdot A}$$

per $\beta \cdot A < 0$ e $|\beta \cdot A| \gg 1$

$$\frac{V_U}{V_s} = \frac{-1}{\beta}$$

4.3 Circuiti con amplificatori operazionali

4.3.1 Comparatore e conversione analogico-digitale

L'amplificatore operazionale senza reazione può essere utilizzato più che per amplificare (sarebbe sempre in saturazione) come comparatore tra un ingresso inviato e.g. sul terminale V^+ ed un segnale di riferimento applicato sul terminale V^- . Ogni qual volta il segnale su V^+ supera il livello di riferimento sul terminale V^- . L'uscita sarà a livello alto (V_{sat}) altrimenti sarà a livello basso ($-V_{sat}$). Difatti un comparatore realizza un semplice convertitore da analogico a digitale con 1 bit di informazione digitale ovvero 2 livelli.

Il principio dell'uso dell'amplificatore operazionale come comparatore viene ampiamente sfruttata nei circuiti di conversione di segnali da analogico a digitale con N bit di uscita digitale. Questo sia in strutture iterative che usano un solo comparatore ed eseguono la conversione a N bit di uscita in più cicli (e.g. convertitori a conteggio o ad approssimazioni successive SAR), sia in strutture massicciamente parallele (e.g. convertitore Flash) dove per produrre in un solo ciclo gli N bit digitali il segnale analogico si confronta con $2^N - 1$ soglie di riferimento tramite $2^N - 1$ comparatori in parallelo. Le $2^N - 1$ soglie si ottengono come partizione su resistenze in serie tra loro uguali di un livello di riferimento V_r .

4.3.2 Metodo Corto Circuito Virtuale (CCV)

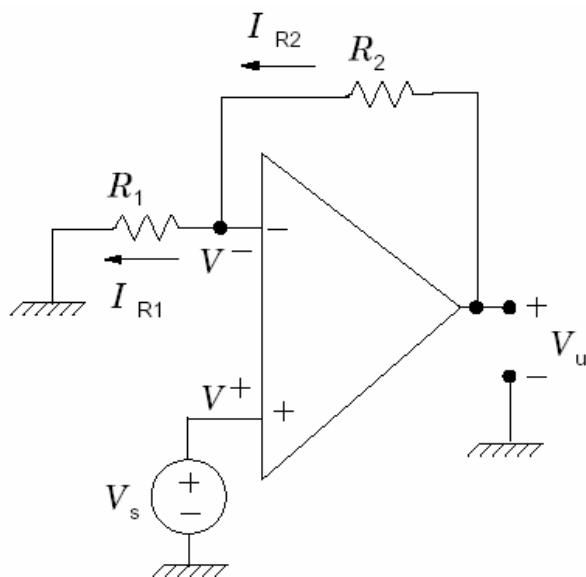
Per realizzare circuiti di elaborazione del segnale quali amplificatori, sommatori, filtri, integratori, derivatori, amplificatori logaritmici o esponenziali, l'amplificatore operazionale viene usato all'interno di uno schema reazionato dove lui realizza il blocco A mentre il blocco β è spesso

realizzato a passivi. Per motivi di stabilità la reazione sarà sempre nei circuiti in esame da uscita a terminale – di amplificatore operazionale (reazione negativa).

In questo caso per studiare il circuito si usa un metodo semplificato, detto del corto circuito virtuale per cui, si considerano nulle le correnti assorbite $I^+ \sim I^- \sim 0$ (del resto R_{in} è molto alta) e tra loro uguali le tensioni sui nodi $V^+ \sim V^-$ (difatti la zona di funzionamento lineare in ingresso è molto stretta a causa dell'elevata amplificazione intrinseca dell'operazionale).

Ovviamente l'uso del metodo del CCV non tiene conto né dei limiti in frequenza degli amplificatori operazionali, né del fatto che se l'uscita supera $+V_{sat}$ o $-V_{sat}$ si perde la linearità e si introducono distorsioni.

4.3.3 Amplificatore non invertente



Per CCV si ha che $V^+ \sim V^- = V_s$ perché V^+ è connesso a V_s . Allora R_1 si trova tra V_s e massa e si ha:

$$I_{R_1} = \frac{V_s}{R_1}.$$

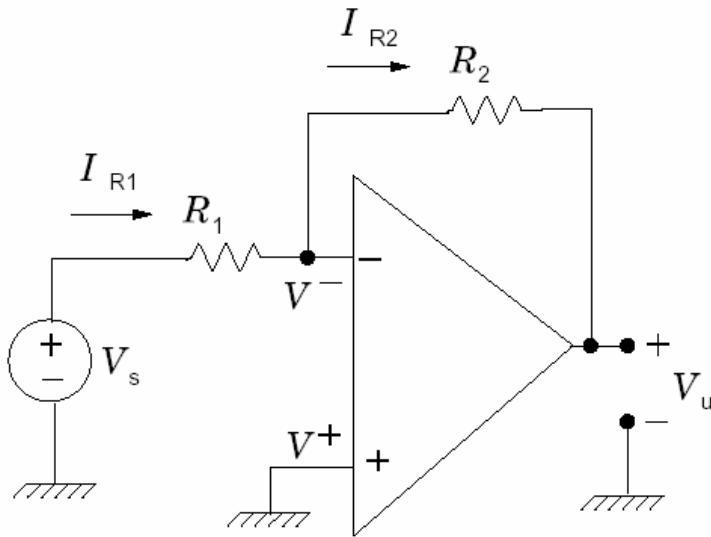
Sempre per CCV $I^- \sim 0$ ma allora per Kirchhoff a nodo V^- si ha che $I_{R_2} = I_{R_1}$
 Ma allora si può scrivere che

$$V_u = I_{R_2} R_2 + V_1 = I_{R_1} R_2 + V_s = V_s \left(\frac{R_2}{R_1} + 1 \right)$$

$$\frac{V_u}{V_s} = \frac{R_2}{R_1} + 1$$

e il guadagno vale (e.g. 11 per $R_2=10\text{ K}\Omega$ e $R_1=1\text{ K}\Omega$)

4.3.4 Amplificatore invertente



Per CCV si ha che $V^+ \sim V^- = 0$ perché V^+ è connesso massa. Allora R_1 si trova tra V_s e massa e si ha:

$$I_{R_1} = \frac{V_s}{R_1}.$$

Sempre per CCV $I \sim 0$ ma allora per Kirchhoff a nodo V^- si ha che $I_{R_2} = I_{R_1}$
Ma allora si può scrivere che

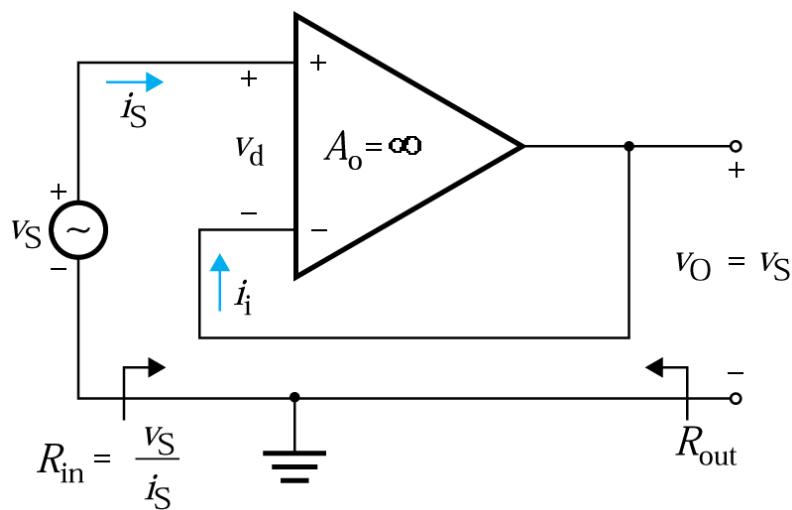
$$V_u = -I_{R_2} R_2 + V^- = -I_{R_2} R_2 = \frac{-V_s}{R_1} R_2$$

$$A = \frac{V_u}{V_s} = -\frac{R_2}{R_1}$$

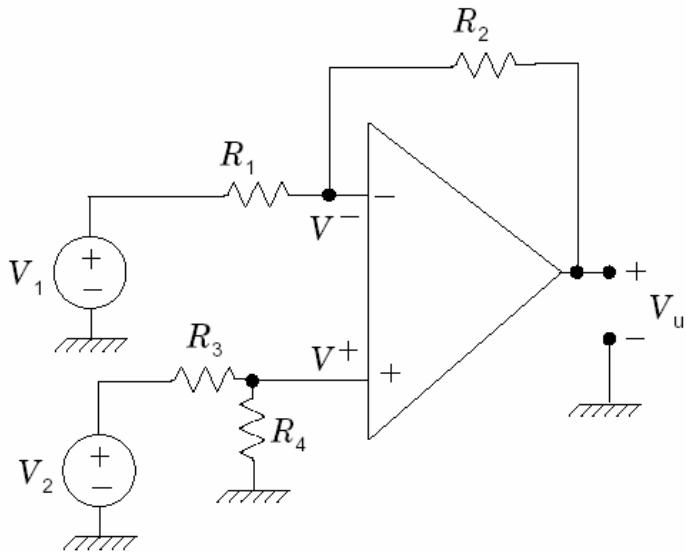
e il guadagno vale (e.g. -10 per $R_2=10\text{ K}\Omega$ e $R_1=1\text{ K}\Omega$)

4.3.5 Buffer

Se nell'amplificatore non invertente si pone $R_2 = 0$ (corto circuito) e si toglie (circuito aperto) R_1 allora $V_u = V_s$ ovvero guadagno in tensione è unitario ma ho adattatore di impedenza che ha R_{in} molto alta e R_{out} molto bassa.



4.3.6 Amplificatore Differenziale



Applicando la sovrapposizione degli effetti tra V₁ e V₂ si ha che quando agisce V₁ (V₂ disattivata cortocircuitandola) sia ha una configurazione di amplificatore invertente mentre quando agisce V₂ (V₁ disattivata cortocircuitandola) sia ha una configurazione di amplificatore non invertente con anche partizione di V₂ tra R₄ ed R₃. Sommando i due contributi si ha

$$V_u = -V_1 \frac{R_2}{R_1} + \frac{V_2 R_4}{R_3 + R_4} \left(\frac{R_2}{R_1} + 1 \right) = -V_1 \frac{R_2}{R_1} + \frac{V_2 R_4}{R_3 + R_4} \frac{R_2 + R_1}{R_1}$$

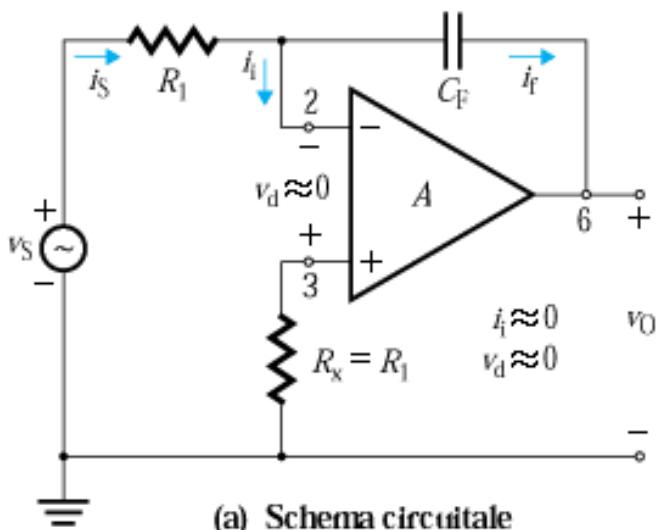
Scegliendo senza vincoli le resistenze si avrebbe la differenza pesata tra V₁ e V₂ con pesi (ovvero fattori di amplificazione differenti). SE invece le resistenze si scelgono tali che $R_4/R_3 = R_2/R_1$
I pesi coincidono e si ha

$$\begin{aligned} V_u &= -V_1 \frac{R_2}{R_1} + V_2 \frac{R_4}{R_3} \frac{R_3}{R_3 + R_4} \frac{R_2 + R_1}{R_1} \\ &= -V_1 \frac{R_2}{R_1} + V_2 \frac{R_2}{R_1} = \frac{R_2}{R_1} (V_2 - V_1). \end{aligned}$$

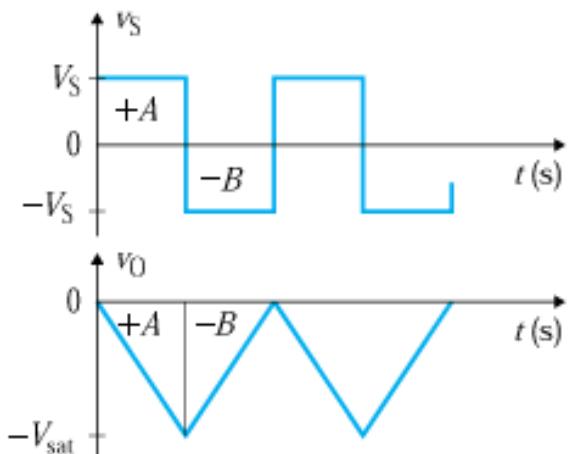
4.3.7 Integratore

Difatti la configurazione è quella di un amplificatore invertente con impedenza C_f invece di resistenza R₂. Si avrà pertanto un polo nell'origine con diagramma di Bode di ampiezza riportato in figura (C). Ciò corrisponde nel dominio del tempo ad un integratore invertente.

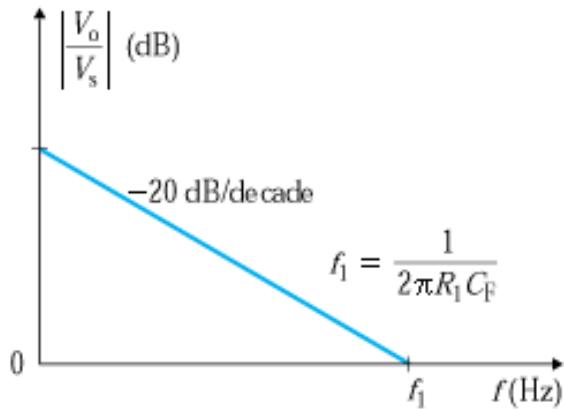
Si riporta ad esempio anche la forma d'onda di uscita (di tipo triangolare) in seguito all'applicazione in ingresso di un'onda quadra.



(a) Schema circuituale



(b) Forme d'onda

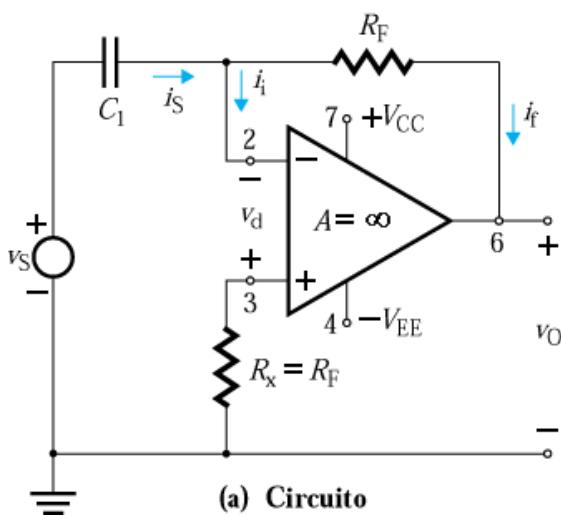


(c) Diagramma di ampiezza

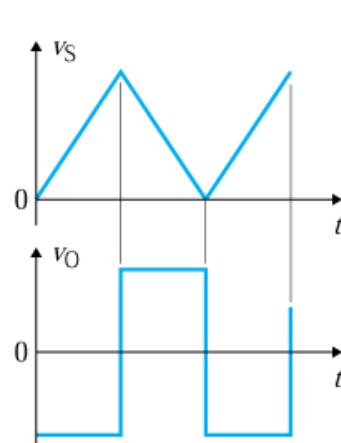
4.3.8 Derivatore

Difatti la configurazione è quella di un amplificatore invertente con impedenza C_1 invece di resistenza R_1 . Si avrà pertanto uno zero nell'origine con diagramma di Bode di ampiezza riportato in figura (C). Ciò corrisponde nel dominio del tempo ad un derivatore invertente.

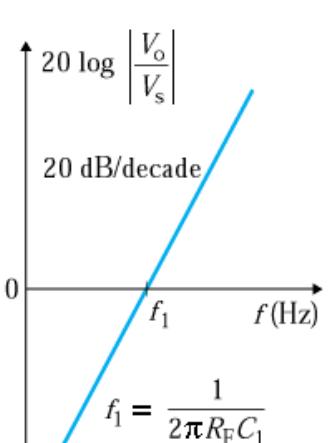
Si riporta ad esempio anche la forma d'onda di uscita (onda quadra) in seguito all'applicazione in ingresso di un onda triangolare.



(a) Circuito



(b) Forme d'onda

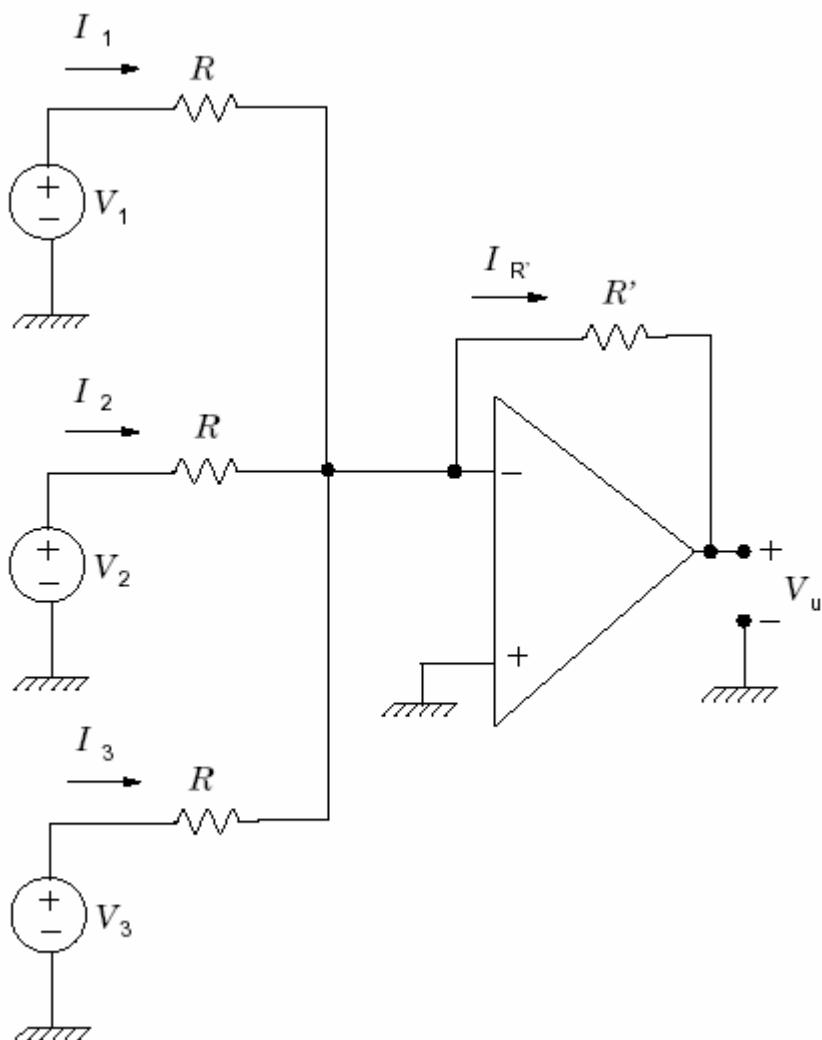


(c) Diagramma di ampiezza

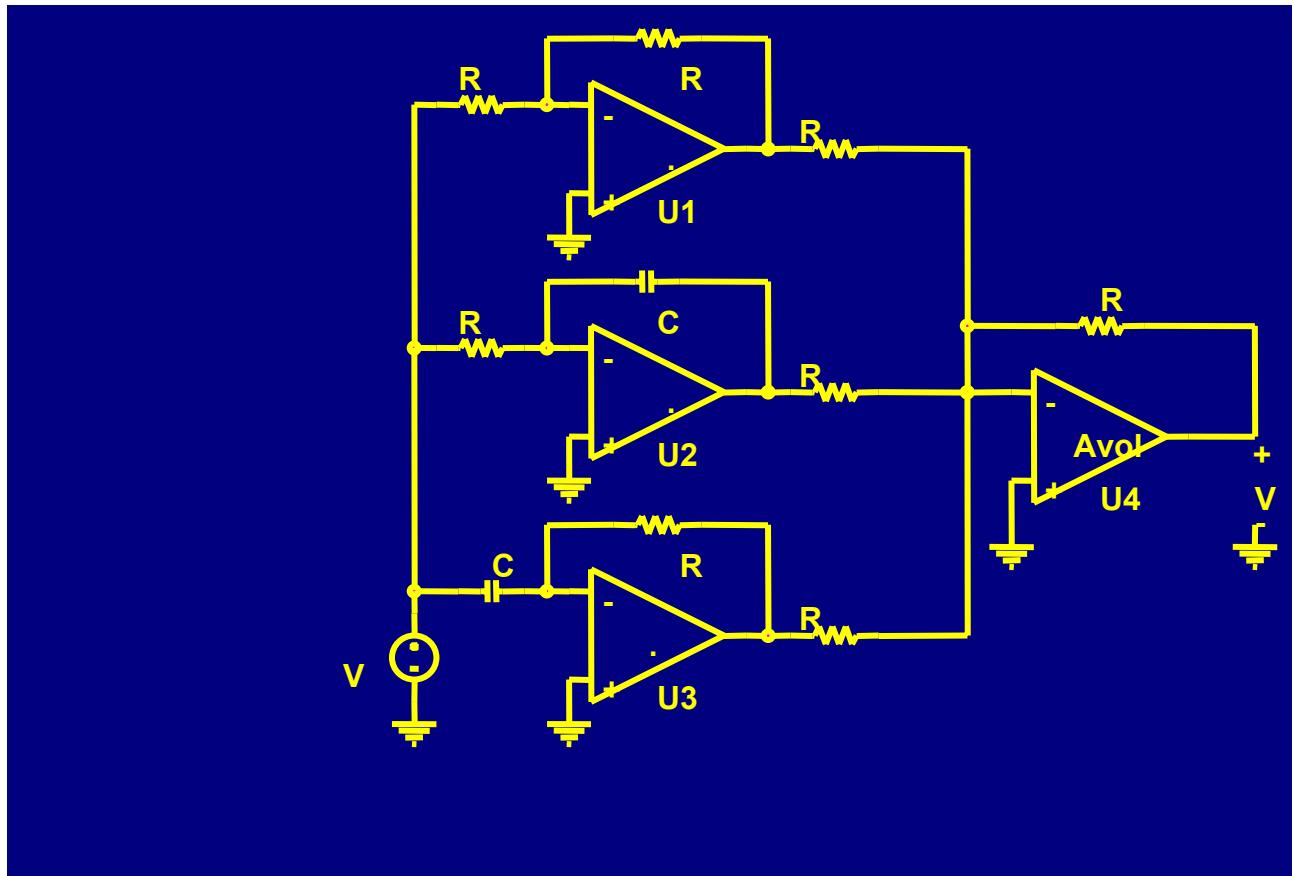
4.3.9 Sommatore invertente

Applicando principio di sovrapposizione tra i vari generatori si ha che quando agisce uno e gli altri sono disattivati, il generatore in azione vede una configurazione di amplificatore non invertente. Sommando i vari contributi si ha in uscita una somma pesata con pesi che dipendono dai valori delle resistenze ed un segno meno per tutti (recuperabile con un altro stadio invertente in cascata). Nel caso in esempio le resistenze in serie ai generatori valgono tutte R e quindi il peso è uguale per tutti.

$$V_u = -\frac{R'}{R}(V_1 + V_2 + V_3)$$



4.3.10 Controllore PID Proporzionale Integrale Derivativo

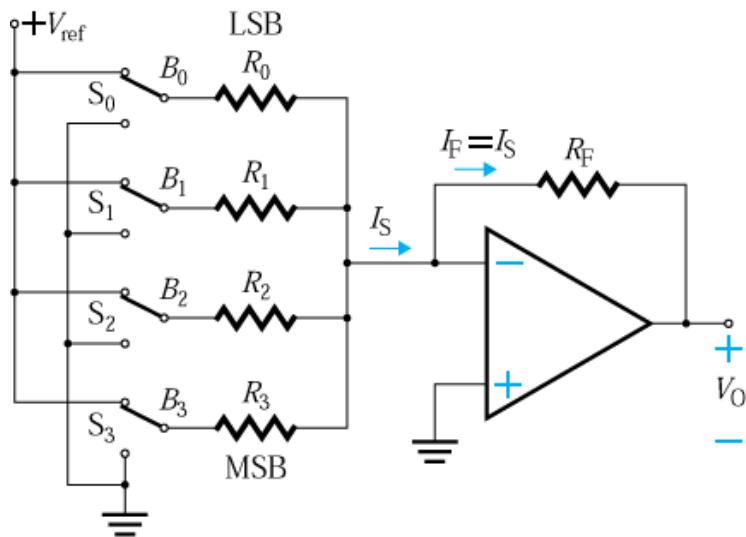


$$v_U(t) = \frac{R_K}{R_1} \cdot \frac{R_B}{R_A} \cdot V_S + \frac{R_K}{R_2} \cdot \frac{1}{R_I C_I} \int v_S(t) \cdot dt + \frac{R_K}{R_3} R_D C_D \cdot \frac{dv_S}{dt}$$

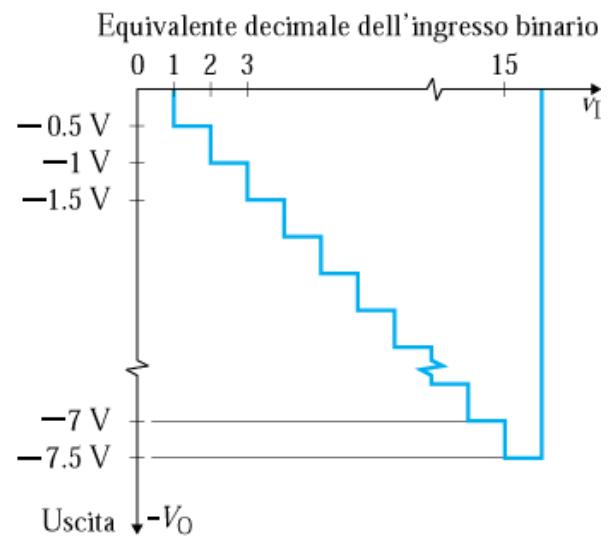
4.3.11 Convertitore digitale-analogico a resistenze pesate

Difatti un sommatore pesato è alla base della conversione da un segnale digitale ad uno analogico equivalente. Infatti basta far corrispondere ai vari bit dei livelli analogici dai pesi tali che, andando dal bit più significativo (MSB) al bit meno significativo (LSB), il peso di ciascun bit via via diminuisce di un fattore 2 (questo perché siamo in scala binaria ed usiamo una notazione posizionale delle cifre; in scala decimale si ha fattore 10 invece che 2). Per cui nel circuito di esempio a 4 bit deve essere $R_2=2 \cdot R_3$, $R_1=2 \cdot R_2=4 \cdot R_3$, $R_0=2 \cdot R_1=4 \cdot R_2=8 \cdot R_3$

Ovviamente il peso del bit i -esimo va controllato solo se tale bit vale '1' in digitale. Per questo in serie a ogni ramo del sommatore invertente si mette uno switch comandato dal valore logico del bit ($1 \rightarrow$ switch è a V_{ref} , $0 \rightarrow$ switch è a massa). Di seguito si riporta la legge di corrispondenza tra livelli digitali di ingresso e livelli analogici di uscita.



(a) Circuito

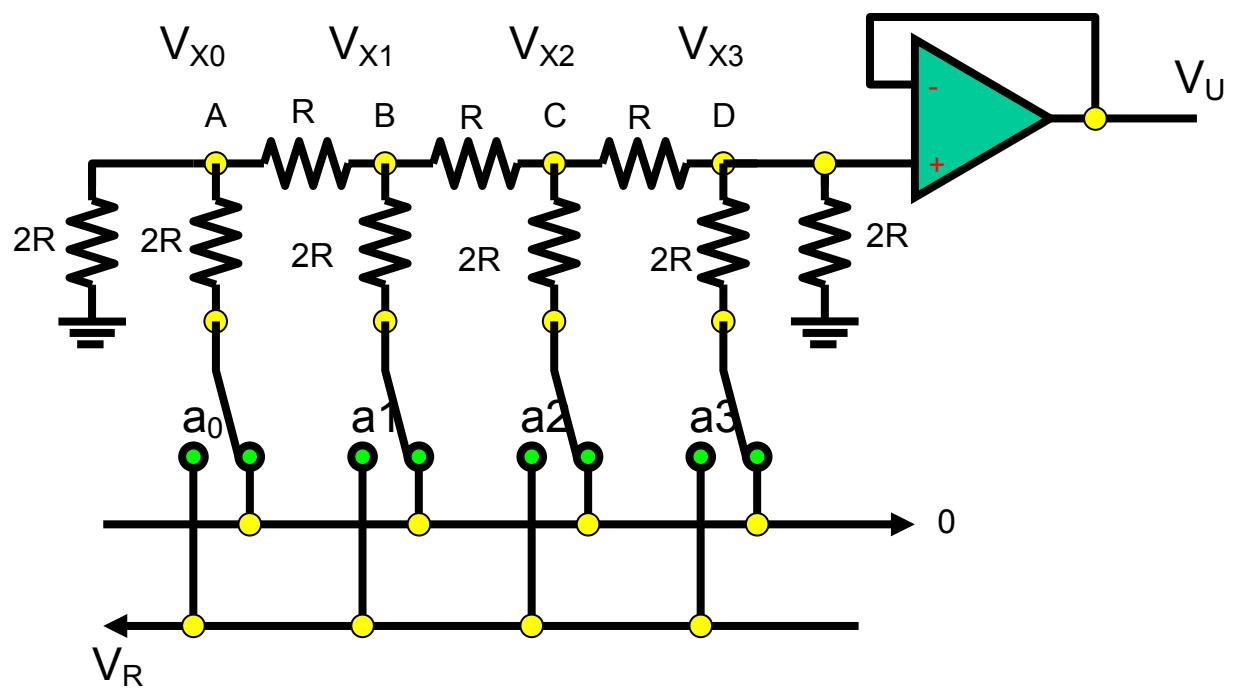


(b) Tensione di uscita

4.3.12 Convertitore digitale-analogico a rete R-2R

Tale circuito realizza lo stesso meccanismo del circuito in sezione 5.2.10 ma evita il difetto che tra la resistenza più piccola e la più grande vi è un fattore $2^{(N-1)}$ inaccettabile già per N della decina. Lo schema di seguito riportato usa una rete resistiva con rapporti fissi R e $2R$.

Come visto a lezione da D si vede in uscita vede un peso $1/3$, da C si vede un peso $1/6$, da B si vede un peso $1/12$ e da A si vede un peso $1/24$. Pertanto a partire dal bit più significativo a_3 (MSB), che si applica in D, ogni bit rispetto al successivo pesa il doppio.

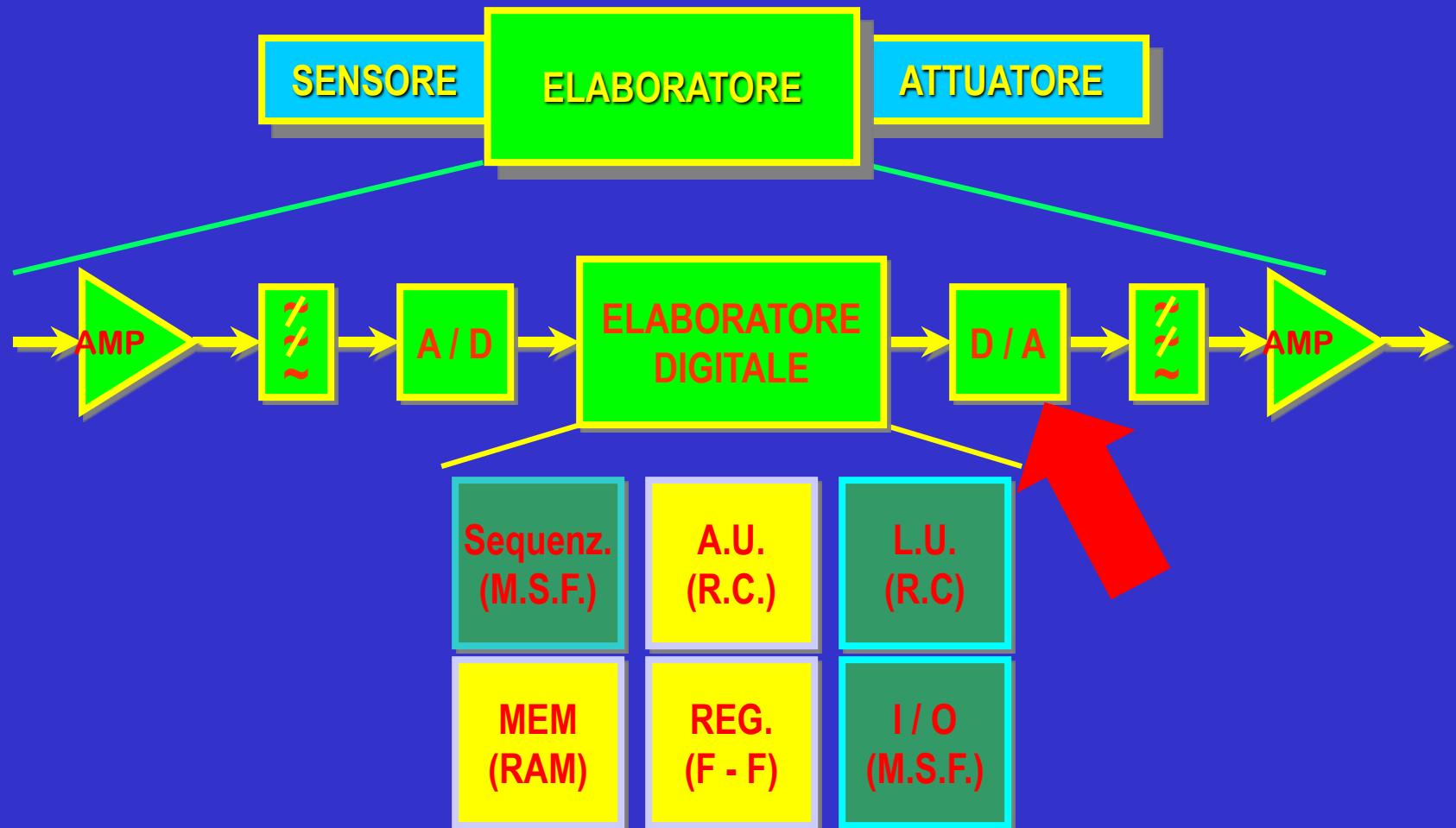


Sistemi Elettronici per Automazione e Robotica

LEZIONE N° 10

- Convertitori D to A
- Convertitore PAM a partitore
 - Convertitori A to D
- Comparatore
- Convertitore FLASH
- Convertitore a conteggi
- Convertitore a inseguimento
- Convertitore ad approssimazioni successive (SAR) – di solito usato in Microcontrollori per automotive, avionica, etc.
- Convertitori a doppia rampa

D (Digital) to A (Analog) Converter (DAC)



D (Digital) to A (Analog) Converter (DAC)

PAM (Pulse Amplitude Modulation)

- Notazione posizionale (es N = 4 bit)

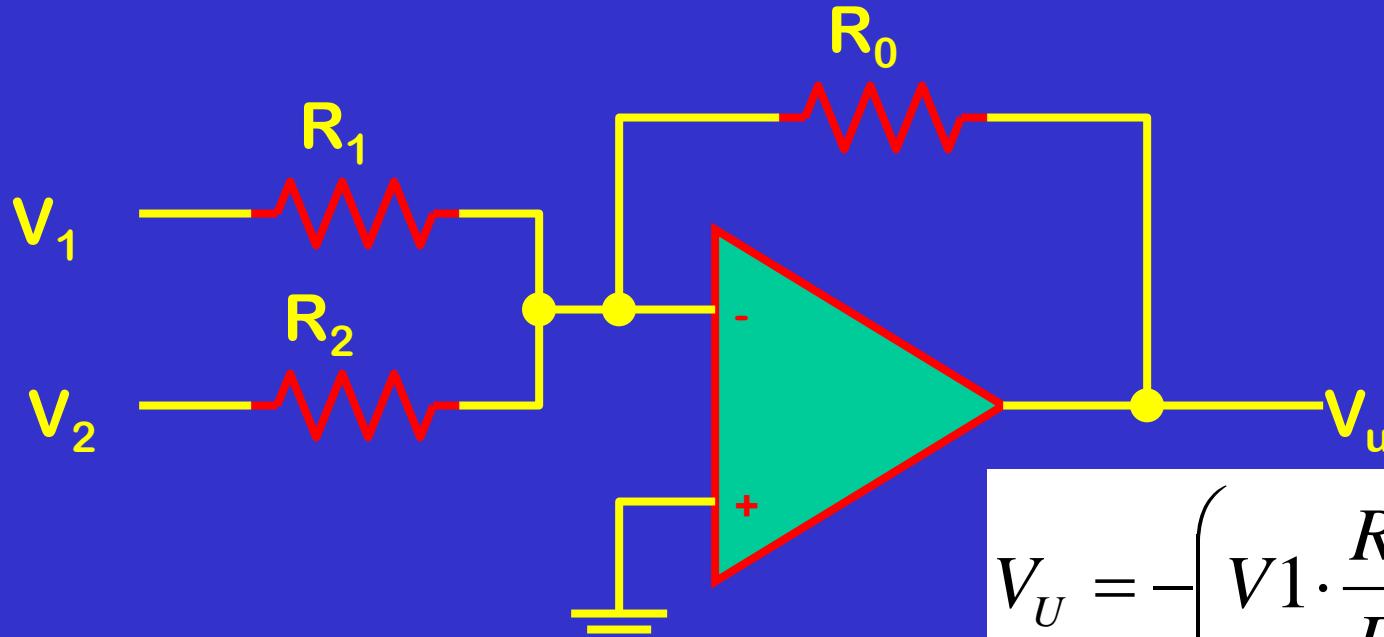
$$X = 1011 \Rightarrow a_3a_2a_1a_0 \Rightarrow a_3 \cdot 2^3 + a_2 \cdot 2^2 + a_1 \cdot 2^1 + a_0 \cdot 2^0$$

- Può rappresentare una tensione (Vx in volt)

$$V_X = V_R \cdot X = V_R \cdot (a_3 \cdot 2^3 + a_2 \cdot 2^2 + a_1 \cdot 2^1 + a_0 \cdot 2^0)$$

- es. se $X=1011$ e $V_R=0.5V \rightarrow Vx=5.5V$
- es. se $X=0011$ e $V_R=0.5V \rightarrow Vx=1.5V$
- DAC di tipo PAM genera un segnale analogico con ampiezza modulata Vx dal valore del codice digitale X
- Si può realizzare utilizzando un sommatore analogico pesato con OpAmp a N rami

Esempio Sommatore pesato a N=2 ingressi (pesi dipendono da R0, R1 e R2)

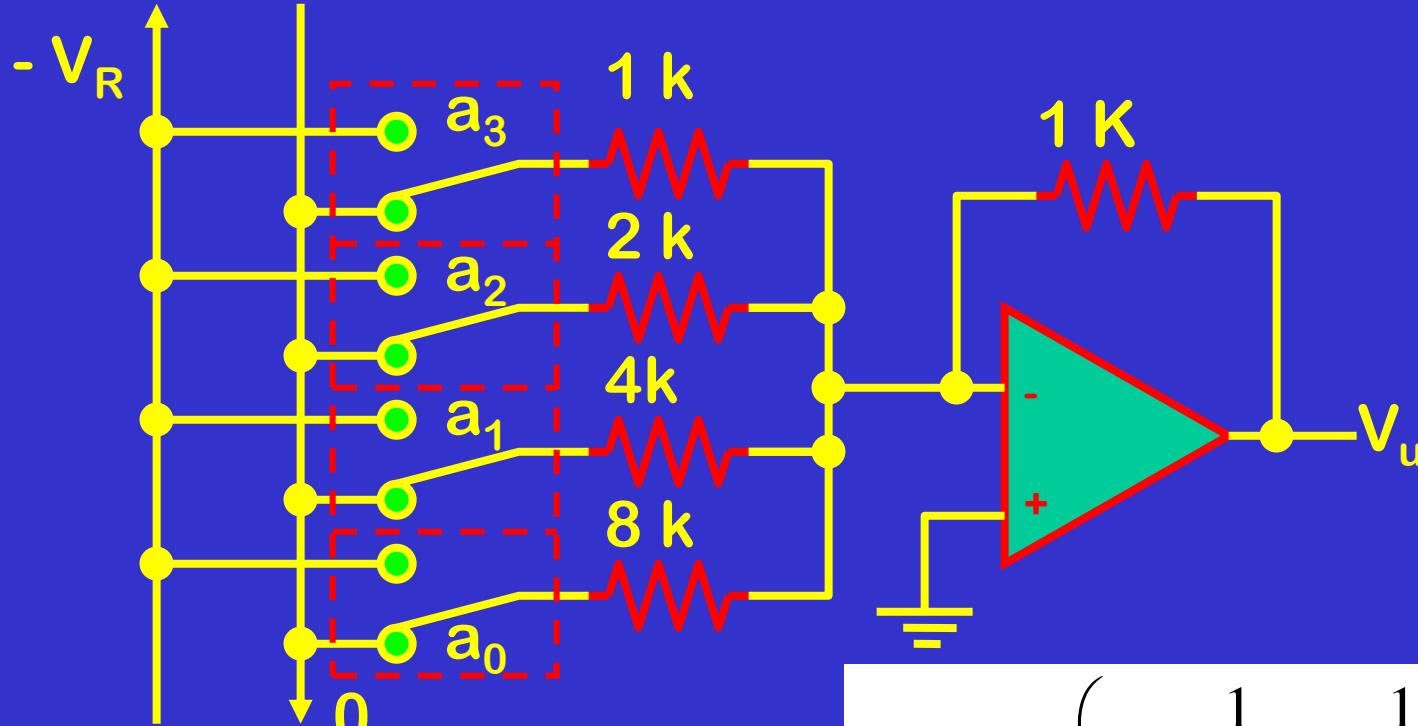


$$V_U = - \left(V_1 \cdot \frac{R_0}{R_1} + V_2 \cdot \frac{R_0}{R_2} \right)$$

- **Metodo del CCV**

$$I_1 = \frac{V_1}{R_1} \quad I_2 = \frac{V_2}{R_2} \quad I_0 = I_1 + I_2 \quad V_U = R_0 \cdot I_0$$

DAC PAM a N=4 bit (quindi N=4) rami con pesi diversi scalati di fattore 2 (da MSB a_3 a LSB a_0 la resistenza cresce ogni volta $\times 2$)



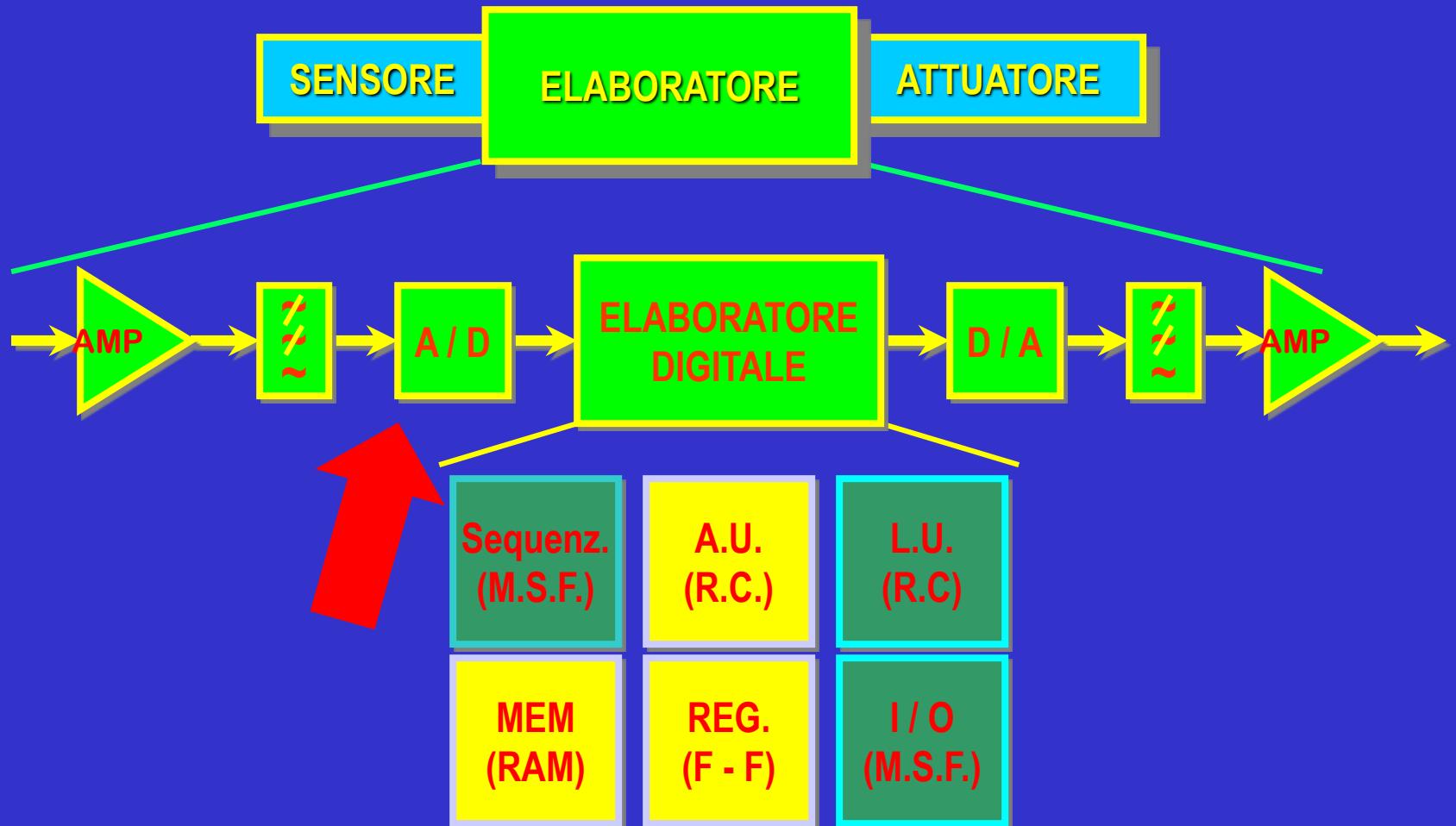
$$V_U = V_R \cdot \left(a_3 + \frac{1}{2} a_2 + \frac{1}{4} a_1 + \frac{1}{8} a_0 \right)$$

Nota: il $-V_R$ in questa slide corrisponde in modulo a 2^3 volte (ovvero $-V_R = -4$ V nel circuito) il $V_R = 0.5$ V indicato in slide 5.3

Osservazioni

- Per $N = 12$ bit la resistenza più grossa vale 2048 (2^{N-1}) volte la resistenza più piccola
- Problemi a realizzare resistenza così diverse con la stessa precisione
- Nei circuiti integrati si riesce a fare due resistenze uguali con elevata precisione ma garantire il valore assoluto non è facile in circuiti a basso costo su larghi volumi come è il caso dell'automotive
- Le resistenze di valore elevato si realizzano male in circuiti integrati

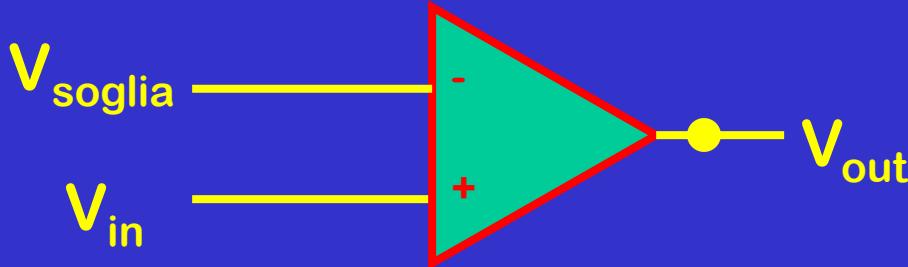
A (Analog) to D (Digital) Converter (ADC)



Vari tipi di convertitori A/D

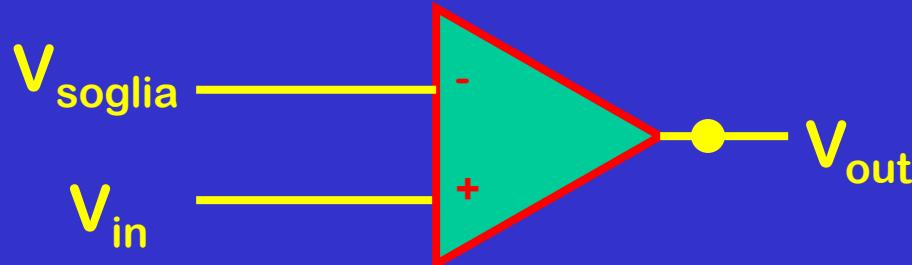


Comparatore



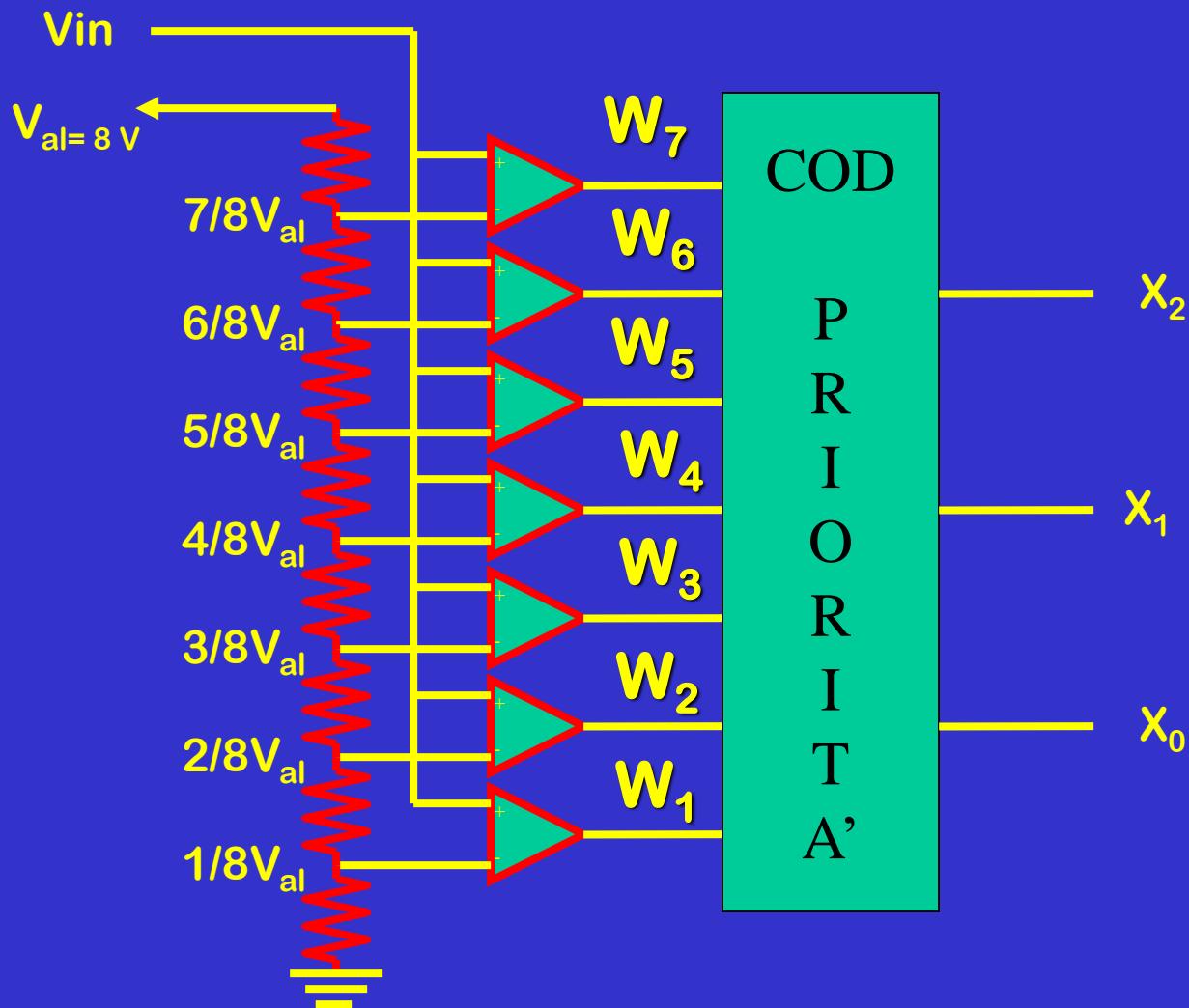
- E' un amplificatore operazionale (OpAmp) ad anello aperto (senza reazione, ma ovviamente va alimentato)
→ Non vale CCV ma se
 $V_{in} > V_{soglia}$ → V_{out} è in saturazione su livello alto
ovvero $V_{out} = V_{cc}$ (alimentazione positiva, es. 5V)
 $V_{in} < V_{soglia}$ → V_{out} è in saturazione su livello
ovvero $V_{out} = V_{ee}$ (è 0V oppure $-V_{cc}$, es. -5V)

Comparatore



- Un comparatore di fatti è un convertitore Analogico-Digitale a 1 bit (spesso alimentato tra $V_{EE}=0V$ e $V_{cc}=5V$)
- In un microcontrollore per automotive di solito è integrato almeno un comparatore in cui la soglia di confronto viene dall'esterno oppure può essere generata internamente nel microcontrollore

Convertitore FLASH



Convertitore FLASH a N=3 bit

- Rete di 2^N resistenza uguali (8 resistenze per N=3 bit) viene usata per creare le soglie necessarie nei confronti:
- Se es. Val=8V le soglie sono $X/8 * Val$ con $X=1, \dots, 7$ e si hanno soglie 1V, 2V, 3V, ..., 7V in quanto range dinamico [0V, 8V] viene diviso in $8=2^3$ intervalli di quantizzazione di ampiezza $8V/8=1V$
- Rete di $2^N-1=7$ comparatori (realizzati con 7 OpAmp ad anello aperto che lavorano in parallelo) che confrontano segnale analogico da convertire Vin con ognuna delle soglie

Convertitore FLASH a N=3 bit

- A uscita di 2^N-1 comparatori ho codice digitale termometrico $W_7 W_6 \dots W_0$ su $2^N-1=7$ bit che è ridondante (ne basterebbero $N=3$ bit $X_2 X_1 X_0$)
- Blocco codificatore di priorità è un circuito digitale che mappa il codice digitale termometrico a 7 bit

$W_7 W_6 \dots W_0$

in un codice compatto posizionale s 3 bit

$X_2 X_1 X_0$

Tabella di Conversione del Codificatore di priorità

- Tabella di verità

w_7	w_6	w_5	w_4	w_3	w_2	w_1	x_2	x_1	x_0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

Convertitore FLASH

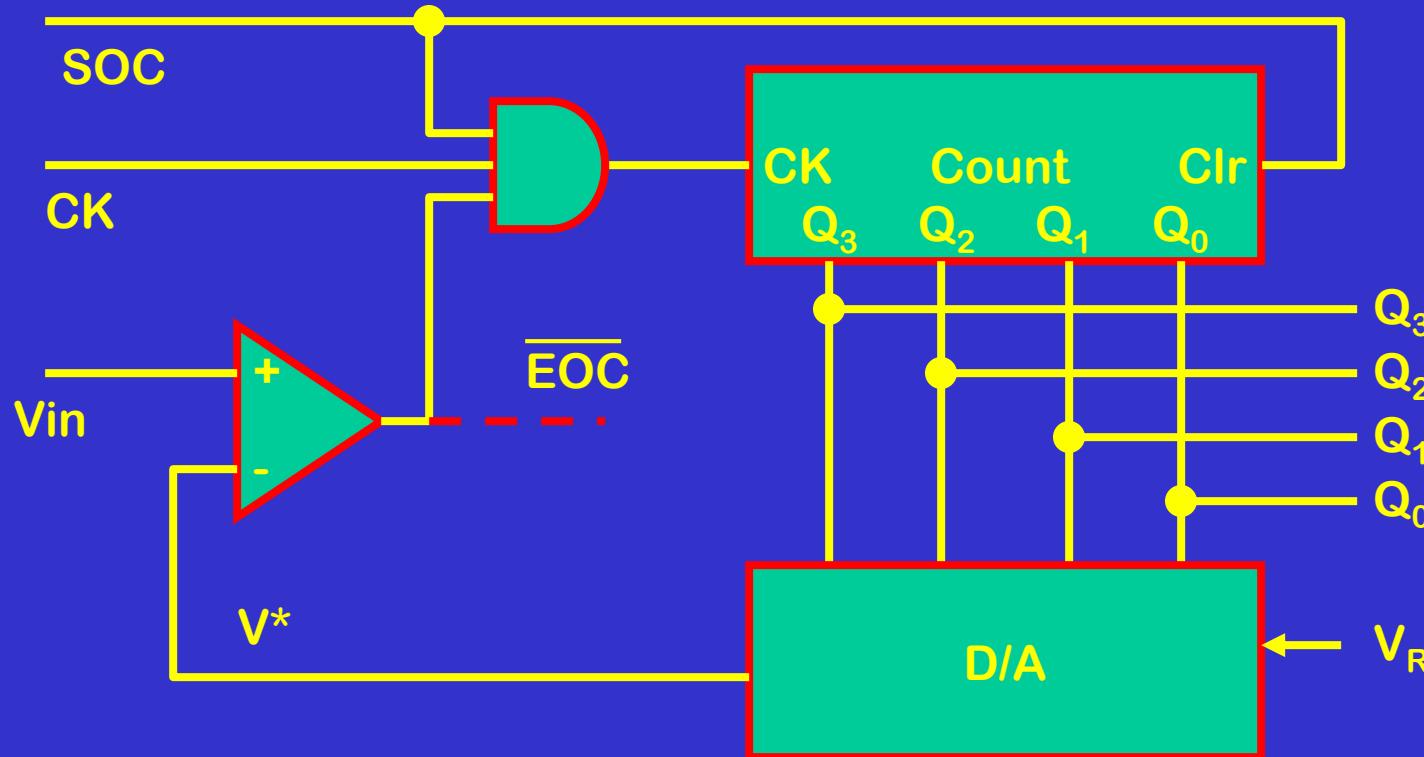
- **Vantaggi:** tutti i confronti sono fatti in parallelo e dunque convertitore Flash è veloce perché esegue le operazioni in un ciclo
- **Svantaggi:** complessità del circuito cresce molto al crescere di N richiedendo $2^N - 1$ comparatori e 2^N resistenze (es N=20 bit sono oltre 1 milione di R e 1 Milione di OpAmp). Inoltre a causa difficoltà a garantire prestazioni uguali tra tanti componenti resistenze e OpAmp più sale numero di bit N e più aumentano imprecisioni

Convertitore ADC a conteggio

- Usa 1 comparatore invece di 2^N-1 comparatori come nel Flash ma ci mette 2^N cicli per convertire un dato invece di 1 come nel Flash
- Usa un contatore (circuito digitale) a N bit che all'arrivo del fronte in salita del segnale di Clock (clk) si incrementa da 0000 a 0001 a 0010 etc. fino a 1111 e poi riprende ciclicamente da 0000
- Usa convertitore DAC integrato a N bit per creare le soglie (es. DAC PAM presentato il slide 5.4)
- Usa una porta logica (circuito digitale) AND che genera 1 in uscita se tutti gli ingressi valgono 1 altrimenti vale 0 (funge da porta di enable del clock)
- V_{in} = ingresso analogico da convertire

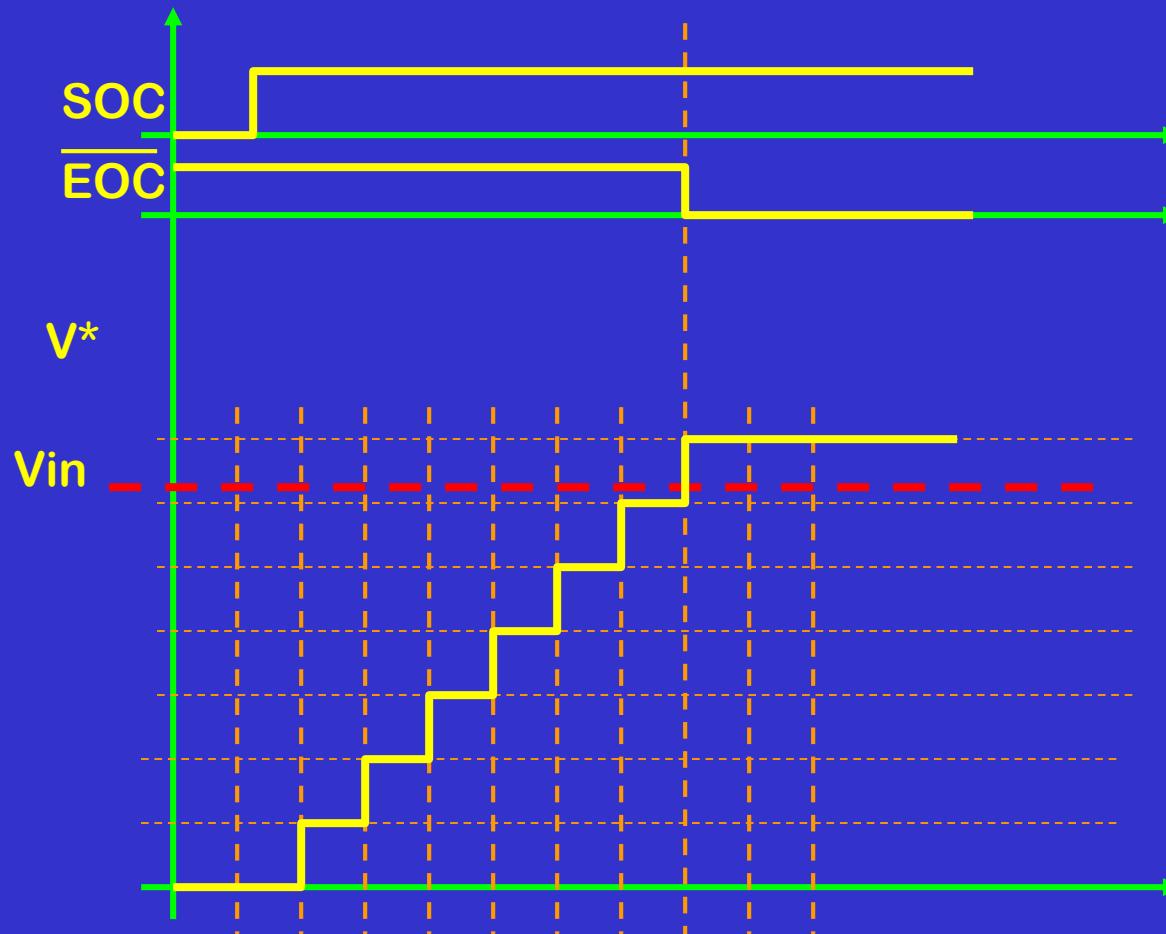
Schema ADC a conteggio

- SOC = Star Of Conversion
- EOC = End Of Conversion

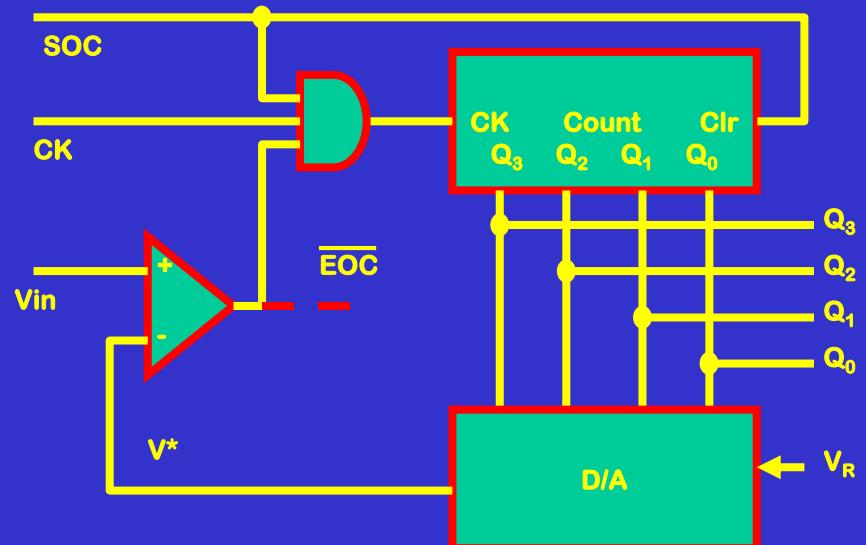
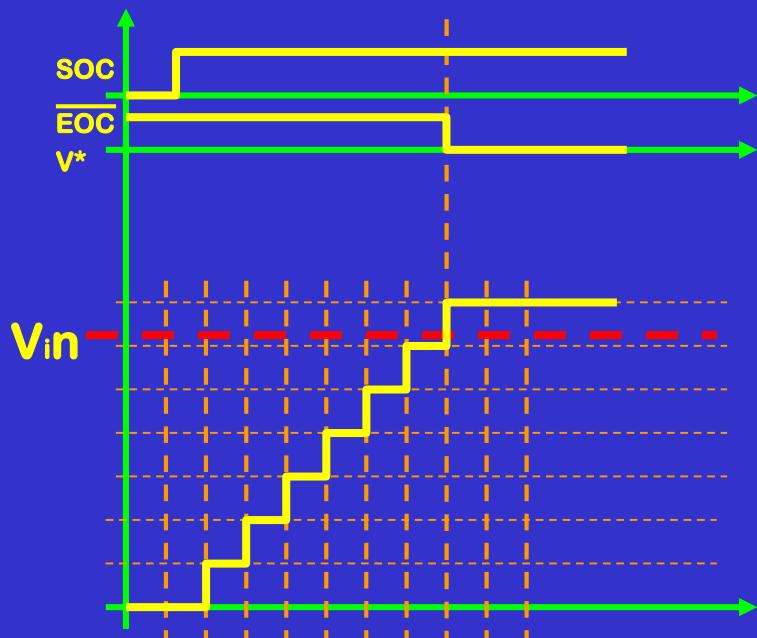


Forme d'onda

•



Forme d'onda 2



Osservazioni

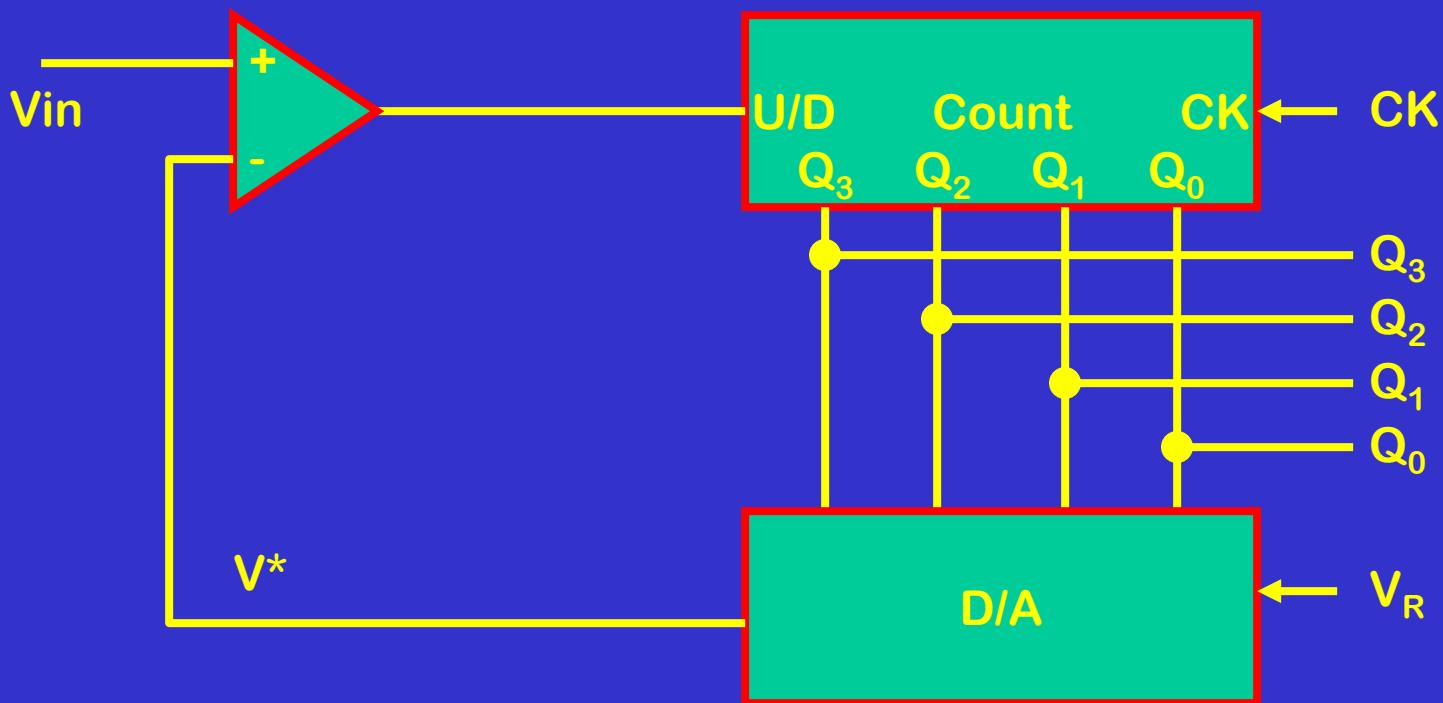
- Necessita di ingresso stabile durante tutto il tempo di conversione
 - deve essere presente un S-H (sample & hold)
- Tempo massimo di conversione (legato al valore massimo) 2^N cicli di clock

Convertitore A to D a inseguimento

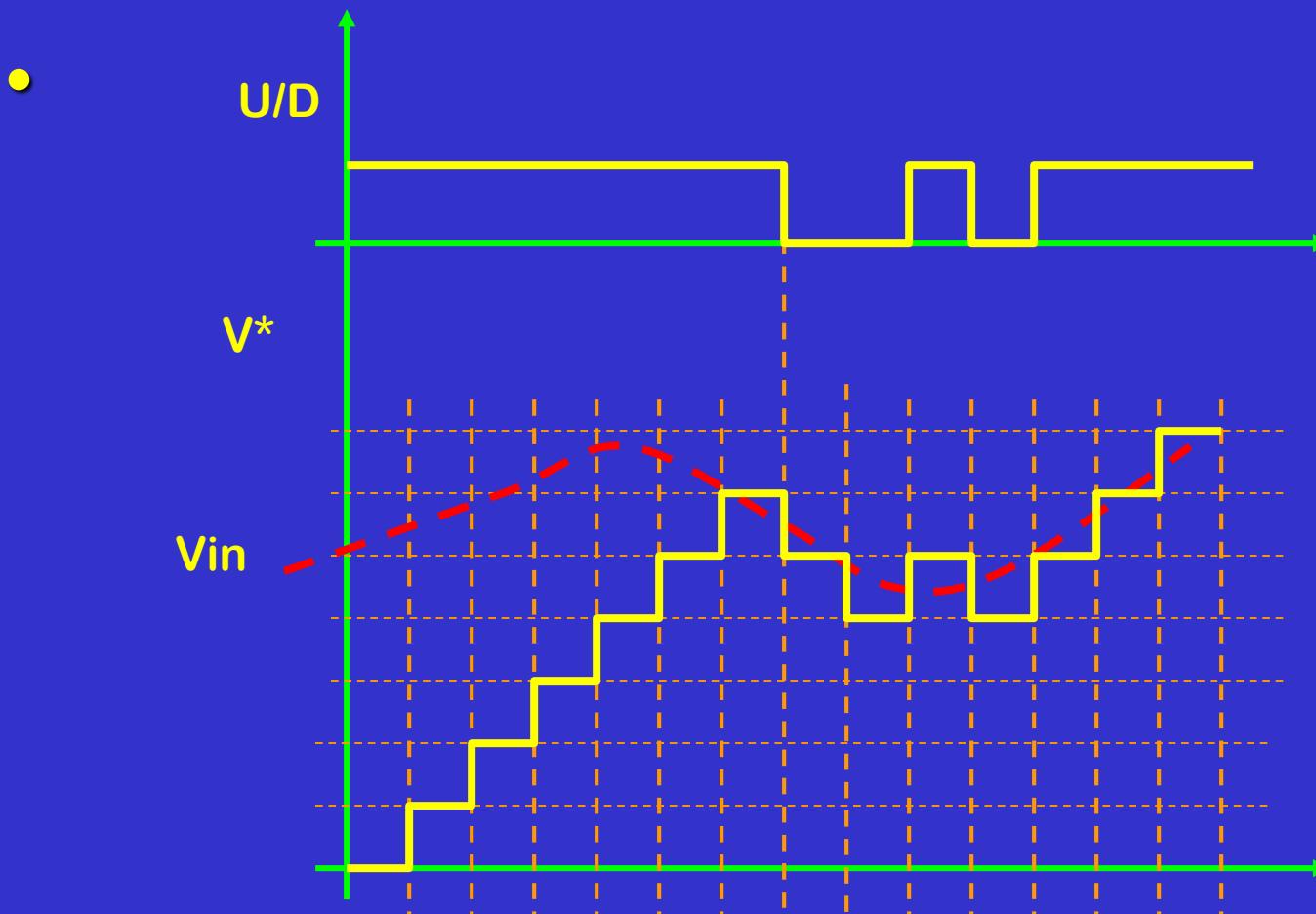
Elementi necessari

- 1. Segnale di Clock**
- 2. Convertitore D/A**
- 3. Contatore UP/DOWN**
- 4. Comparatore**

Schema



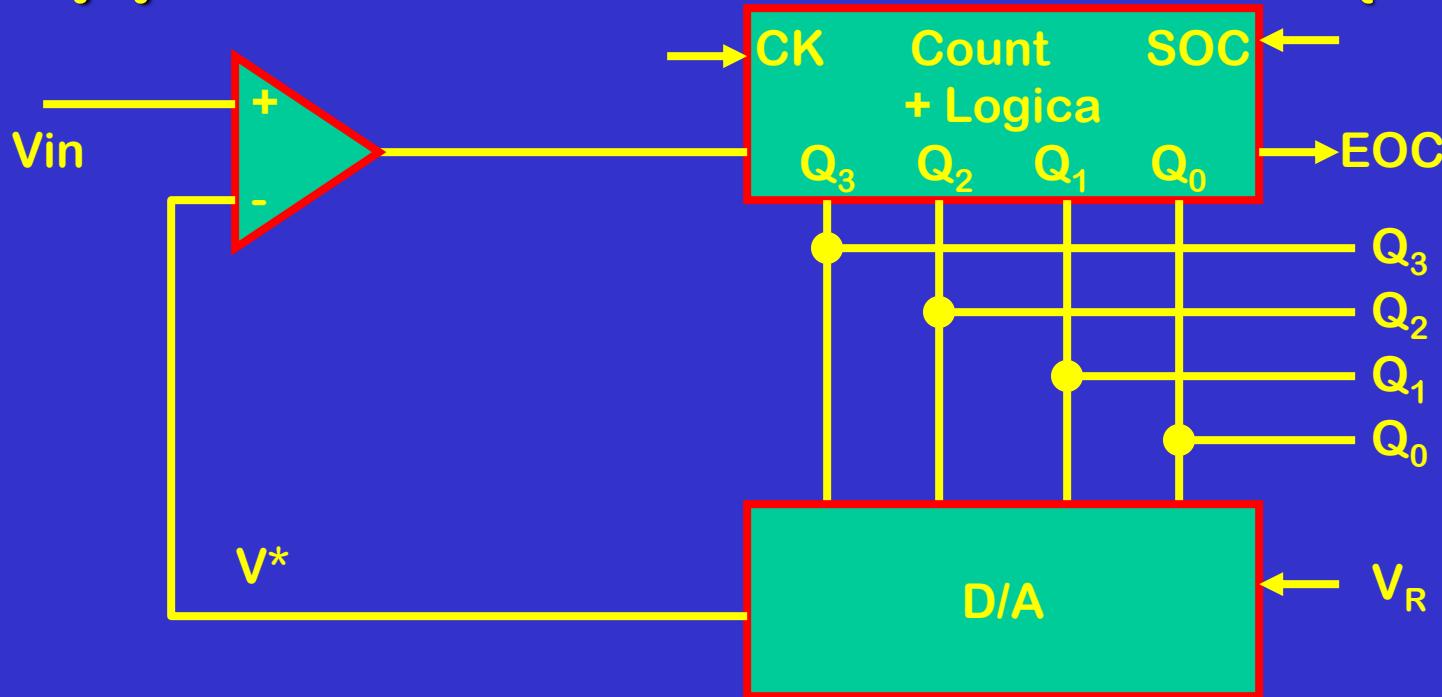
Forme d'onda



Osservazione

- Non è strettamente necessario il S – H
- Tempo massimo di conversione (legato al valore massimo) 2^N cicli di clock
- Da una conversione alla successiva, occorre un tempo minore rispetto al caso precedente
- Se il segnale, fra un ciclo di clock e il successivo, varia meno di un “gradino”, il segnale U/D è la conversione $\Sigma - \Delta$ a un bit

Convertitore A to D ad approssimazioni successive (SAR)



Struttura come ADC a conteggio ma con un circuito intelligente che implementa strategia SAR invece di un semplice contatore

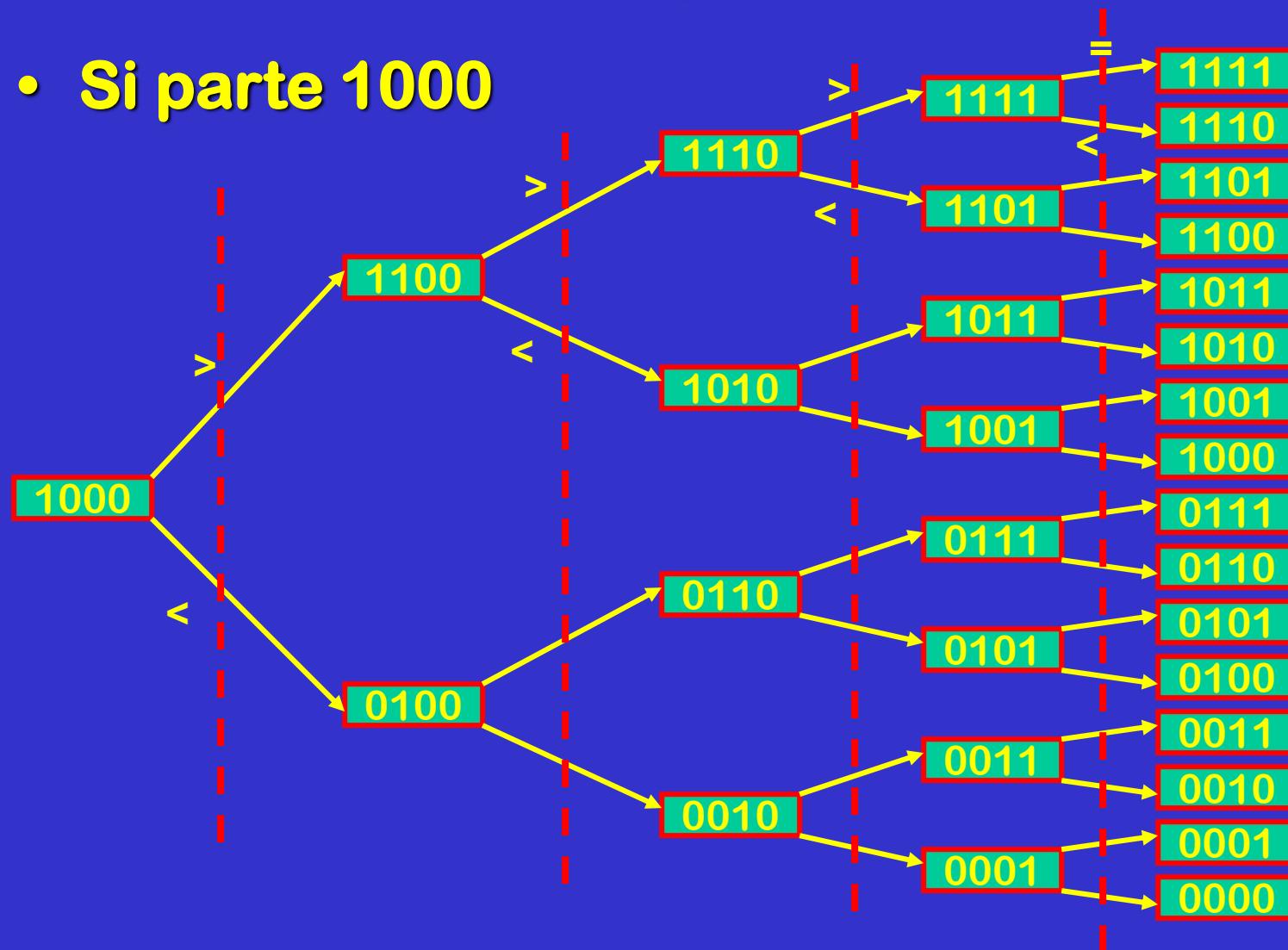
Convertitore A to D ad approssimazioni successive (SAR)

- **Stategia**

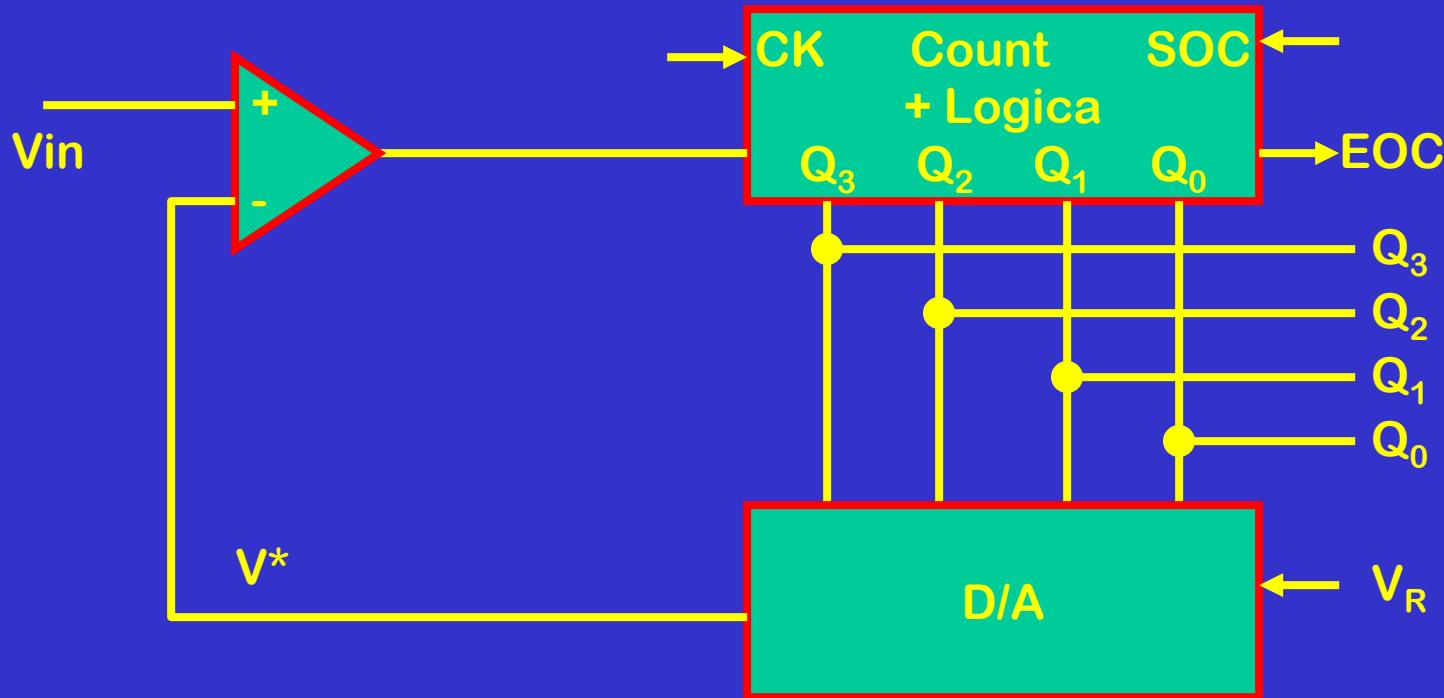
- Si parte attribuendo a V_x il valore $V_M/2$
 - se $V_i > V_M/2$ si passa a $V_M/2 + V_M/4$
 - se $V_i < V_M/2$ si passa a $V_M/4$
- Si procede così per n passi

Strategia per N = 4

- Si parte 1000



Schema

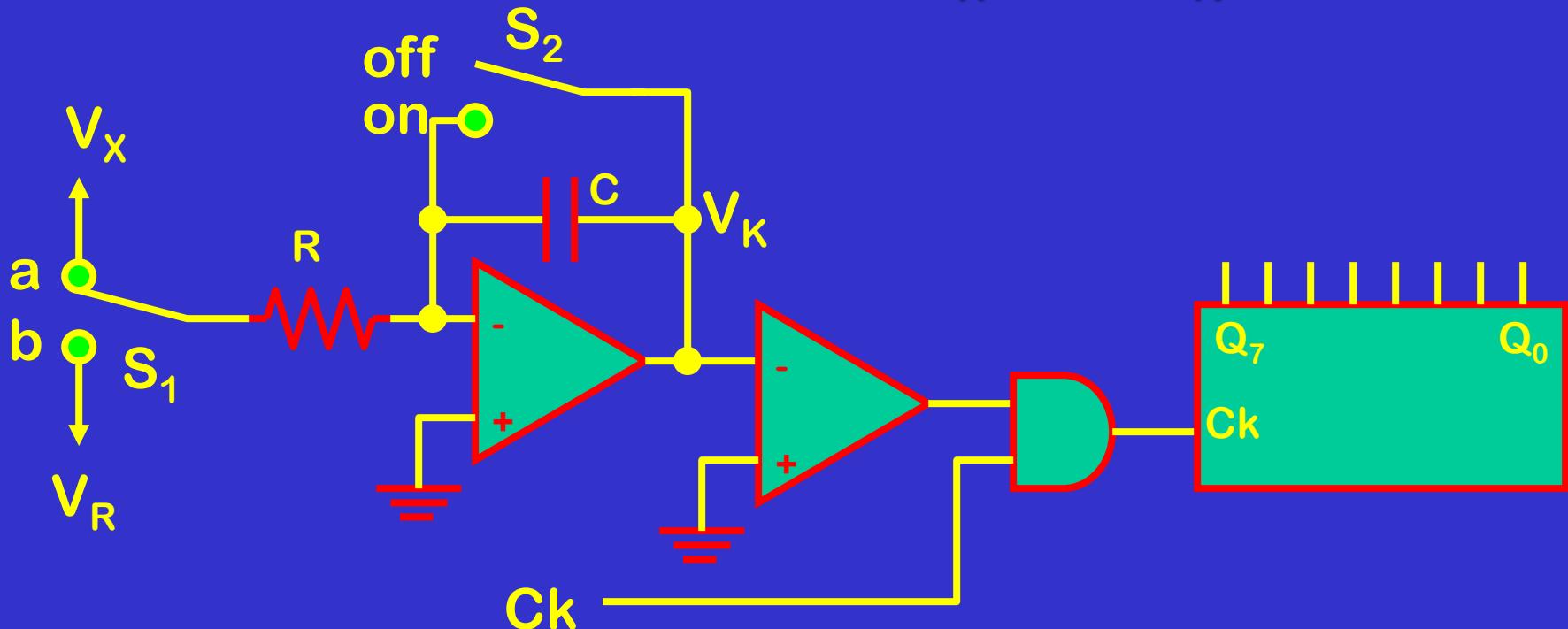


- **Tempo di conversione per N bit => N cicli di clock (più lento del ADC Flash che ci mette 1 ciclo ma più veloce di ADC a conteggio che ci mette 2^N cicli)**

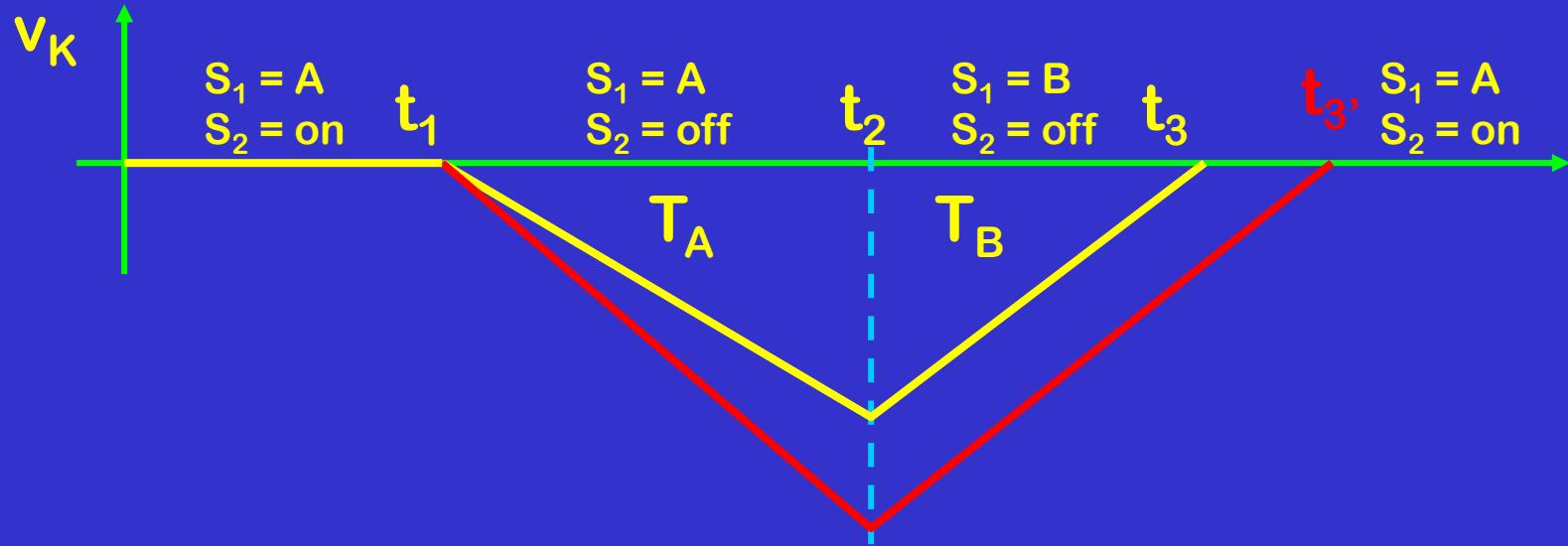
Convertitore A/D a doppia rampa

- Schema

Ipotesi $V_X > 0 \quad V_R < 0$



Forme d'onda



Per $t = t_2$ Q_n commuta per la prima volta da 1 a 0

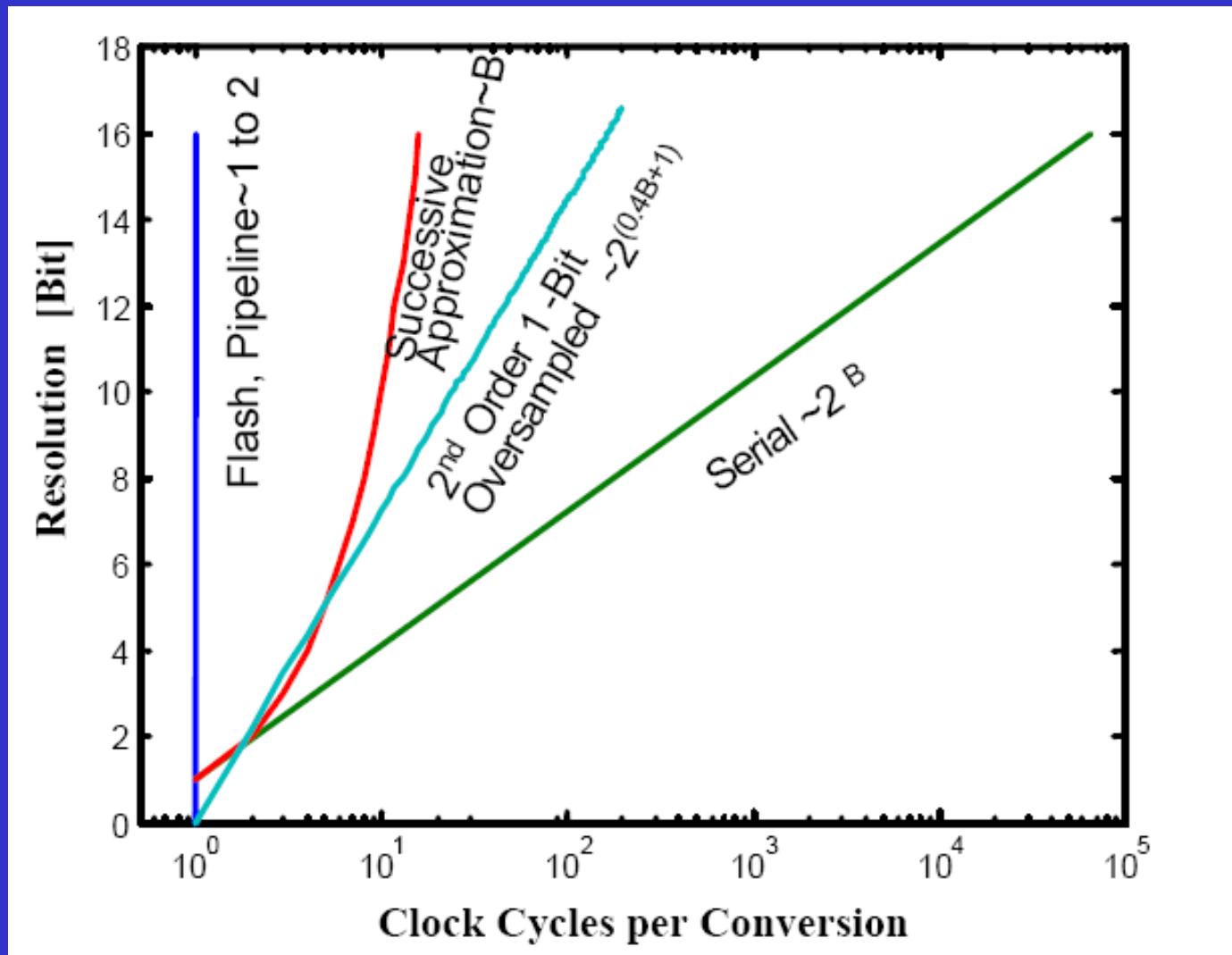
$$T_A = 2^N \cdot T_{CK} \quad v_K = - \int_{t_1}^{t_2} V_X \cdot dt - \int_{t_2}^{t_3} V_R \cdot dt = 0$$

$$T_A \cdot V_X = T_B \cdot |V_R| \quad V_X = \frac{T_B}{T_A} |V_R| = \frac{n_2}{2^N} |V_R|$$

Convertitore a Rampa

- Sistema di conversione lento
- Utilizzato negli strumenti di misura
- Elevata precisione
- La tensione incognita viene integrata nell'intervallo T_A
- Eventuali disturbi a valor medio nullo non hanno effetto
- Fornisce il valor medio di V_x nell'intervallo T_A
- T_A è dell'ordine di 0.5 s

Conclusioni sui convertitori A/D



Conclusioni

- Convertitori D to A
- Convertitore PAM a partitore
 - Convertitori A to D
- Comparatore
- Convertitore FLASH
- Convertitore a conteggi
- Convertitore a inseguimento
- Convertitore ad approssimazioni successive (SAR) di solito usato in Microcontrollori per automotive
- Convertitori a doppia rampa

SEAR - Prof Saponara

Esempi di esercizi d'esame (considerate di avere 30 min max a esercizio)

Sia Y= numero lettere Nome, X= numero lettere Cognome, Es. Antonio Rossi, Y=7, X=5

Esercizio 1 (per preappello) – step-down converter

Disegnare il circuito e dimensionare i componenti (determinando per tutti tensione massima da supportare e andamento della corrente nel tempo, e valore dei componenti per i passivi e dei tempi richiesti per trise/tfall negli attivi, duty cycle e frequenza di switching) di un convertitore di potenza che data $V_{in}= 24V$ in DC è in grado di pilotare in uscita un motore elettrico in DC da 12V e 20A (varianti: da 12 V e 300 W, oppure da 6 V su un carico di 0.5 Ohm).

Esercizio 2 - step-up converter

Disegnare il circuito e dimensionare i componenti (determinando per tutti tensione massima da supportare e andamento della corrente nel tempo, valore dei componenti per i passivi e dei tempi richiesti per trise/tfall negli attivi, duty cycle e frequenza di switching) di un convertitore di potenza che data $V_{in}= 12V$ in DC è in grado di pilotare un motore elettrico in DC da 36V e $P_{out}=1000\text{ W}$.

Esercizio 3 - step-down converter e inverter

Disegnare il circuito e dimensionare i componenti (determinando per tutti tensione massima da supportare e andamento della corrente nel tempo, valore dei componenti per i passivi e dei tempi richiesti per trise/tfall negli attivi, duty cycle e frequenza di switching) di un convertitore di potenza che data $V_{in}= 200V$ in DC è in grado di pilotare un motore elettrico in DC da 100V e $R_{load}=1\text{ ohm}$. Cosa va modificato nel circuito per realizzare un Inverter a 10 KHz invece che un DC/DC converter?

Esercizio 4 (per preappello)

Dopo aver disegnato i simboli e definito acronimi di Mosfet, BJT, IGBT e SCR dire quale è il più adatto per implementare gli switch degli esercizi 1, 2 e 3 e giustificare la risposta.

Esercizio 5 Convertitore AC/DC Monofase (per preappello)

Data una alimentazione monofase a 50 Hz e 220Vrms disegnare schema circuitale con trasformatore e diodi di convertitore di potenza (raddrizzatore) che permette di caricare pacco batteria da 48 V

Esercizio 6 Convertitore AC/DC Trifase

Ripetere esercizio 5 per il caso di alimentazione trifase

Esercizio 7 AC/AC con cambio di frequenza (per preappello)

Data una alimentazione monofase a 50 Hz e 220Vrms disegnare schema circuitale (ma senza dimensionare i singoli componenti) di convertitore di potenza che permette di pilotare un attuatore elettrico da 1 kW in AC a frequenza $F_o=Y*1\text{ kHz}$ (deve essere garantito isolamento galvanico tra ingresso a 50 Hz e uscita a F_o)

Esercizio 8 AC/AC con cambio di frequenza

Data una alimentazione trifase a 50 Hz si vuole pilotare un attuatore elettrico da 5 kW in AC a frequenza di $X*5\text{ kHz}$. Disegnare lo schema circuitale del convertitore di potenza (ma senza dimensionare i singoli componenti).

Esercizio 9 (per preappello)

Data una rete di 10 sensori con banda analogica per ogni sensore di 500 Hz:

1. Determinare frequenza di campionamento e numero di bit del sistema di digitalizzazione per garantire un errore di quantizzazione inferiore allo 0.1 %,

Esercizio 10 (per preappello)

Data una IMU 9D (3-assi accelerometri, 3-assi giroscopi, 3-assi magnetometro) con banda analogica per asse di $B=100 \text{ Hz}^*Y$:

- A) determinare frequenza di campionamento e numero di bit del sistema di digitalizzazione per garantire un errore di quantizzazione inferiore allo 0.1 %,

Esercizio 11 (per preappello)

Dato un sistema elettronico di potenza che gestisce una potenza utile al carico di 100 W^*Y con rendimento del 95% determinare Temperatura del Chip in funzione di Tamb se $R_{jc}=1 \text{ }^{\circ}\text{C}/\text{W}$ in 3 casi: dissipatore ideale, no dissipatore, dissipatore con Rdissipatore= R_{jc} . Descrivere sotto quali ipotesi vale modello per analisi termiche adottato. Commentare i risultati ottenuti considerando per T_{jmax} valori tipici di chip al silicio

Esercizio 12 (per preappello)

Dato un sistema elettronico di potenza che gestisce una potenza utile al carico di 1000 W determinare Temperatura del Chip in funzione di rendimento se $T_{amb}=30 \text{ }^{\circ}\text{C}$, $R_{jc}=1.25 \text{ }^{\circ}\text{C}/\text{W}$, $R_{dissipatore}=0.5 \text{ }^{\circ}\text{C}/\text{W}$. Descrivere sotto quali ipotesi vale modello per analisi termiche adottato. Commentare i risultati ottenuti considerando per T_{jmax} valori tipici di chip al silicio

Esercizio 13 (per preappello)

Data una coppia di Mosfet di potenza, pilotati con frequenza di 10 kHz*Y e duty-cycle di 40% per uno e 60% per l'altro, tali che con V_{gs} di 5V offrono una RDson di 1 m0hm e conducono una corrente media di 20A ed hanno Q_g di 100 nC

- A) Calcolare Pdissipata totale (perdite per resistenza in fase di conduzione corrente e perdite per pilotaggio gate dello switch) e efficienza di conversione se P fornita al carico è 1 kW
- B) Spiegare significato di RDson e Q_g e R_{jc}

Esercizio 14 (per preappello)

Dato una Mosfet di potenza, pilotato con frequenza di 100 kHz e duty-cycle D di 40%, e un diodo pilotato alla stessa frequenza con duty-cycle 1-D, e sapendo che Mosfet con V_{gs} di 4V offre una RDson di 1 m0hm e conduce una corrente media di 15A ed ha Q_g di 90 nC mentre diodo conduce una corrente media di 10 A ma ha $V_{soglia}=0.3\text{V}$ e R_{on} di 1 m0hm

- A) Calcolare Pdissipata dal Mosfet (perdite per resistenza in fase di conduzione corrente e perdite per pilotaggio gate dello switch)
- B) Calcolare Pdissipata dal diodo (perdite per V_{soglia} e per resistenza in fase di conduzione corrente)
- C) Calcolare Pdissipatotale dagli switch (Mosfet e diodo) e rendimento di conversione se P fornita al carico è 1.5 kW
- D) Conviene sostituire il diodo con un altro Mosfet?

Esercizio 15 (per preappello)

Data una coppia di IGBT di potenza, pilotati con frequenza di 10 kHz*Y e duty-cycle di 35% per uno e 65% per l'altro, tali che con V_{ge} di 5V offrono una VCESAT di 0.2V e conducono una corrente media di 30A ed hanno Q_g di 200 nC

- A) Calcolare Pdissipata totale (perdite per resistenza in fase di conduzione corrente e perdite per pilotaggio gate dello switch) e efficienza di conversione se P fornita al carico è 2 kW
- B) Spiegare significato di VCESAT e Qg

Esercizio 16 (per preappello)

1. Disegnare lo schema circuitale, dimensionare i componenti e ricavare la funzione di trasferimento di un filtro passa-basso del secondo ordine con 2 poli coincidenti a 10 KHz e guadagno in banda passante pari a 20 dB.
2. Se gli amplificatori operazionali utilizzati sono alimentati con tensioni +10 V e -10 V, determinare il range dinamico in ingresso e uscita.
3. Ricavare quanto deve valere il prodotto guadagno-banda degli amplificatori operazionali per non alterare il comportamento del filtro in banda passante.
4. Garantire che risposta del filtro è indipendente da R della sorgente

Esercizio 17 (per preappello)

1. Disegnare il circuito e dimensionare i componenti (determinando per tutti tensione massima da supportare e andamento della corrente nel tempo, valore dei componenti per i passivi e dei tempi richiesti per trise/tfall negli attivi, duty cycle e frequenza di switching) di un convertitore di potenza che data Vin=36V in DC è in grado di pilotare un motore elettrico in DC da 12V e Pout=1000 W.
2. Dopo aver disegnato i simboli e definito acronimi di Mosfet, BJT, IGBT e SCR dire quale è il più adatto per implementare gli switch e giustificare la risposta.
3. Cosa va modificato nel circuito al punto 1 per realizzare un Inverter invece che un DC/DC converter?

Esercizio 18 (per preappello)

Data una rete di 10 sensori con banda analogica per ogni sensore di 500 Hz:

1. Determinare frequenza di campionamento e numero di bit del sistema di digitalizzazione per garantire un errore di quantizzazione inferiore allo 0.1 %,

Esercizio 19 (per preappello)

- A) Disegnare il circuito e dimensionare i componenti (determinando per tutti tensione massima da supportare e andamento della corrente nel tempo, e valore dei componenti per i passivi e dei tempi richiesti per trise/tfall negli switch) di un convertitore di potenza che data Vin= 3V*X in DC è in grado di pilotare un motore elettrico in DC con Vmot=1.5V*X e potenza pari a Pmot= 30 Watt*Y.
- B) Dopo aver disegnato i simboli e definito acronimi di diodo, Mosfet, BJT, IGBT, SCR dire chi usare per implementare gli switch in 19.A). ?

Esercizio 20 (per preappello)

Data una IMU 7D (3-assi accelerometri, 3-assi giroscopi, 1-intensità magnetica) con banda analogica per asse di B=50 Hz*X:

- A) determinare frequenza di campionamento e numero di bit del sistema di digitalizzazione per garantire un errore di quantizzazione inferiore allo 0.1 %,

Esercizio 21 (per preappello)

Dato un sistema elettronico che gestisce una potenza utile al carico di $X*100$ Watt determinare il rendimento minimo necessario per garantire $T_J < 150$ °C in questi 2 casi (Descrivere sotto quali ipotesi vale modello per analisi termiche adottato):

- A) $T_{amb}=20$ °C, $R_{jc}=X$ °C /Watt, $R_{dissipatore}=0.5$ °C /Watt.
- B) $T_{amb}=0$ °C, $R_{jc}= Y$ °C /Watt, dissipatore ideale.

Esercizio 22 (per preappello)

- A) Disegnare lo schema circuitale e dimensionare i componenti di un filtro passa-alto (non invertente se X è pari, invertente se X è dispari) con polo in $X*150$ Hz, guadagno in banda passante pari a Y dB e attenuazione fuori banda di 40 dB/decade. Si progetti in modo tale che la funzione di trasferimento sia indipendente dall'impedenza della sorgente e del carico.
- B) Si ricavi la funzione di trasferimento del filtro e si disegni il diagramma di Bode del modulo della relativa risposta in frequenza.
- C) Assumendo gli amplificatori operazionali alimentati tra -15 V e +15 V, determinare il range dinamico in ingresso e in uscita dal filtro.
- D) Ipotizzando che gli amplificatori operazionali utilizzati abbiano un prodotto guadagno-banda pari a 20 MHz, determinare l'effetto di questo sulla risposta in frequenza del filtro.
- E) Come cambia circuito se ingresso è in corrente?

Esercizio 23

Data una alimentazione monofase a 50 Hz e 220Vrms disegnare schema circuitale (ma senza dimensionare i singoli componenti) di:

- A) convertitore di potenza che permette di caricare pacco batteria da 48 V
- B) convertitore di potenza che permette di pilotare un attuatore elettrico da 1 kW in AC a frequenza $F_o=Y*1$ kHz (deve essere garantito isolamento galvanico tra ingresso a 50 Hz e uscita a F_o)

Esercizio 24

Data una IMU 9D (3-assi accelerometri, 3-assi giroscopi, 3-assi magnetometro) con banda analogica per asse di $B=100$ Hz*X:

- A) determinare frequenza di campionamento e numero di bit del sistema di digitalizzazione per garantire un errore di quantizzazione inferiore allo 0.1 %,
- B) Determinare data-rate (bit/s) necessari per trasmetterli con connessione RS232 e memoria necessaria per immagazzinare 10 min di acquisizione
- C) Determinare data-rate (bit/s) necessari per trasmetterli con connessione CAN e memoria necessaria per immagazzinare 10 min di acquisizione

Esercizio 25 (per preappello)

Data una coppia di Mosfet di potenza, pilotati con frequenza di 10 kHz*Y e duty-cycle di 40% per uno e 60% per l'altro, tali che con V_{gs} di 5V offrono una RDSon di 1 mOhm e conducono una corrente media di 20A ed hanno Q_g di 100 nC

- A) Calcolare Pdissipata totale (perdite per resistenza in fase di conduzione corrente e perdite per pilotaggio gate dello switch) e efficienza di conversione se P fornita al carico è 1 kW
- B) Determinare Temperatura di giunzione dei Mosfet (T_j) in funzione di T_{amb} [nel range da 0 a 100 °C] se $R_{jc}=1$ °C /W in 3 casi: dissipatore ideale, no dissipatore, dissipatore con $R_{dissipatore}=R_{jc}$. Descrivere sotto quali ipotesi vale modello per analisi termiche adottato.
- C) Spiegare significato di RDSon e Q_g e R_{jc} , e commentare i risultati ottenuti in 4.B considerando per T_{jmax} valori tipici di transistor al silicio

Esercizio 26 (per preappello)

- A) Disegnare lo schema circuitale e dimensionare i componenti di un filtro passa-basso con polo in $Y \cdot 100$ Hz, guadagno in banda passante $X \cdot 3$ dB e attenuazione fuori banda di 60 dB/decade. Si progetti in modo tale che in banda passante l'uscita sia in opposizione di fase rispetto all'ingresso (guadagno negativo) e che la funzione di trasferimento sia indipendente dall'impedenza della sorgente e del carico.
- B) Si ricavi la risposta in frequenza del filtro e se ne disegni il diagramma di Bode del modulo.
- C) Assumendo che gli amplificatori operazionali siano alimentati tra -10 V e +10 V, determinare il range dinamico in ingresso e in uscita del filtro.
- D) Scegliere il prodotto guadagno-banda degli amplificatori operazionali in modo da non alterare il comportamento del filtro in banda passante.

Sia Y= numero lettere Nome, X= numero lettere Cognome, Es. Antonio Rossi, Y=7, X=5

Esercizio 27

- A) Disegnare il circuito e dimensionare i componenti (determinando per tutti tensione massima da supportare e andamento della corrente nel tempo, e valore dei componenti per i passivi e dei tempi richiesti per trise/tfall negli attivi) di un convertitore di potenza che data $V_{in} = 1V \cdot Y$ in DC è in grado di pilotare un motore elettrico in DC da 10V e 300W.
- B) Dopo aver disegnato i simboli e definito acronimi di SCR, Mosfet, BJT, IGBT dire quale è il più adatto per implementare gli switch del punto 1.A e giustificare la risposta. Se i dispositivi non sono ideali ma hanno perdite come va cambiato il duty-cycle del controllo rispetto al caso ideale per garantire stessa tensione di uscita?

Esercizio 28

- A) Data una alimentazione trifase a 50 Hz disegnare schema circuitale (ma senza dimensionare i singoli componenti) di convertitore di potenza che pilota un attuatore elettrico da 5 kW in AC a frequenza di $F_o = X \cdot 5$ kHz.). Deve essere garantito isolamento galvanico tra ingresso a 50 Hz e uscita a F_o
- B) Data una alimentazione monofase a 50 Hz e 220Vrms disegnare schema circuitale (ma senza dimensionare i singoli componenti) di convertitore di potenza che alimenta un carico in DC da $Y \cdot 5$ V

Esercizio 29

Dato un array di X sensori con banda analogica ciascuno $B = 100$ Hz*X:

- determinare frequenza di campionamento e numero di bit del sistema di digitalizzazione per garantire un errore di quantizzazione inferiore allo 0.1 %,
- Determinare data-rate (bit/s) necessari per trasmetterli con connessione RS232 e memoria necessaria per immagazzinare 1 min di acquisizione
- Determinare data-rate (bit/s) necessari per trasmetterli con connessione CAN e memoria necessaria per immagazzinare 1 min di acquisizione

Esercizio 30 (per preappello)

Data una coppia di Mosfet di potenza, pilotati con frequenza di 20 kHz*X e duty-cycle di 30% per uno e 70% per l'altro, tali che con V_{gs} di 10V offrono una RDSon di 1 m Ω hm e conducono una corrente media di 25A ed hanno Q_g di 50 nC

- Calcolare Pdissipata totale (perdite per resistenza in fase di conduzione corrente e perdite per pilotaggio gate dello switch) e efficienza di conversione se P fornita al carico è 2 kW

- B) Determinare grafico che esprime Temp di giunzione (T_j) dei Mosfet in funzione di T_{amb} [nel range 0, 100 °C] se $R_{jc}=2 \text{ } ^\circ\text{C} / \text{W}$ in 3 casi: dissipatore ideale, no dissipatore, dissipatore con $R_{dissipatore} = R_{jc}$. Descrivere sotto quali ipotesi vale modello per analisi termiche adottato.
- C) Spiegare significato di $RDSon$ e Q_g e R_{jc} , e commentare i risultati ottenuti in 4.B considerando per T_{jmax} valori tipici di transistor al silicio

Esercizio 31 (per preappello)

- A) Disegnare lo schema circuitale e dimensionare i componenti di un filtro passa-basso con polo in $Y*50 \text{ Hz}$, guadagno in banda passante $X*2 \text{ dB}$ e attenuazione fuori banda di 60 dB/decade . Si progetti in modo tale che in banda passante l'uscita sia in fase rispetto all'ingresso (guadagno positivo) e che la funzione di trasferimento sia indipendente dall'impedenza della sorgente e del carico.
- B) Si ricavi la risposta in frequenza del filtro e se ne disegni il diagramma di Bode del modulo.
- C) Assumendo che gli amplificatori operazionali siano alimentati tra -15 V e $+15 \text{ V}$, determinare il range dinamico in ingresso e in uscita del filtro.
- D) Scegliere il prodotto guadagno-banda degli amplificatori operazionali in modo da non alterare il comportamento del filtro in banda passante.