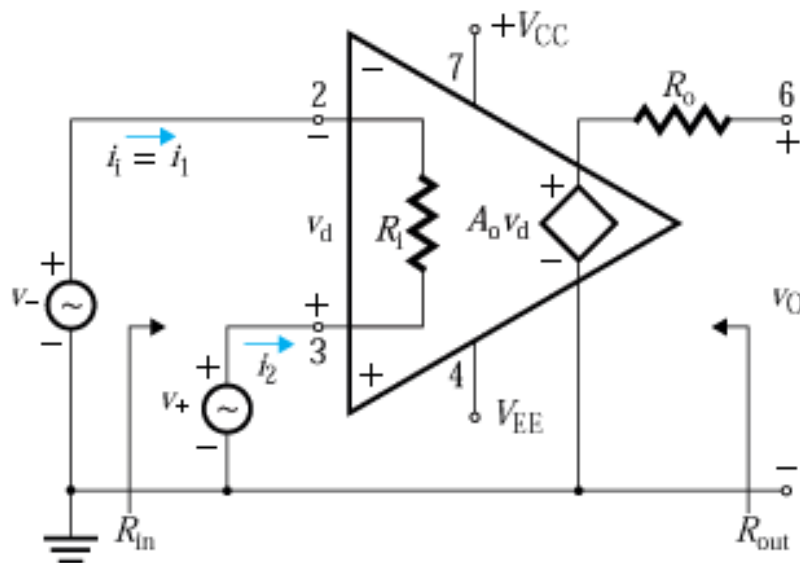
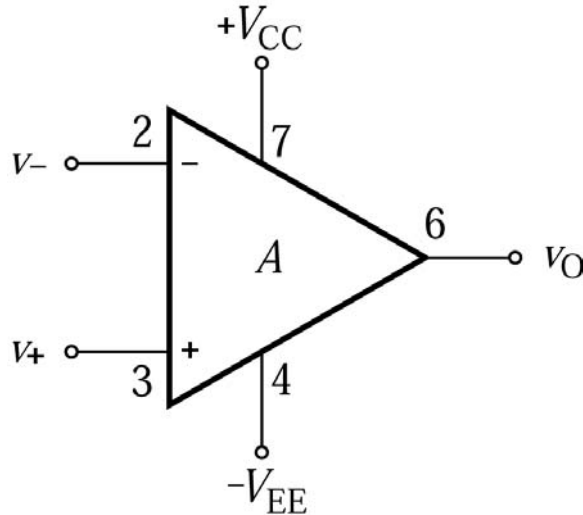


4 Amplificatori operazionali

4.1 Amplificatore operazionale: caratteristiche, ideale vs. reale

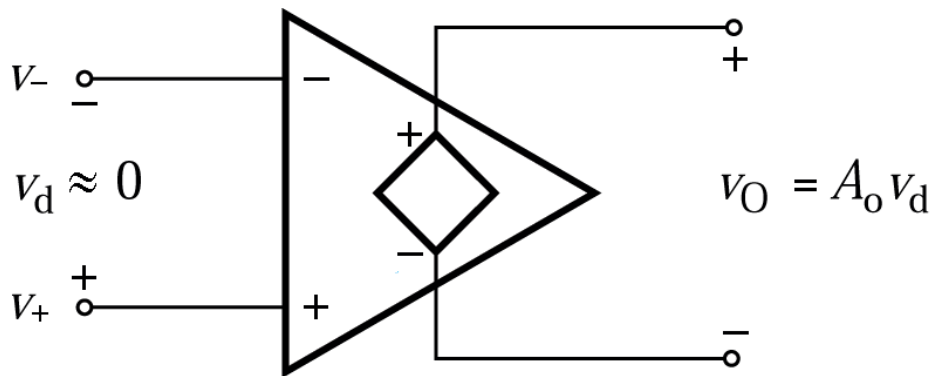
- Di seguito simbolo e circuito equivalente di un amplificatore operazionale.



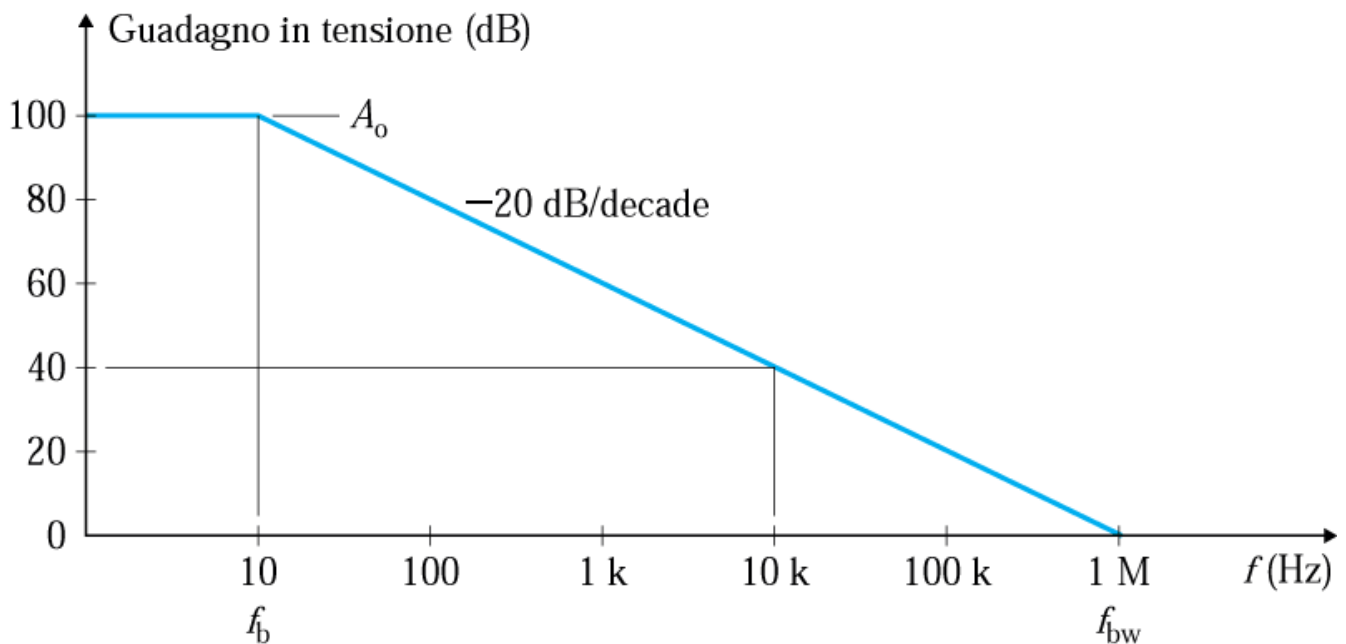
Da notare che l'amplificatore operazionale è un circuito integrato analogico (può essere realizzato integrando su stesso chip di silicio sia dispositivi BJT che FET) che ha:

- ingresso differenziale, $V_o = A \cdot V_d$ con $V_d = V^+ - V^-$ ingresso differenziale
- amplificazione molto elevata (A idealmente dovrebbe tendere a ∞)
- R_{in} molto elevata (idealmente dovrebbe tendere a ∞)
- R_{out} bassa (idealmente dovrebbe tendere a 0)
- La corrente assorbita dai terminali di ingresso $-$ e $+$ dovrebbe essere nulla
- Se V^+ e V^- sono cortocircuitati tra loro uscita dovrebbe esser nulla

Quindi un amplificatore operazionale ideale avrebbe circuito per le variazioni del tipo in figura sottostante



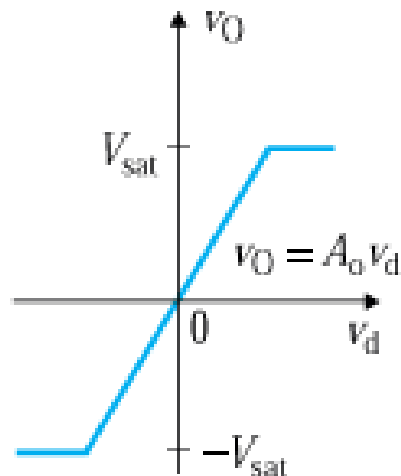
Di seguito si riporta l'andamento in frequenza dell'amplificazione per un amplificatore operazionale reale tipico come il $\mu 741$ (architettura introdotta in anni 70) .



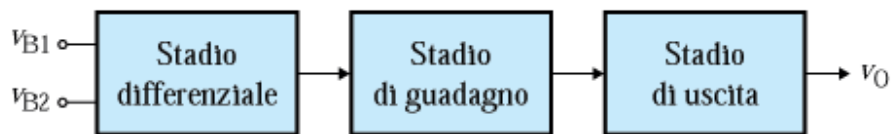
Da notare che si ha amplificazione sin dalla continua; il guadagno a basse frequenze è molto elevato (100 dB \rightarrow 100000), che dopo i 10 Hz sia ha una prodotto tra guadagno e banda, PGB, costante e pari a 1 MHz (e.g. a 100 Hz amplifica 100000, a 1000 Hz amplifica 1000, a 1 MHz guadagna 1).

Difatti l'uso di amplificatori operazionali è per l'elaborazione analogica di segnali in banda base (voce, audio, biomedici, meccanici, etc.) ma non modulati. Il PGB è un fattore di merito di amplificatori operazionali.

Di seguito viene riportata la caratteristica V_{out}/V_d di un amplificatore operazionale. Da notare che esistono delle zone di saturazione (V_{out} non può superare V_{sat} e $-V_{sat}$ che difatti sono legati a alimentazioni V_{cc} e $-V_{ee}$, quest'ultima di solito uguale a $-V_{cc}$). La zona di funzionamento lineare ha un range di ingresso $[V_d_{min}, V_d_{max}]$ tale che $\text{modulo}(A \cdot V_d) < V_{cc} \rightarrow$ se $V_{cc}=10V$ e $-V_{ee}=-10V$ e $A=100000$ allora la zona di funzionamento lineare è per V_d tra $-100\mu V$ e $+100\mu V$.

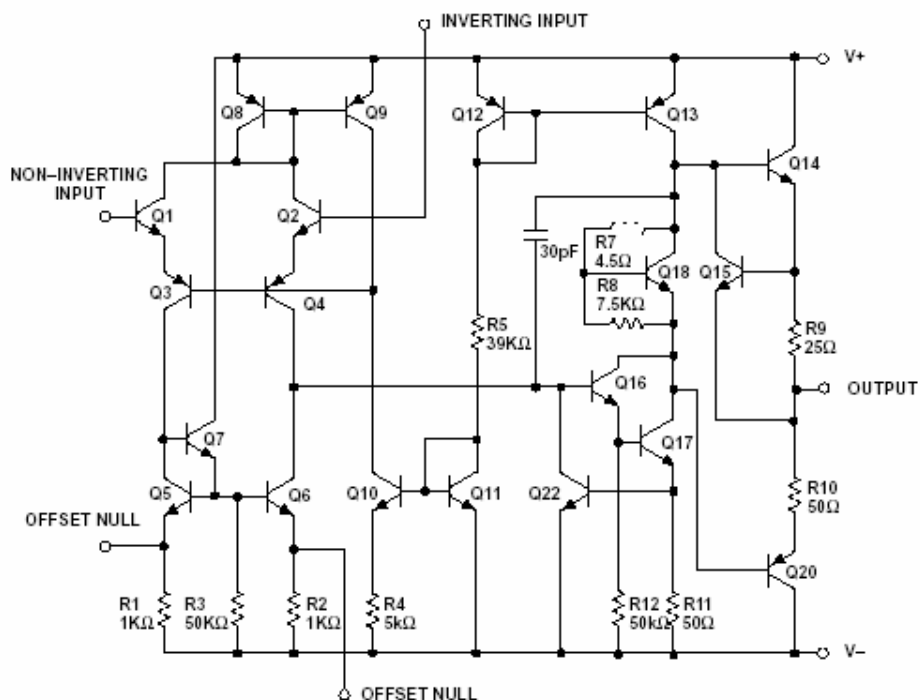


Un amplificatore operazionale internamente consiste di almeno tre stadi in cascata: un primo amplificatore differenziale seguito da un secondo stadio di guadagno e poi in uscita uno stadio buffer.

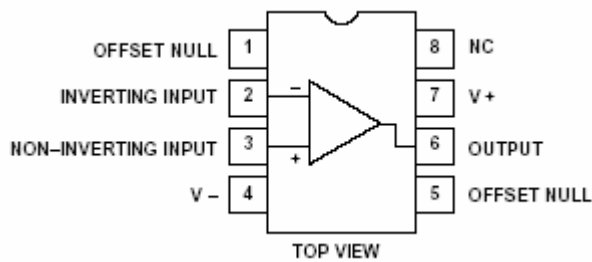


Nella figura sottostante viene riportata l'architettura interna dell'amplificatore operazionale ua741 che consiste di una ventina di transistor bipolari più elementi passivi. Rispetto ai 5 terminali riportati nel simbolo (2 ingressi, 1 uscita, 2 terminali di alimentazione) sono anche resi disponibili all'esterno due terminali (offset null) per compensare eventuali sbilanciamenti della struttura per cui con $V_d=0$ in realtà V_o non è uguale a 0.

Tale amplificatore è caratterizzato da un PGB di circa 1 MHz, R_{in} di circa 2 M Ω , R_{out} di circa 75 Ω , corrente massima di uscita di 25 mA, tempi di risposta al gradino di 0.3 μ s



Di seguito del $\mu A741$ si riporta anche la visione del package che è a 8 terminali, i principali parametri circuitali in continua e per le variazioni, la risposta in frequenza di ampiezza e fase



DC ELECTRICAL CHARACTERISTICS

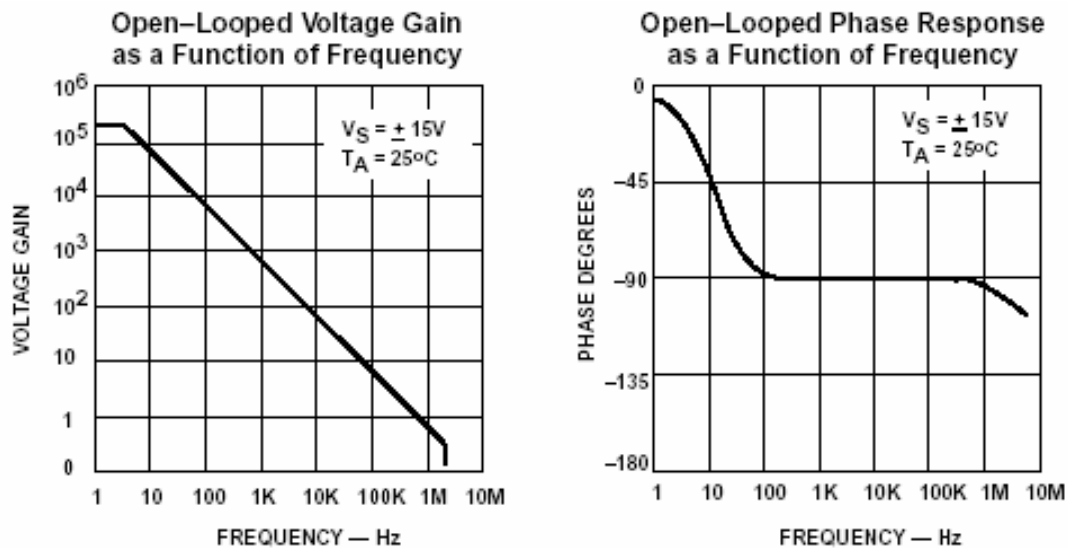
$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	SA741C			UNIT
			Min	Typ	Max	
V_{OS}	Offset voltage	$R_S = 10\text{k}\Omega$		2.0	6.0	mV
$\Delta V_{OS}/\Delta T$		$R_S = 10\text{k}\Omega$, over temp.		10	7.5	mV/ $^\circ\text{C}$
I_{OS}	Offset current	Over temp.		20	200	nA
$\Delta I_{OS}/\Delta T$				200	500	nA/ $^\circ\text{C}$
I_{BIAS}	Input bias current	Over temp.		80	500	nA
$\Delta I_B/\Delta T$				1	1500	nA/ $^\circ\text{C}$
V_{OUT}	Output voltage swing	$R_L = 10\text{k}\Omega$	± 12	± 14		V
		$R_L = 2\text{k}\Omega$, over temp.	± 10	± 13		V
A_{VOL}	Large-signal voltage gain	$R_L = 2\text{k}\Omega$, $V_O = \pm 10\text{V}$	20	200		V/mV
		$R_L = 2\text{k}\Omega$, $V_O = \pm 10\text{V}$, over temp.	15			V/mV
	Offset voltage adjustment range			± 30		mV
PSRR	Supply voltage rejection ratio	$R_S \leq 10\text{k}\Omega$		10	150	$\mu\text{V/V}$
CMRR	Common mode rejection ration		70	90		dB
V_{IN}	Input voltage range	Over temp.	± 12	± 13		V
R_{IN}	Input resistance		0.3	2.0		M Ω
P_d	Power consumption			50	85	mW
R_{OUT}	Output resistance			75		Ω
I_{SC}	Output short-circuit current			25		mA

AC ELECTRICAL CHARACTERISTICS

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, unless otherwise specified.

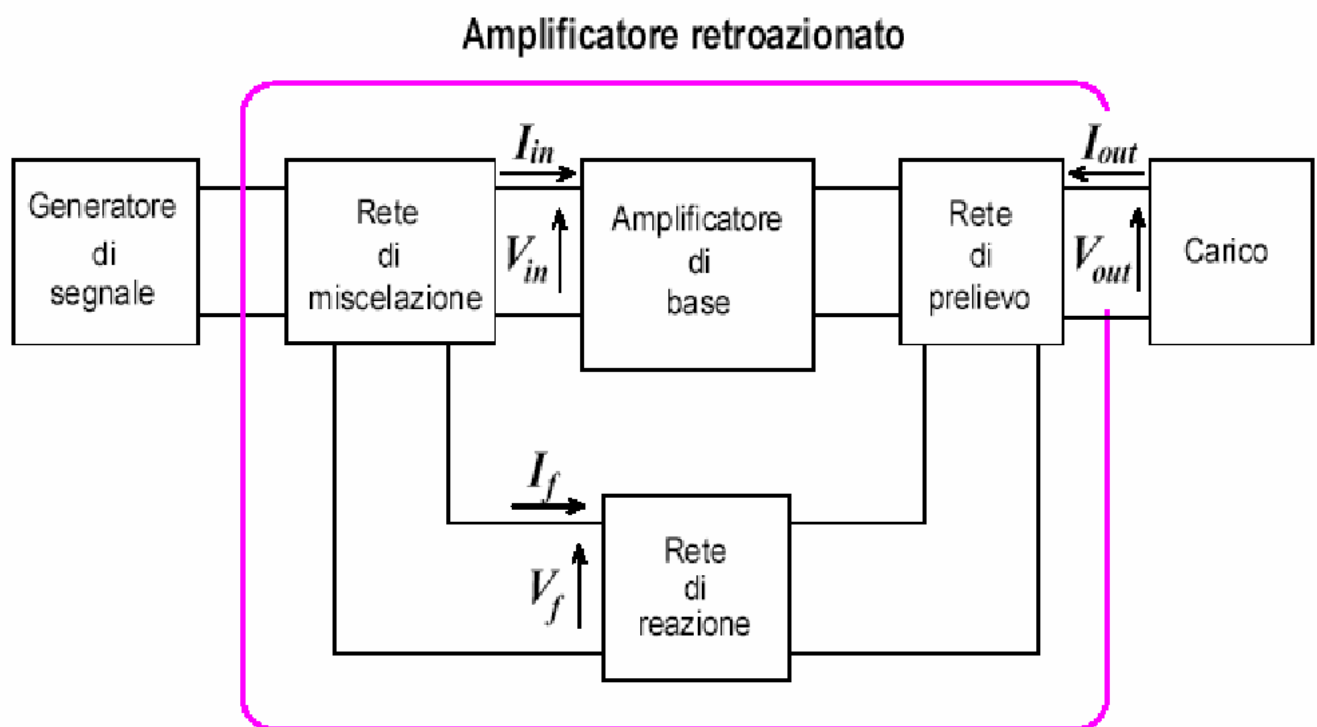
SYMBOL	PARAMETER	TEST CONDITIONS	$\mu A741$, $\mu A741C$			UNIT
			Min	Typ	Max	
R_{IN}	Parallel input resistance	Open-loop, $f = 20\text{Hz}$	0.3			M Ω
C_{IN}	Parallel input capacitance	Open-loop, $f = 20\text{Hz}$		1.4		pF
	Unity gain crossover frequency	Open-loop		1.0		MHz
t_R	Transient response unity gain	$V_{IN} = 20\text{mV}$, $R_L = 2\text{k}\Omega$, $C_L \leq 100\text{pF}$		0.3		μs
	Rise time			5.0		%
SR	Slew rate	$C \leq 100\text{pF}$, $R_L \geq 2\text{k}\Omega$, $V_{IN} = \pm 10\text{V}$		0.5		V/ μs

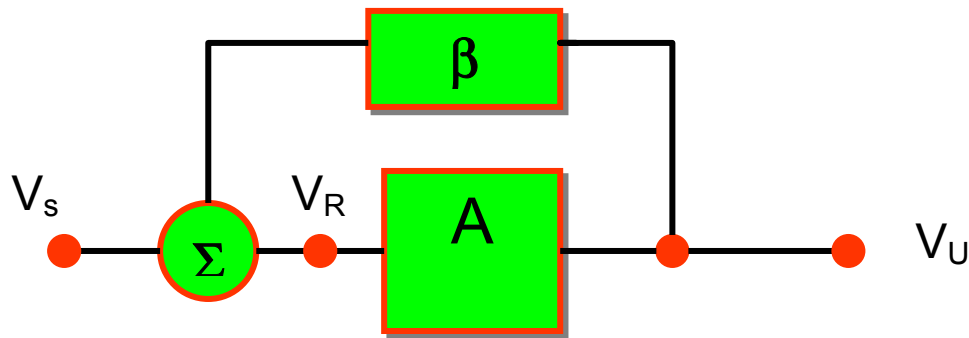


4.2 Richiami su teoria generale reazione

L'amplificatore in figura sottostante è uno schema a blocchi generale di amplificatore reazionato in cui parte del segnale di uscita dell'amplificatore principale (blocco A con guadagno $\gg 1$) viene prelevato e riportato in ingresso tramite una rete di reazione (blocco β , spesso fatta con elementi passivi e quindi con guadagno < 1) a formare insieme al segnale di ingresso l'eccitazione del blocco A stesso. Come riportato di seguito il sistema reazionato ha un guadagno in modulo pari a $1/\beta \rightarrow$ poichè $\beta < 1$ allora $1/\beta$ è maggiore di uno e quindi il sistema reazionato è ancora un amplificatore.

Da notare che la sua stabilità e le sue tolleranze dipendono non da quelle del blocco A ma da quelle del blocco β (e.g. un rapporto di resistenze negli esempi fatti di seguito di amplificatore invertente e non invertente).





$$V_R = V_S + \beta \cdot V_U$$

$$V_U = A \cdot V_R$$

$$V_R = V_S + \beta \cdot A \cdot V_R$$

$$\frac{V_U}{V_S} = \frac{A}{1 - \beta \cdot A}$$

per $\beta \cdot A < 0$ e $|\beta \cdot A| \gg 1$

$$\frac{V_U}{V_S} = \frac{-1}{\beta}$$

4.3 Circuiti con amplificatori operazionali

4.3.1 Comparatore e conversione analogico-digitale

L'amplificatore operazionale senza reazione può essere utilizzato più che per amplificare (sarebbe sempre in saturazione) come comparatore tra un ingresso inviato e.g. sul terminale V^+ ed un segnale di riferimento applicato sul terminale V^- . Ogni qual volta il segnale su V^+ supera il livello di riferimento sul terminale V^- . L'uscita sarà a livello alto (V_{sat}) altrimenti sarà a livello basso ($-V_{sat}$). Difatti un comparatore realizza un semplice convertitore da analogico a digitale con 1 bit di informazione digitale ovvero 2 livelli.

Il principio dell'uso dell'amplificatore operazionale come comparatore viene ampiamente sfruttata nei circuiti di conversione di segnali da analogico a digitale con N bit di uscita digitale. Questo sia in strutture iterative che usano un solo comparatore ed eseguono la conversione a N bit di uscita in più cicli (e.g. convertitori a conteggio o ad approssimazioni successive SAR), sia in strutture massicciamente parallele (e.g. convertitore Flash) dove per produrre in un solo ciclo gli N bit digitali il segnale analogico si confronta con $2^N - 1$ soglie di riferimento tramite $2^N - 1$ comparatori in parallelo. Le $2^N - 1$ soglie si ottengono come partizione su resistenze in serie tra loro uguali di un livello di riferimento V_r .

4.3.2 Metodo Corto Circuito Virtuale (CCV)

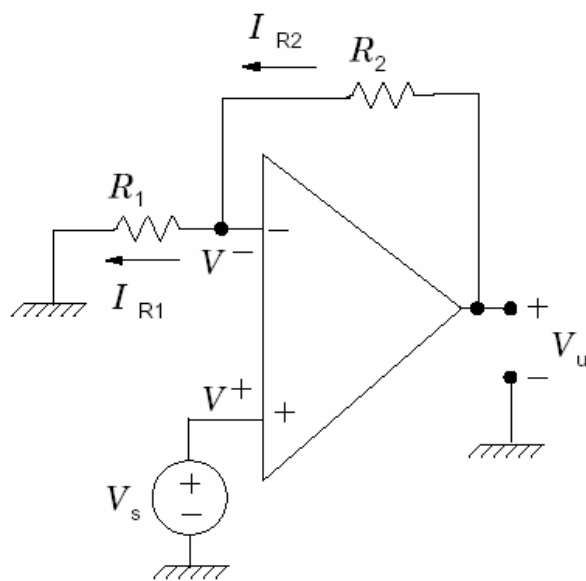
Per realizzare circuiti di elaborazione del segnale quali amplificatori, sommatori, filtri, integratori, derivatori, amplificatori logaritmici o esponenziali, l'amplificatore operazionale viene usato all'interno di uno schema reazionato dove lui realizza il blocco A mentre il blocco β è spesso

realizzato a passivi. Per motivi di stabilità la reazione sarà sempre nei circuiti in esame da uscita a terminale – di amplificatore operazionale (reazione negativa).

In questo caso per studiare il circuito si usa un metodo semplificato, detto del corto circuito virtuale per cui, si considerano nulle le correnti assorbite $I^+ \sim I^- \sim 0$ (del resto R_{in} è molto alta) e tra loro uguali le tensioni sui nodi $V^+ \sim V^-$ (difatti la zona di funzionamento lineare in ingresso è molto stretta a causa dell'elevata amplificazione intrinseca dell'operazionale).

Ovviamente l'uso del metodo del CCV non tiene conto né dei limiti in frequenza degli amplificatori operazionali, né del fatto che se l'uscita supera $+V_{sat}$ o $-V_{sat}$ si perde la linearità e si introducono distorsioni.

4.3.3 Amplificatore non invertente



Per CCV si ha che $V^+ \sim V^- = V_s$ perché V^+ è connesso a V_s . Allora R_1 si trova tra V_s e massa e si ha:

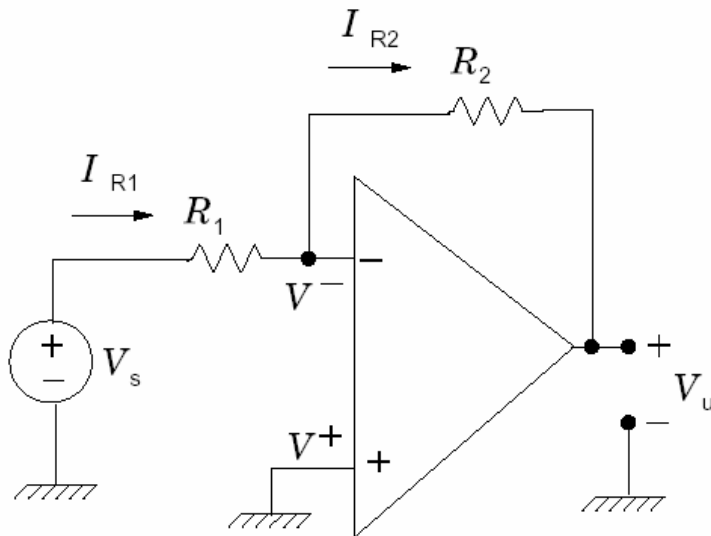
$$I_{R_1} = \frac{V_s}{R_1}.$$

Sempre per CCV $I^- \sim 0$ ma allora per Kirchhoff a nodo V^- si ha che $I_{R_2} = I_{R_1}$
Ma allora si può scrivere che

$$V_u = I_{R_2} R_2 + V_1 = I_{R_1} R_2 + V_s = V_s \left(\frac{R_2}{R_1} + 1 \right)$$

e il guadagno vale $\frac{V_u}{V_s} = \frac{R_2}{R_1} + 1$ (e.g. 11 per $R_2=10 \text{ K}\Omega$ e $R_1=1 \text{ K}\Omega$)

4.3.4 Amplificatore invertente



Per CCV si ha che $V^+ \sim V^- = 0$ perché V^+ è connesso massa. Allora R_1 si trova tra V_s e massa e si ha:

$$I_{R1} = \frac{V_s}{R_1}.$$

Sempre per CCV $I^- \sim 0$ ma allora per Kirchhoff a nodo V^- si ha che $I_{R2} = I_{R1}$
Ma allora si può scrivere che

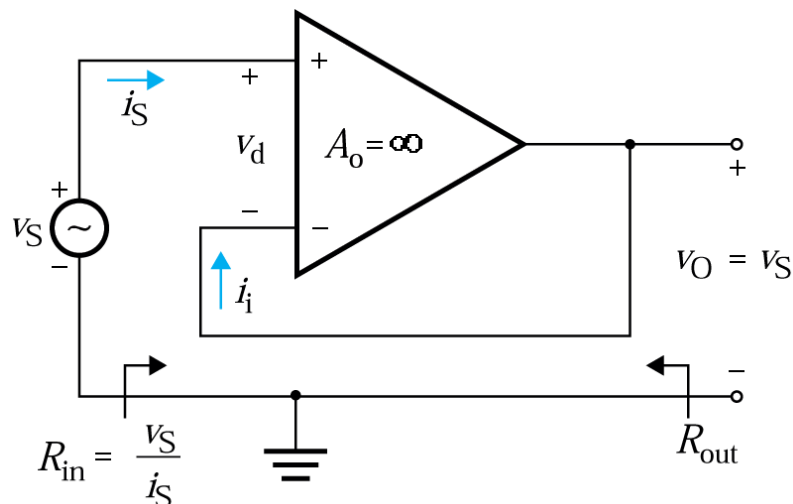
$$V_u = -I_{R2}R_2 + V^- = -I_{R2}R_2 = \frac{-V_s}{R_1}R_2$$

$$A = \frac{V_u}{V_s} = -\frac{R_2}{R_1}$$

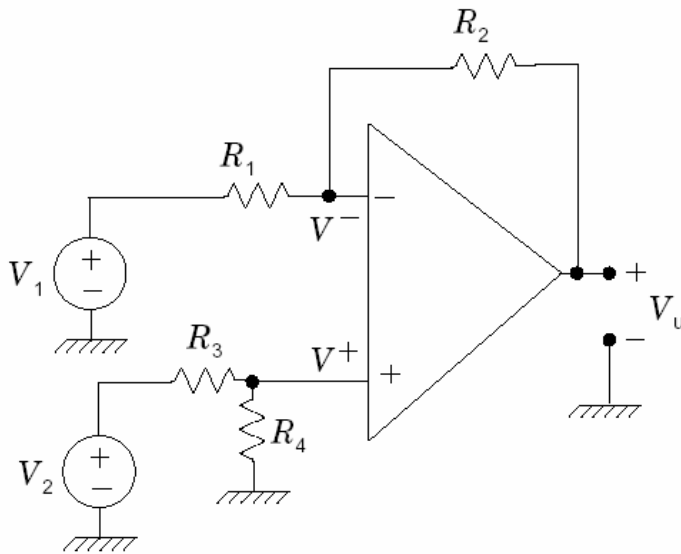
e il guadagno vale (e.g. -10 per $R_2=10\text{ K}\Omega$ e $R_1=1\text{ K}\Omega$)

4.3.5 Buffer

Se nell'amplificatore non invertente si pone $R_2 = 0$ (corto circuito) e si toglie (circuitto aperto) R_1 allora $V_u = V_s$ ovvero guadagno in tensione è unitario ma ho adattatore di impedenza che ha R_{in} molto alta e R_{out} molto bassa.



4.3.6 Amplificatore Differenziale



Applicando la sovrapposizione degli effetti tra V_1 e V_2 si ha che quando agisce V_1 (V_2 disattivata cortocircuitandola) sia ha una configurazione di amplificatore invertente mentre quando agisce V_2 (V_1 disattivata cortocircuitandola) sia ha una configurazione di amplificatore non invertente con anche partizione di V_2 tra R_4 ed R_3 . Sommando i due contributi si ha

$$V_u = -V_1 \frac{R_2}{R_1} + \frac{V_2 R_4}{R_3 + R_4} \left(\frac{R_2}{R_1} + 1 \right) = -V_1 \frac{R_2}{R_1} + \frac{V_2 R_4}{R_3 + R_4} \frac{R_2 + R_1}{R_1}$$

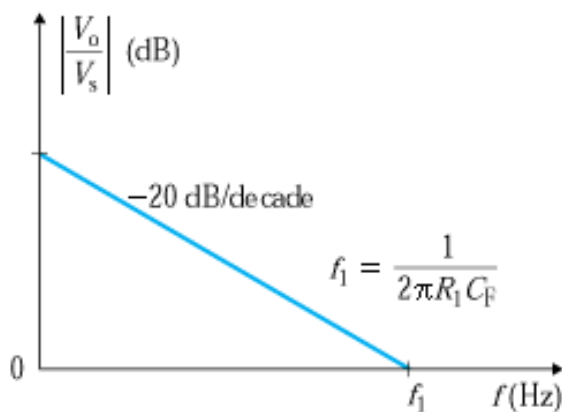
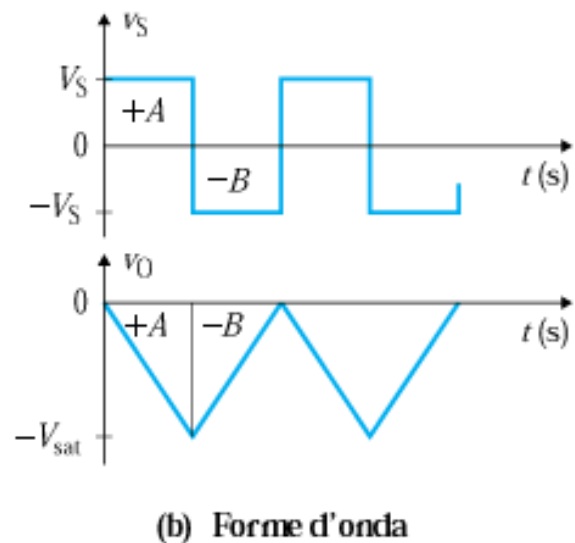
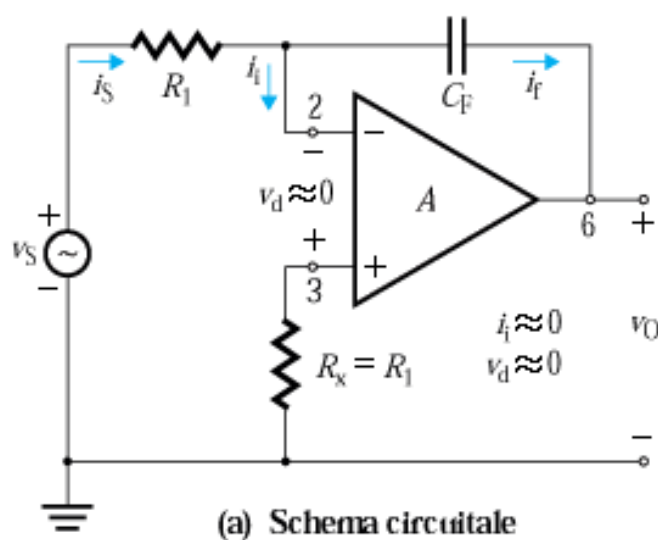
Scegliendo senza vincoli le resistenze si avrebbe la differenza pesata tra V_1 e V_2 con pesi (ovvero fattori di amplificazione differenti). SE invece le resistenze si scelgono tali che $R_4/R_3 = R_2/R_1$ I pesi coincidono e si ha

$$\begin{aligned} V_u &= -V_1 \frac{R_2}{R_1} + V_2 \frac{R_4}{R_3} \frac{R_3}{R_3 + R_4} \frac{R_2 + R_1}{R_1} \\ &= -V_1 \frac{R_2}{R_1} + V_2 \frac{R_2}{R_1} = \frac{R_2}{R_1} (V_2 - V_1). \end{aligned}$$

4.3.7 Integratore

Difatti la configurazione è quella di un amplificatore invertente con impedenza C_f invece di resistenza R_2 . Si avrà pertanto un polo nell'origine con diagramma di Bode di ampiezza riportato in figura (C). Ciò corrisponde nel dominio del tempo ad un integratore invertente.

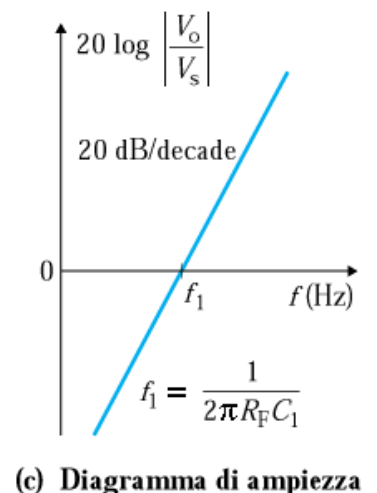
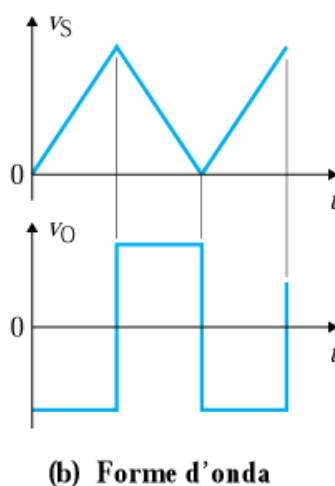
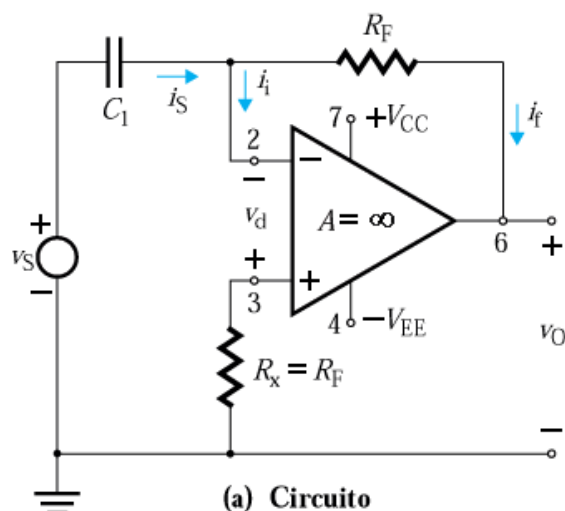
Si riporta ad esempio anche la forma d'onda di uscita (di tipo triangolare) in seguito all'applicazione in ingresso di un onda quadra.



4.3.8 Derivatore

Difatti la configurazione è quella di un amplificatore invertente con impedenza C_1 invece di resistenza R_1 . Si avrà pertanto uno zero nell'origine con diagramma di Bode di ampiezza riportato in figura (C). Ciò corrisponde nel dominio del tempo ad un derivatore invertente.

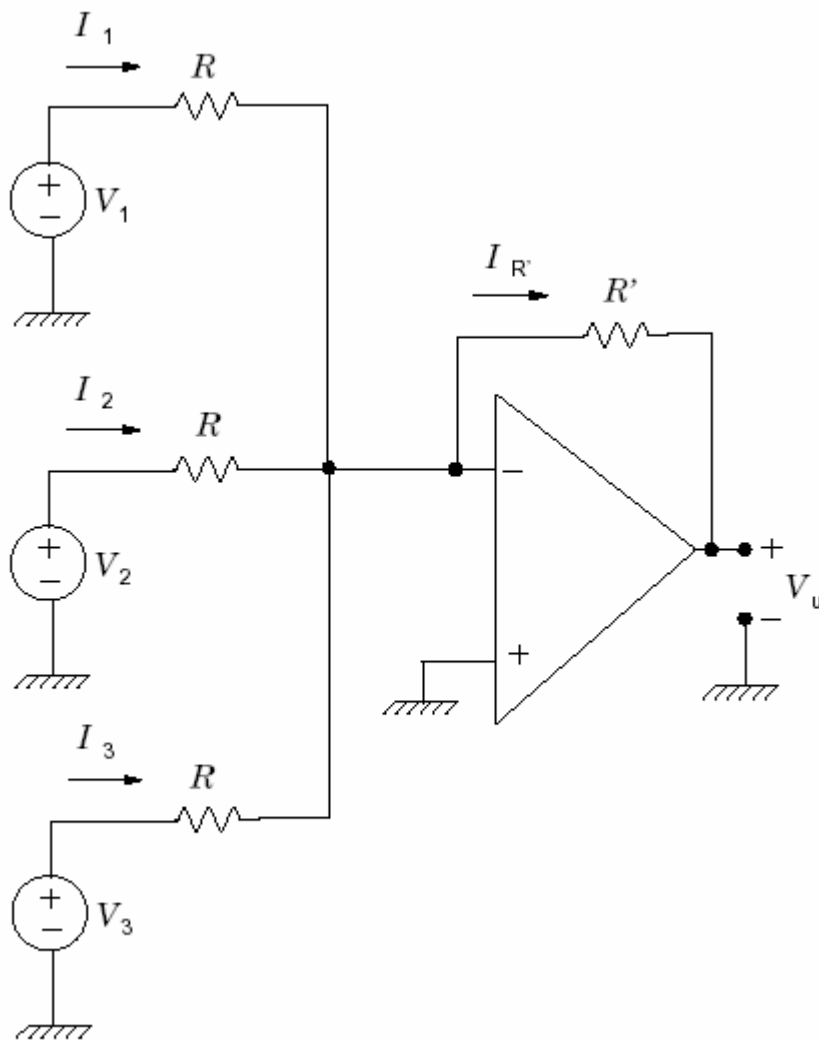
Si riporta ad esempio anche la forma d'onda di uscita (onda quadra) in seguito all'applicazione in ingresso di un onda triangolare.



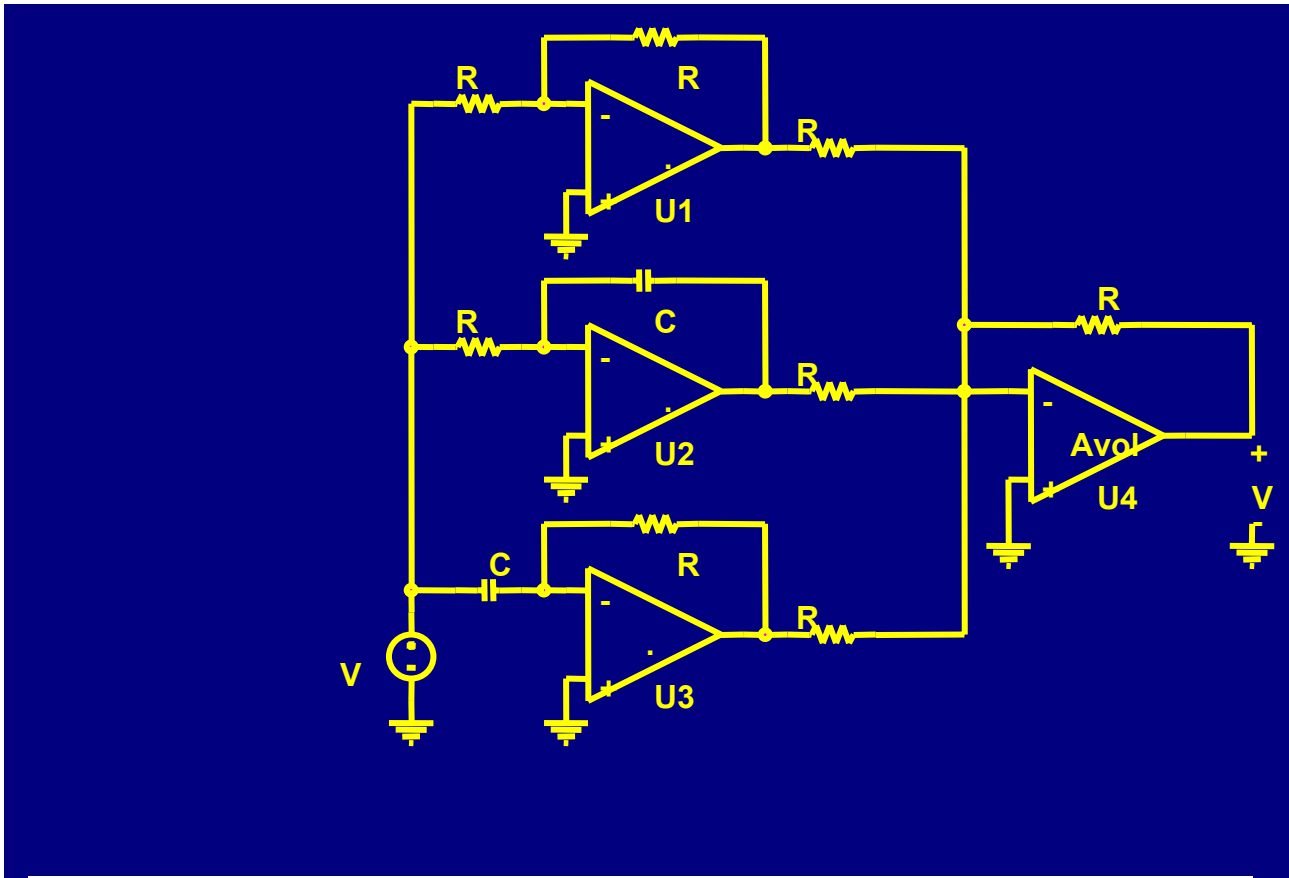
4.3.9 Sommatore invertente

Applicando principio di sovrapposizione tra i vari generatori si ha che quando agisce uno e gli altri sono disattivati, il generatore in azione vede una configurazione di amplificatore non invertente. Sommando i vari contributi si ha in uscita una somma pesata con pesi che dipendono dai valori delle resistenze ed un segno meno per tutti (recuperabile con un altro stadio invertente in cascata). Nel caso in esempio le resistenze in serie ai generatori valgono tutte R e quindi il peso è uguale per tutti.

$$V_u = -\frac{R'}{R}(V_1 + V_2 + V_3)$$



4.3.10 Controllore PID Proporzionale Integrale Derivativo

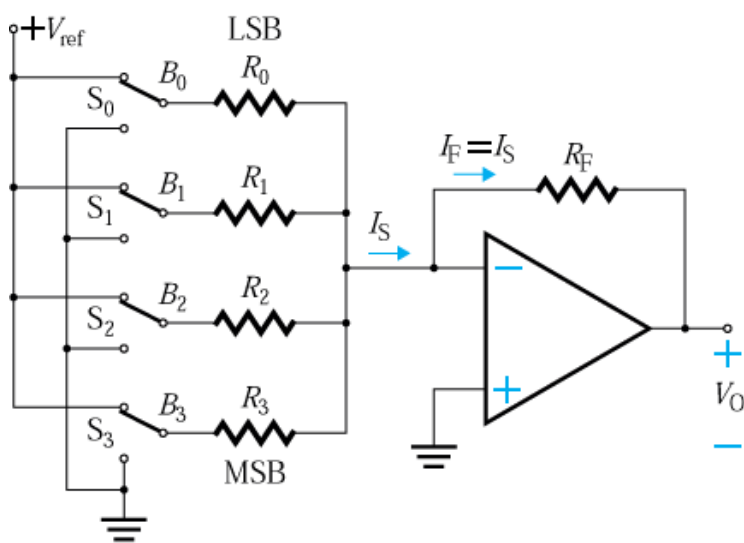


$$v_U(t) = \frac{R_K}{R_1} \cdot \frac{R_B}{R_A} \cdot V_S + \frac{R_K}{R_2} \cdot \frac{1}{R_I C_I} \int v_S(t) \cdot dt + \frac{R_K}{R_3} R_D C_D \cdot \frac{dv_S}{dt}$$

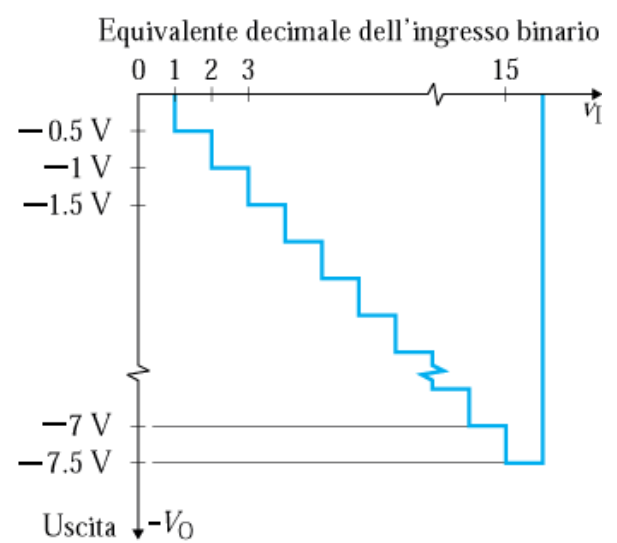
4.3.11 Convertitore digitale-analogico a resistenze pesate

Difatti un sommatore pesato è alla base della conversione da un segnale digitale ad uno analogico equivalente. Infatti basta far corrispondere ai vari bit dei livelli analogici dai pesi tali che, andando dal bit più significativo (MSB) al bit meno significativo (LSB), il peso di ciascun bit via via diminuisce di un fattore 2 (questo perché siamo in scala binaria ed usiamo una notazione posizionale delle cifre; in scala decimale si ha fattore 10 invece che 2). Per cui nel circuito di esempio a 4 bit deve essere $R_2=2 \cdot R_3$, $R_1=2 \cdot R_2=4 \cdot R_3$, $R_0=2 \cdot R_1=8 \cdot R_3$

Ovviamente il peso del bit i -esimo va contato solo se tale bit vale '1' in digitale. Per questo in serie a ogni ramo del sommatore invertente si mette uno switch comandato dal valore logico del bit (1 \rightarrow switch è a V_{ref} , 0 \rightarrow switch è a massa). Di seguito si riporta la legge di corrispondenza tra livelli digitali di ingresso e livelli analogici di uscita.



(a) Circuito



(b) Tensione di uscita

4.3.12 Convertitore digitale-analogico a rete R-2R

Tale circuito realizza lo stesso meccanismo del circuito in sezione 5.2.10 ma evita il difetto che tra la resistenza più piccola e la più grande vi è un fattore $2^{(N-1)}$ inaccettabile già per N della decina. Lo schema di seguito riportato usa una rete resistiva con rapporti fissi R e $2R$.

Come visto a lezione da D si vede in uscita vede un peso $1/3$, da C si vede un peso $1/6$, da B si vede un peso $1/12$ e da A si vede un peso $1/24$. Pertanto a partire dal bit più significativo a_3 (MSB), che si applica in D, ogni bit rispetto al successivo pesa il doppio.

