

СОДЕРЖАНИЕ

Введение	3
1.1 Структура проектируемой СНК	4
1.2 Практическая часть	5
Заключение	8

ВВЕДЕНИЕ

Цель работы: Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы студенты ознакомятся с принципами построения систем на кристалле (СНК) на основе ПЛИС, получат навыки проектирования СНК в САПР Altera Quartus II, выполнят проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Система на кристалле (SoC, СНК) — это функционально законченная электронная вычислительная система, состоящая из одного или нескольких микропроцессорных модулей, а также системных и периферийных контроллеров, выполненная на одном кристалле. Такая тесная интеграция компонентов системы позволяет достичь высокого быстродействия при построении специализированных ЭВМ.

1.1 Структура проектируемой СНК

Перед тем, как приступить к практической части, было описано предназначение основных блоков СНК:

- 1) Микропроцессорное ядро Nios II/е выполняет функции управления системой.
- 2) Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.
- 3) Системная шина Avalon обеспечивает связность всех компонентов системы.
- 4) Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе.
- 5) Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.
- 6) Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

Ниже, на рисунке 1.1 приведена структура проектируемой системы на кристалле.

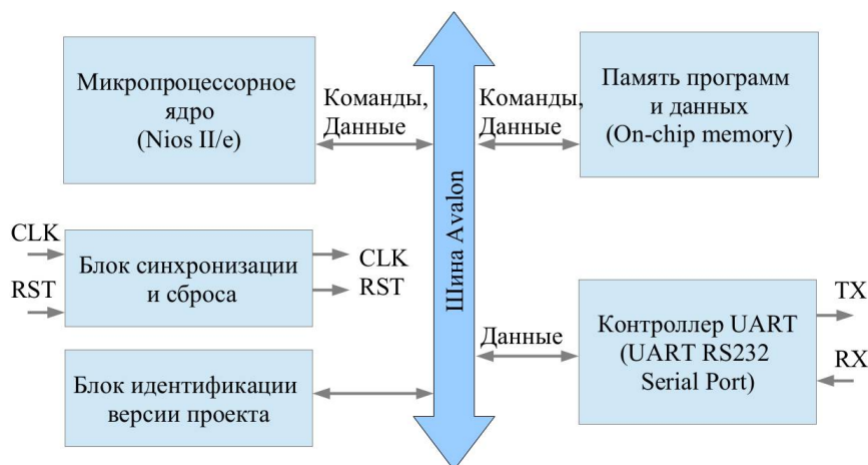


Рисунок 1.1 — Функциональная схема разрабатываемой системы на кристалле

Для данной работы процесс верификация системы подразумевает написание программы, запрашивающей SystemID и выводящей его в отладочную консоль. В данном случае SystemID указывался при добавлении в проект блока идентификации (См. рисунок 1.2).

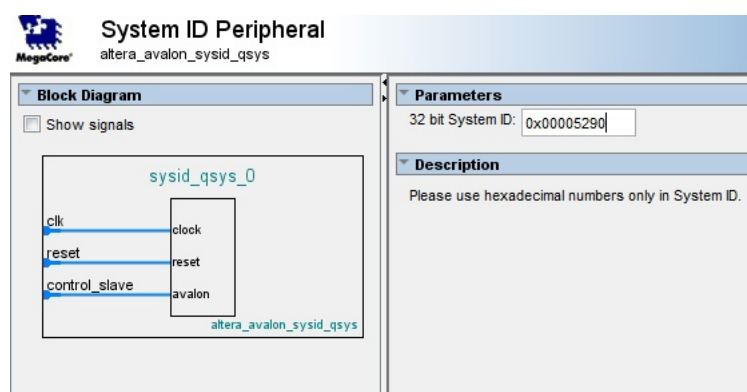


Рисунок 1.2 — Задание SystemID

1.2 Практическая часть

После ознакомления со структурой была сконструирована СНК с помощью средства проектирования систем на кристалле Altera Qsys, созданный в соответствии с методическими указаниями. Ниже, на рисунке 1.3 приведен результат проектирования, а также таблица распределения адресов модулей СНК.

System Contents	Address Map	Clock Settings	Project Settings	Instance Parameters	System Inspector	HDL Example	Generation				
Use	Connections	Name	Description	Export	Clock	Base	End	IRQ			
<input checked="" type="checkbox"/>		clk_0	Clock Source								
		clk_in	Clock Input	clk							
		clk_in_reset	Reset Input	reset							
		clk	Clock Output	Click to export	clk_0						
		clk_reset	Reset Output	Click to export							
<input checked="" type="checkbox"/>		nios2_qsys_0	Nios II Processor								
		clk	Clock Input	Click to export	clk_0						
		reset_n	Reset Input	Click to export	[clk]						
		data_master	Avalon Memory Mapped Master	Click to export	[clk]						
		instruction_master	Avalon Memory Mapped Master	Click to export	[clk]						
		jtag_debug_module_re...	Reset Output	Click to export	[clk]						
		jtag_debug_module	Avalon Memory Mapped Slave	Click to export	[clk]						
		custom_instruction_m...	Custom Instruction Master	Click to export	[clk]	0x00008800	0x00008fff				
<input checked="" type="checkbox"/>		onchip_memory2_0	On-Chip Memory (RAM or ROM)								
		clk1	Clock Input	Click to export	clk_0						
		s1	Avalon Memory Mapped Slave	Click to export	[clk1]	0x00004000	0x00006003				
		reset1	Reset Input	Click to export	[clk1]						
<input checked="" type="checkbox"/>		sysid_qsys_0	System ID Peripheral								
		clk	Clock Input	Click to export	clk_0						
		reset	Reset Input	Click to export	[clk]						
		control_slave	Avalon Memory Mapped Slave	Click to export	[clk]	0x00009048	0x0000904f				
<input checked="" type="checkbox"/>		uart_0	UART (RS-232 Serial Port)								
		clk	Clock Input	Click to export	clk_0						
		reset	Reset Input	Click to export	[clk]						
		s1	Avalon Memory Mapped Slave	Click to export	[clk]	0x00009020	0x0000903f				
		external_connection	Conduit Endpoint	uart0							

Рисунок 1.3 — Модуль в QSYS и таблица распределения адресов

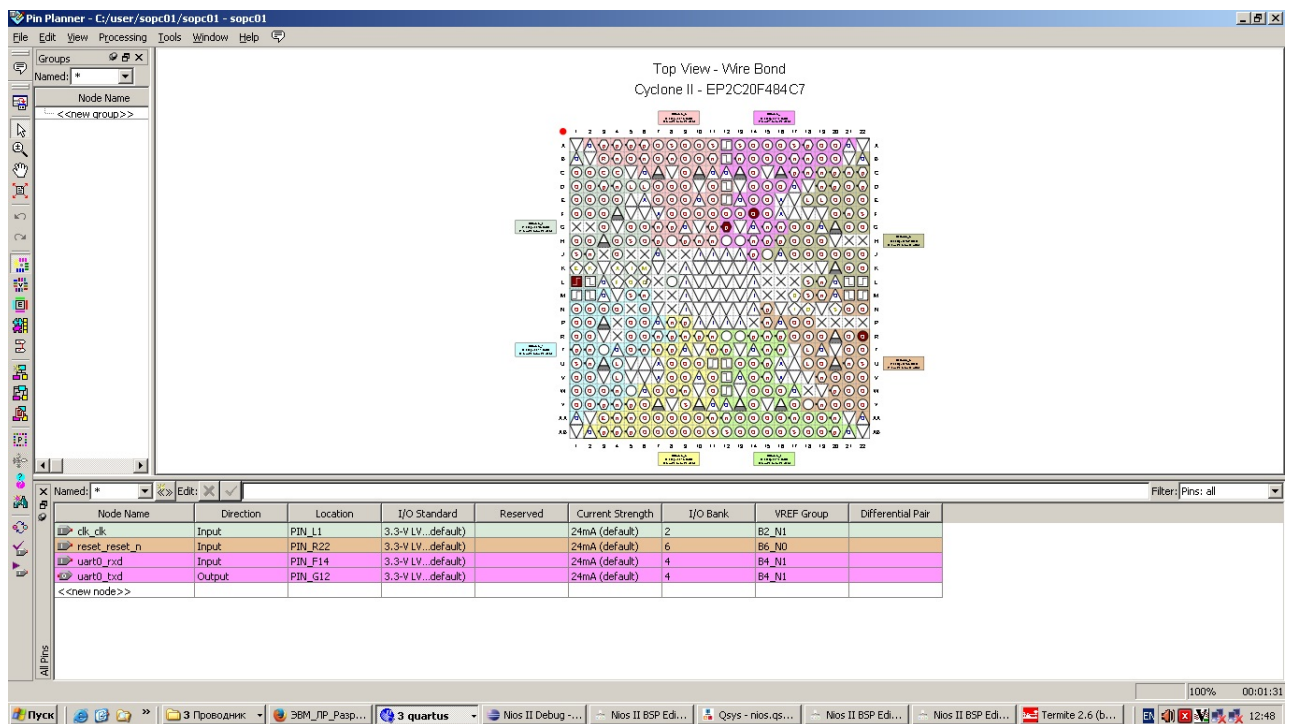


Рисунок 1.4 — Pin planner

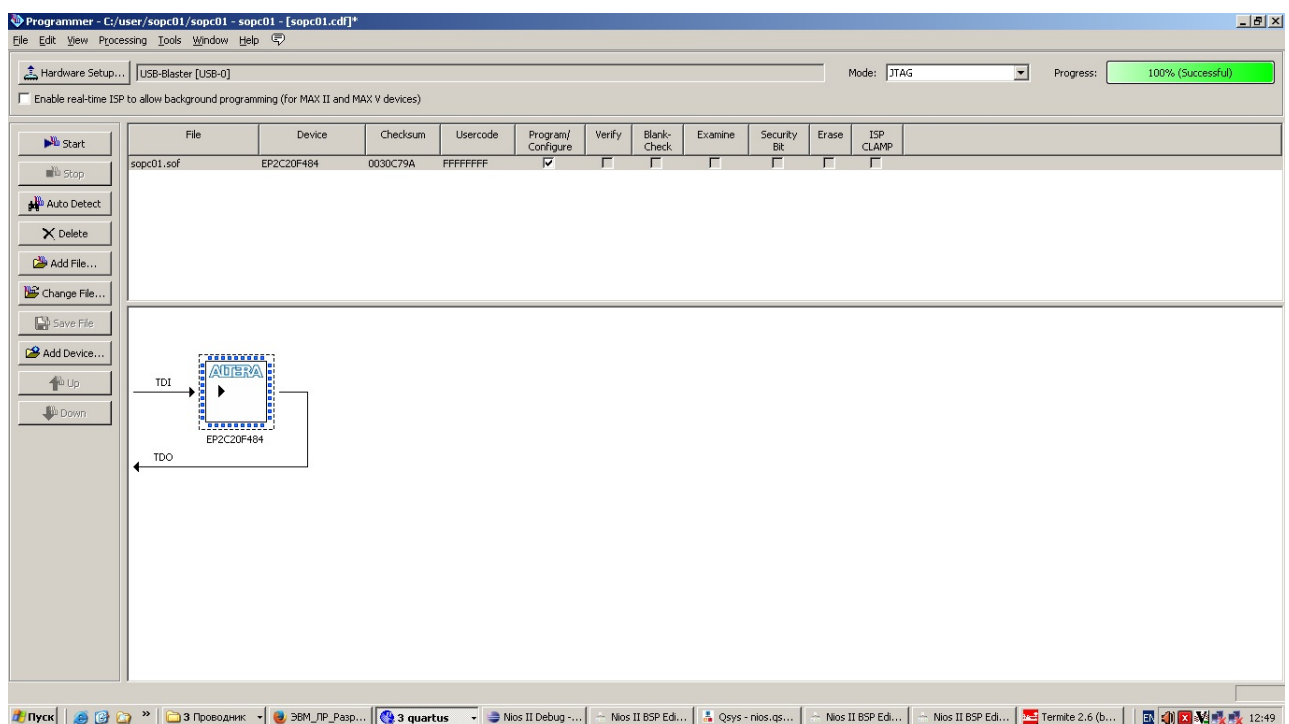
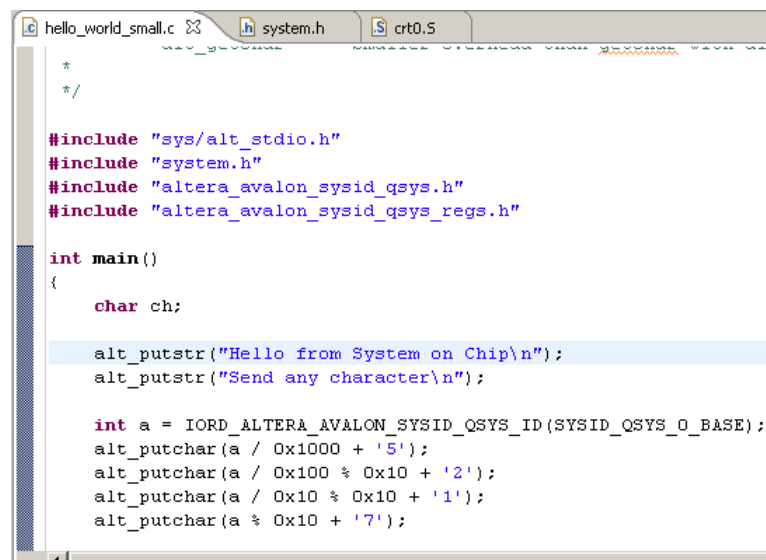


Рисунок 1.5 — Programmer

Для верификации системы была написана программа в среде разработки Nios II Software Build Tools for Eclipse для отображения значения SystemID.

После этого к компьютеру со средой Quartus II была подключена плата Altera Cyclon II FPGA Started Board. После настройки соединения была запущена на ней программа.

Ниже, на рисунках 1.6-1.7 приведены код и результаты работы программы.



```
hello_world_small.c  system.h  crt0.5

/*
 */

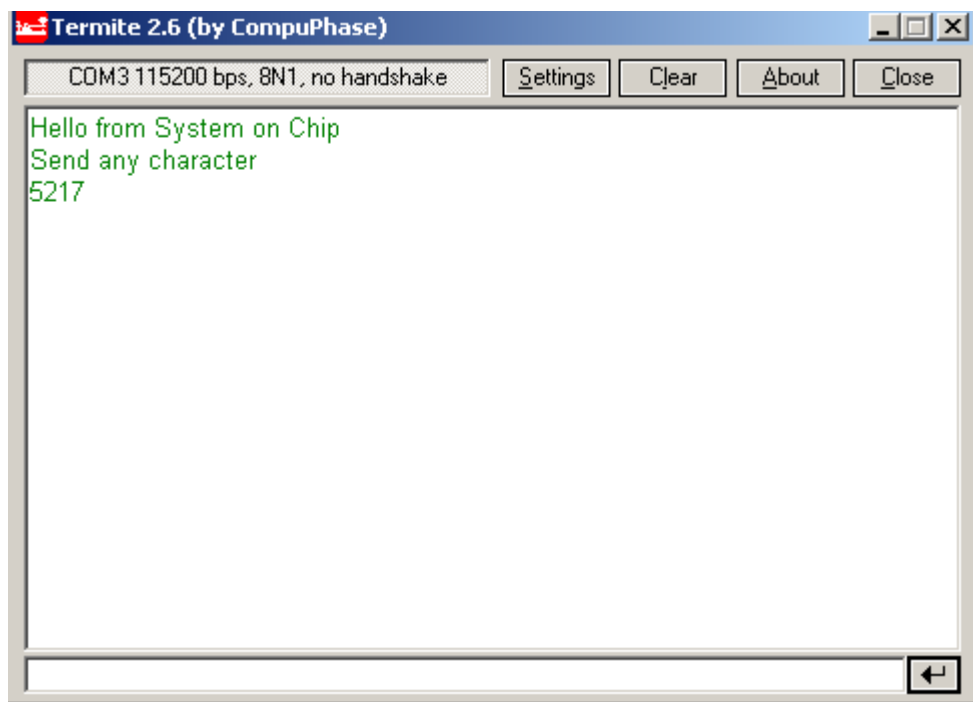
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"

int main()
{
    char ch;

    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");

    int a = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_O_BASE);
    alt_putchar(a / 0x1000 + '5');
    alt_putchar(a / 0x100 % 0x10 + '2');
    alt_putchar(a / 0x10 % 0x10 + '1');
    alt_putchar(a % 0x10 + '7');
```

Рисунок 1.6 — Код программы



Terminate 2.6 (by CompuPhase)

COM3 115200 bps, 8N1, no handshake [Settings] [Clear] [About] [Close]

Hello from System on Chip
Send any character
5217

Рисунок 1.7 — Пример работы программы

ЗАКЛЮЧЕНИЕ

В итоге, было спроектировано СНК в САПР Altera Quartus II и выполнено его "тестирование" с использованием созданной в рамках лабораторной работы программы.

Таким образом все поставленные задачи решены, цель работы достигнута.