

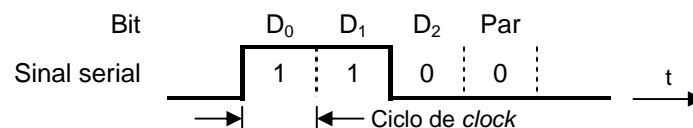
Circuitos Digitais

Preparatório 07

1. Registradores de deslocamento podem ser utilizados para estabelecer comunicação serial entre um transmissor e um receptor. O transmissor (um conversor paralelo-série) recebe o dado de 3 bits a ser transmitido e o envia serialmente ao receptor (um conversor série-paralelo).

Uma preocupação necessária é a verificação de erros, que pode ser implementada de forma simples com a geração de um bit de paridade. O bit de paridade é determinado através da quantidade de 1's do dado de 3 bits. Se esta quantidade for ímpar a paridade é igual a 1, caso contrário é igual a 0.

Construa um sistema de transmissão serial que transmita um dado de 3 bits e seu bit de paridade no final da seqüência, conforme mostrado na figura abaixo para transmitir o número 3_{10} (011_2).



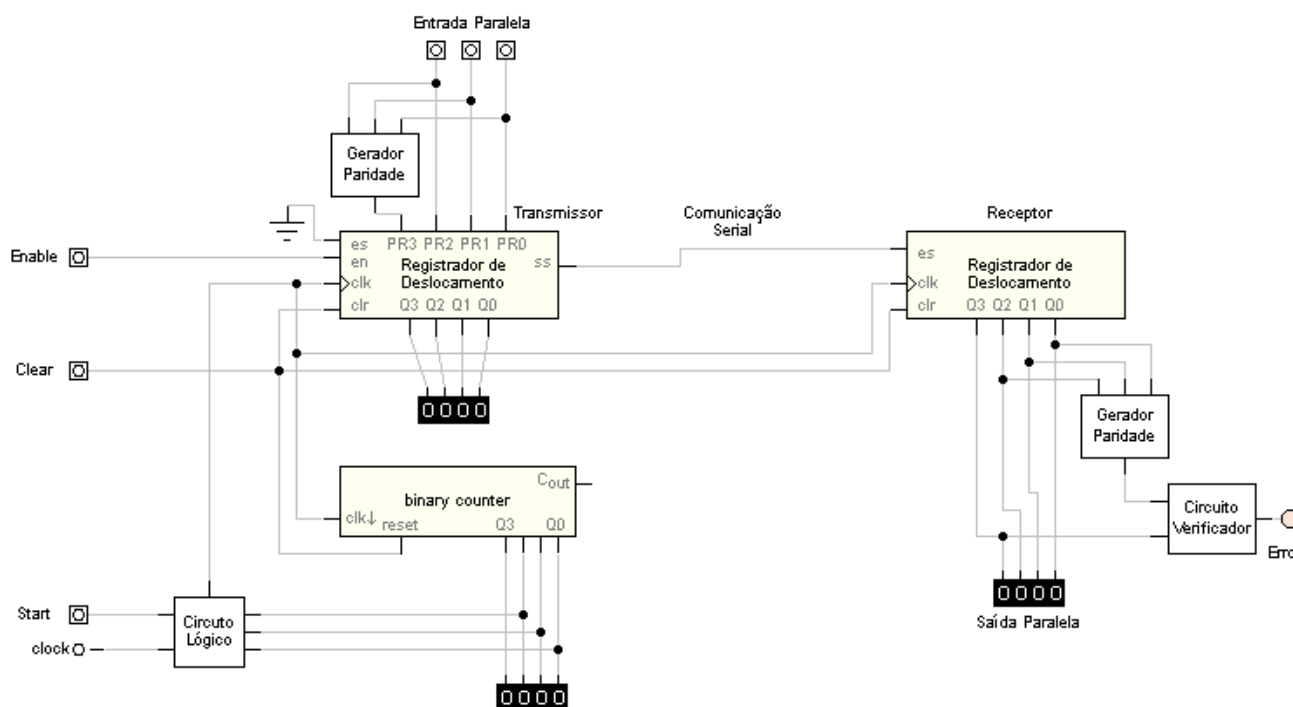
Observe que o sinal antes e após a transmissão fica em nível lógico 0.

O receptor deverá verificar se o sinal recebido está correto, usando o bit de paridade (Par).

Considere que a carga paralela nas saídas dos flip-flops do Conversor Paralelo-Série deverá ser feita manualmente (habilitação do *clear* e em seguida do *enable*), sendo que os pulsos de *clock* somente deverão ser aplicados aos registradores de deslocamento após habilitação de um botão de *start*.

Utilizando um circuito contador dos pulsos de *clock*, aplicados aos registradores de deslocamento, construa um **circuito lógico** que pare o fornecimento de *clock* aos registradores, quando o dado de 3 bits mais a paridade, recebidos serialmente, estiverem apresentados na saída paralela do receptor (veja figura abaixo). Uma saída deverá mostrar se existe erro ou não no dado recebido.

Todo o projeto do circuito lógico deve ser descrito. Desenhe as formas de onda do *clear*, *enable*, *clock*, *start*, *clock* dos registradores (saída do circuito lógico) e saída do contador, para auxiliar no desenvolvimento do projeto. Todos os circuitos deverão ser simulados no Digital Works, utilizando macros.



Observe que os sinais de *preset* e *clear* dos flip-flops JK e D do Digital Works são ativos em 1 (nível alto). A atualização da saída Q do flip-flop JK do Digital Works ocorre na **descida** de *clock* e do flip-flop D ocorre na **subida** de *clock*.

Conteúdo do Preparatório:

- Capa (disciplina, preparatório, turma, nome, data) (0,5 p^{tos});
- Formas de onda (2,5 p^{tos});
- Tabelas da verdade (1,5 p^{tos});
- Simplificações lógicas (mapas de Karnaugh) (1,5 p^{tos});
- Desenho do circuito teórico (baseado nas simplificações obtidas) (1,5 p^{tos});
- Definição das entradas e saídas (0,5 p^{tos});
- Simulação (apresentar simulação no *Digital Works*, anexando o circuito lógico impresso, contendo a pinagem dos *chips* utilizados) (2,0 p^{tos}).

Observações:

- A construção do preparatório é individual e de próprio punho, com exceção da capa e da simulação;
- Pontuação relacionada à montagem do preparatório no laboratório:
 - . Montagem não efetuada: 25% da nota do preparatório (ou da saída correspondente);
 - . Montagem efetuada, porém funcionamento incorreto: 50% da nota do preparatório (ou saída correspondente).