

# Elementos de Sistemas

Lógica combinacional  
VHDL

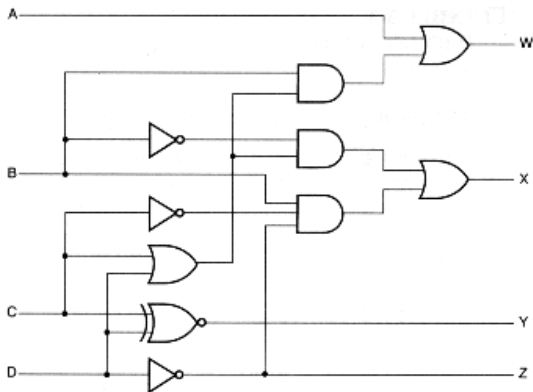
Renan Trevisoli

Engenharia da Computação

13/09/2023

# Lógica combinacional

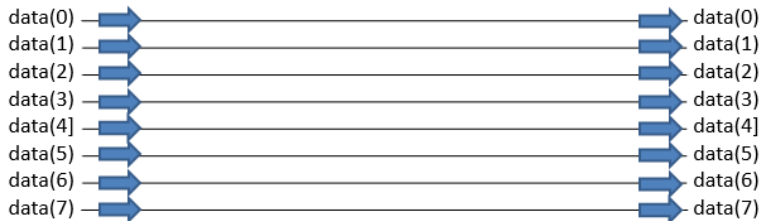
A saída de um circuito depende só de suas entradas, ou seja, a lógica não tem memória.



<sup>1</sup>[http://faculty.kfupm.edu.sa/COE/ashraf/RichFilesTeaching/COE043\\_200/Chapter3Parts1\\_files/3-circuit.gif](http://faculty.kfupm.edu.sa/COE/ashraf/RichFilesTeaching/COE043_200/Chapter3Parts1_files/3-circuit.gif)

# Barramento

- Diversas linhas de comunicação, para a transmissão de vários bits ao mesmo tempo.
- Barramentos normalmente são de: 8, 16, 32 ou 64 bits.



## And 16 bits



<b>A</b>	0	1	1	0	1	0	0	1	0	0	0	1	1	0	1	0
<b>B</b>	1	0	1	1	0	1	1	1	0	0	1	1	1	1	0	0
<b>Q</b>	0	0	1	0	0	0	0	1	0	0	0	1	1	0	0	0

# Dispositivos Lógicos Programáveis

FPGAs são dispositivos lógico programáveis. Neles é possível descrever como o hardware vai se comportar.



# Linguagens de Descrição de Hardware

- VHDL (VHSIC (Very High Speed Integrated Circuits) Hardware Description Language): originalmente desenvolvida sob o comando do Departamento de Defesa (DoD) dos Estados Unidos (DARPA), atualmente padronizada pela IEEE 1076-2008.
- Verilog: padronizada na IEEE 1364-2005, é uma linguagem de descrição de hardware de domínio público subordinada Accellera.

# Entidades VHDL

As entidades possuem:

- Um cabeçalho
- Uma definição
- Uma arquitetura

# Entidades VHDL

As entidades possuem:

- Um cabeçalho

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;
```

- Uma definição
- Uma arquitetura



# Entidades VHDL

As entidades possuem:

- Um cabeçalho
- Uma definição

```
entity NOME_DA_ENTIDADE is  
  port (  
    nome_do_sinal1: modo tipo;  
    nome_do_sinaln: modo tipo);  
end entity;
```

- Uma arquitetura

# Entidades VHDL

As entidades possuem:

- Um cabeçalho
- Uma definição
- Uma arquitetura

```
architecture nome_arquitetura of nome_entidade  
declarações;  
begin  
operações;  
end nome_arquitetura;
```

# Exemplo

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity chip_not is
    port (
        a : in  STD_LOGIC;
        q : out STD_LOGIC);
end entity;

architecture arch_not of chip_not is
begin
    q <= not a;
end architecture;
```

# Próxima aula

- Estudar: Teoria → Componentes
- Estudar: VHDL → Básico