

Elementos de Sistemas

Álgebra Booleana

Renan Trevisoli

Engenharia da Computação

17/02/2023

*Tais coisas simples, e nós fazemos delas algo tão complexo que nos derrota, quase.
Such simple things, and we make of them something so complex it defeats us, almost.
John Ashbery (1927) poeta americano*

Objetivos

- Simplificar de Expressões Booleanas.
- Criar representações canônicas.
- Fazer mapas de Veitch-Karnaugh.

Álgebra Booleana

- Propriedades

| | |
|---------------------------|---|
| Lei da identidade | $A = A$ $\overline{A} = \overline{A}$ |
| Lei da comutatividade | $A \cdot B = B \cdot A$ $A + B = B + A$ |
| Lei da associatividade | $A \cdot (B \cdot C) = (A \cdot B) \cdot C$ $A + (B + C) = (A + B) + C$ |
| Lei da idempotência | $A \cdot A = A$ $A + A = A$ |
| Lei do complemento duplo | $A = \overline{\overline{A}}$ |
| Lei da complementariedade | $A \cdot \overline{A} = 0$ $A + \overline{A} = 1$ |
| Lei da intersecção | $A \cdot 1 = A$ $A \cdot 0 = 0$ |
| Lei da união | $A + 1 = 1$ $A + 0 = A$ |
| Lei da distributividade | $A \cdot (B + C) = (A \cdot B) + (A \cdot C)$ $A + (B \cdot C) = (A + B) \cdot (A + C)$ |
| Teorema de DeMorgan | $\overline{AB} = \overline{A} + \overline{B}$ $\overline{A + B} = \overline{A} \cdot \overline{B}$ |
| Absorção | $A + A \cdot B = A$ $A \cdot (A + B) = A$ |
| | $A + \overline{A} \cdot B = A + B$ $A \cdot (\overline{A} + B) = A \cdot B$ |

Exemplo

- Simplifique as expressões abaixo:

Ⓐ $\bar{A} \cdot \bar{B} + \bar{A}B$

Ⓑ $\bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C}$

Ⓒ $(A + B + C)(\bar{A} + \bar{B} + C)$

- Prove que: $A + \bar{A}B = A + B$

Exemplo

- Simplifique a tabela verdade usando mapa de Karnaugh:

| A | B | C | D | Q |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

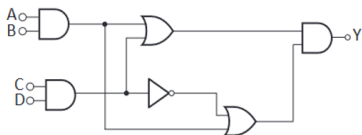
Exemplo

- Simplifique a tabela verdade usando mapa de Karnaugh:

| A | B | C | D | Q |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Questão ENADE

- Um sistema de tempo real satisfaz explicitamente restrições de tempo de resposta, podendo ter consequências como riscos ou falhas caso não cumpra essas restrições. O circuito lógico a seguir faz parte de um sistema de tempo real que realiza o acionamento de um alarme. Nesse circuito existem vários atrasos de propagação do sinal, que por sua vez geram atrasos no acionamento do alarme. Na forma como a lógica está implementada, o circuito não atende o requisito de tempo real especificado pelo sistema. Para cada porta lógica utilizada, os atrasos típicos, em unidades de tempo (u.t.), são dados na tabela.



| Porta | Atraso (u.t.) |
|-------|---------------|
| AND | 3 |
| OR | 4 |
| NOT | 1 |

Após a simplificação do circuito, o menor tempo possível para o acionamento do alarme é de

- a) 9 u.t. b) 10 u.t. c) 3 u.t. d) 4 u.t. e) 6 u.t.

Próxima aula

- Estudar: Teoria → Lógica CMOS
- Estudar: Teoria → Resistor-Transistor Logic (RTL)