



## Ψηφιακά Συστήματα VLSI

### 5η Εργαστηριακή Άσκηση

#### Υλοποίηση FIR φίλτρου με AXI διεπαφή σε ZYNQ SoC FPGA

#### ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ SoC FPGA

Στα πλαίσια αυτή της εργαστηριακής άσκησης καλείστε να προγραμματίσετε την αναπτυξιακή πλακέτα ZYBO, ώστε να υλοποιεί ένα FIR φίλτρο, στο οποίο τα δεδομένα εισόδου θα αποστέλλονται από τον ενσωματωμένο επεξεργαστή (ARM) προς το FPGA για επεξεργασία, και αντίστροφα για τα αντίστοιχα αποτελέσματα. Η επικοινωνία επεξεργαστή-FPGA θα βασίζεται στο πρωτόκολλο AXI. Η υλοποίηση του συστήματος χωρίζεται στα παρακάτω βήματα:

- 1) Εισαγωγή του ZYNQ Processing System (PS).
- 2) Εισαγωγή της **AXI4-Lite** διεπαφής στο FPGA (PL) για την πραγματοποίηση της επικοινωνίας ARM-FPGA.
- 3) Διασύνδεση του PS με PL.
- 4) Σύνθεση και υλοποίηση του συστήματος και παραγωγή του bitstream αρχείου.
- 5) Εξαγωγή της περιγραφής του συστήματος και δημιουργία της εφαρμογής.
- 6) Προγραμματισμός του ZYNQ SoC FPGA και εκτέλεση της εφαρμογής.

#### ΕΦΑΡΜΟΓΗ

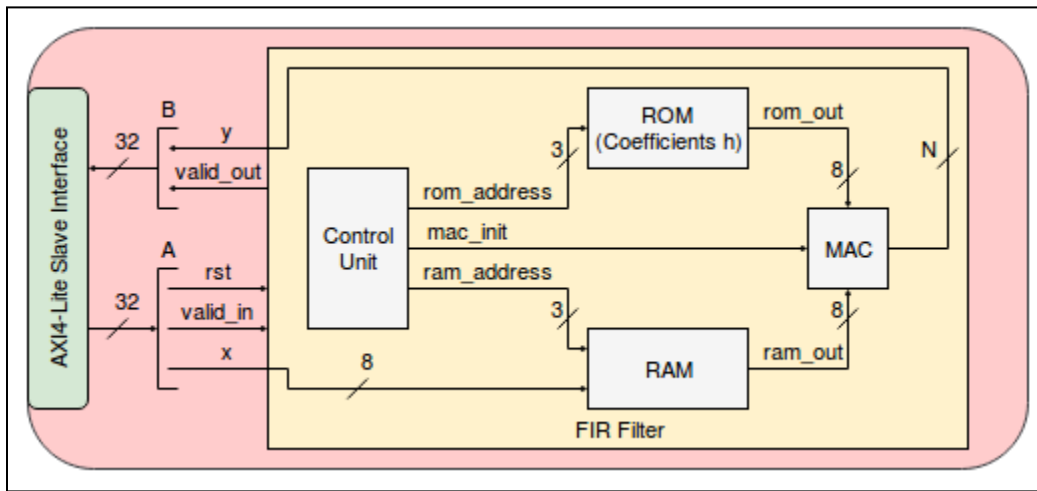
Στη γενική περίπτωση, η σχέση εισόδου - εξόδου ενός FIR φίλτρου είναι η ακόλουθη :

$$y[n] = \sum_{k=0}^M h[k]x[n-k] = h[0]x[n] + h[1]x[n-1] + \dots + h[M]x[n-M]$$

όπου

- $M$  είναι η **τάξη του φίλτρου**
- $y[n]$  είναι η **έξοδος του φίλτρου** τη διακριτή χρονική στιγμή  $n$
- $h[k]$  είναι ο  **$k$ -οστός συντελεστής του φίλτρου**, με  $k = 0, 1, 2, \dots, M$
- $x[n]$  είναι η **τιμή του σήματος εισόδου** τη διακριτή χρονική στιγμή  $n$

Στα πλαίσια αυτής της εργαστηριακής άσκησης καλείστε να υλοποιήσετε ένα **8-tap FIR φίλτρο ( $M = 7$ )**, το οποίο θα υλοποιεί διεπαφή AXI4-Lite για την επικοινωνία με το ZYNQ Processing System (PS). Ένα ενδεικτικό παράδειγμα του προς υλοποίηση FIR φίλτρου παρουσιάζεται στην Εικόνα 1.



Εικόνα 1 : Αρχιτεκτονική FIR φίλτρου με διεπαφή AXI4-Lite.

Όπως φαίνεται και από την Εικόνα 1 το **FIR φίλτρο** έχει ακριβώς την ίδια αρχιτεκτονική με αυτό της **Εργαστηριακής Άσκησης 5**. Συγκεκριμένα, οι βασικές μονάδες του φίλτρου είναι:

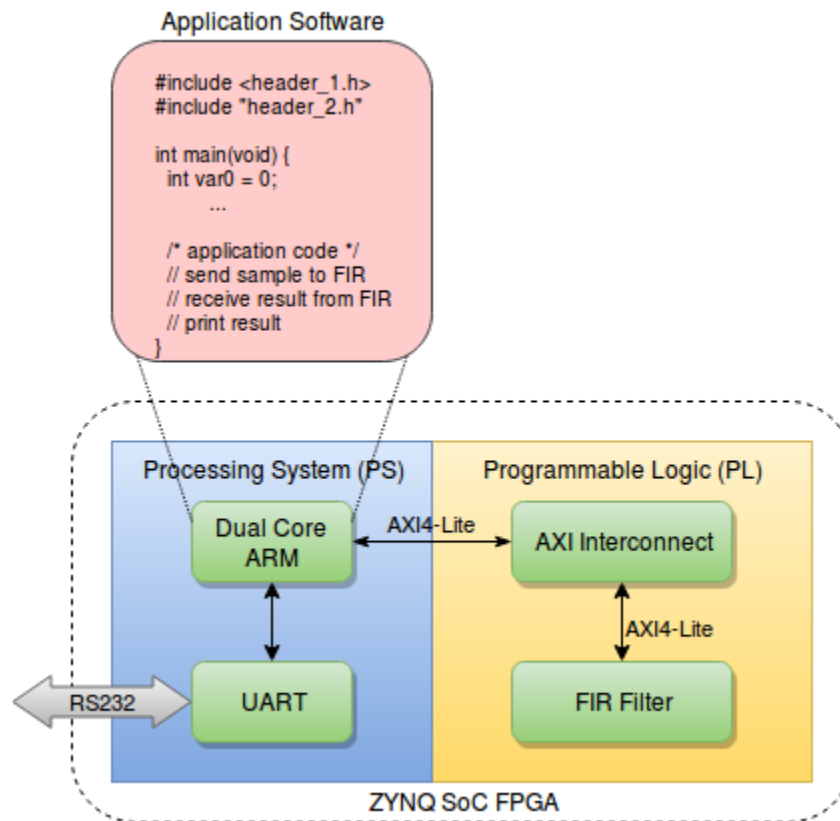
1. **Μονάδα MAC (Multiplier Accumulator Unit)** : Μονάδα Πολλαπλασιασμού με Συσσωρευση.
2. **Μονάδα ROM** : Έχει αποθηκευμένους τους σταθερούς συντελεστές (coefficients) του φίλτρου  $h$ .
3. **Μονάδα RAM** : Αποθηκεύει την παρούσα τιμή του σήματος εισόδου  $x$ , καθώς και τις 7 προηγούμενες, που είναι απαραίτητες για τον υπολογισμό της εξόδου  $y$ .
4. **Μονάδα Control Unit** : Αποτελεί τη μονάδα που ελέγχει και καθορίζει τη λειτουργία του φίλτρου.

Σε αυτή την άσκηση καλείστε να συνδέσετε το FIR που έχετε ήδη υλοποιήσει με μία AXI4-Lite διεπαφή (AXI4-Lite Slave Interface). Το **πλήθος των bits** του σήματος εισόδου  $x$  και των συντελεστών του φίλτρου  $h$  είναι ίσο με **8 bits**. Η διασύνδεση των σημάτων εισόδου και εξόδου του φίλτρου με την AXI διεπαφή να υλοποιηθεί όπως φαίνεται στην Εικόνα 1. Συγκεκριμένα :

- $A[7:0] = x$
- $A[8] = \text{valid\_in}$
- $A[9] = \text{rst}$
- $A[31:10] = \text{not used}$
- $B[N-1:0] = y$
- $B[N] = \text{valid\_out}$
- $B[31:N+1] = \text{not used}$

Επιπλέον να αναπτύξετε την ανάλογη εφαρμογή λογισμικού για την αποστολή των σημάτων εισόδου και την λήψη των σημάτων εξόδου του φίλτρου από τον ενσωματωμένο επεξεργαστή. Επειδή η επικοινωνία μεταξύ PS-PL υλοποιείται μέσω διαύλου επικοινωνίας εύρους 32-bit, η αποστολή των σημάτων εισόδου και εγκυρότητας θα αποστέλλονται ταυτόχρονα, ομαδοποιημένα στην ίδια λέξη των 32-bit (αντίστοιχα και για τα σήματα εξόδου). Η εφαρμογή λογισμικού για κάθε αποστολή ενός δεδομένου προς το FIR θα πρέπει να περιμένει να λάβει το αντίστοιχο έγκυρο αποτέλεσμα και να το εμφανίζει στο τερματικό μέσω σειριακής επικοινωνίας πριν κάνει αποστολή του επόμενου δεδομένου εισόδου προς το FIR, διαφορετικά να μην εμφανίζει τίποτα. Για το λόγο αυτό η εφαρμογή λογισμικού θα πρέπει να ελέγχει την εγκυρότητα του αποτελέσματος που λαμβάνει.

Η τελική αρχιτεκτονική του συνολικού συστήματος που καλείστε να παραδώσετε παρουσιάζεται στην Εικόνα 2.



Εικόνα 2 : Αρχιτεκτονική συστήματος.

### ΖΗΤΟΥΜΕΝΑ ΕΡΓΑΣΤΗΡΙΑΚΗΣ ΑΣΚΗΣΗΣ

- 1) Να υλοποιήσετε και να επιδείξετε στο ZYBO την παραπάνω εφαρμογή λαμβάνοντας υπόψη όλες τις λειτουργίες της.