



**Γενικά Θέματα** για το Μάθημα «ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ VLSI»

Συνολικά να επιλεγούν και να παραδοθούν ατομικά από τον κάθε σπουδαστή θέματα με σύνολο 10 μονάδων (επιλογή ~5 θεμάτων από τα 9 παρακάτω).

Τα θέματα είναι προαιρετικά και θα πριμοδοτηθούν με 1 μονάδα στο εργαστήριο.

1. Να σχεδιαστεί το κύκλωμα ενός παράλληλου αθροιστή 8 αριθμών των 16 bit ο καθένας. Το αποτέλεσμα να δοθεί σε 19 bit (να ληφθούν υπόψη οι υπερχειλίσσεις). Μπορεί να γίνει χρήση των εξής κυκλωμάτων: 4:2 Adder, CSA (3:2 Adder) και Αθροιστές Παράλληλης Πρόβλεψης-Parallel Prefix Adder (βλ. Σχ. 1.24 - DVLSI\_2014\_Theory.pdf). Τα τεχνικά τους χαρακτηριστικά δίνονται στο διπλανό πίνακα. Να δοθούν τα παρακάτω 2 εναλλακτικά συνδυαστικά σχήματα και η δομική περιγραφή τους σε VHDL. Να μελετηθούν τα εξής σχήματα: (α) CSAs + Prefix Adder και (β) 4:2 Adders + Prefix Adder. Να υπολογιστούν οι αντίστοιχοι χρόνοι λειτουργίας και το κύκλωμά τους σε αριθμό τρανζίστορ.

Στοιχείο	Καθυστέρηση	Κύκλωμα (τρανζίστορ)
4:2 Adder (k bit)	200ps	32·k
CSA (k bit)	150ps	20·k
FA	$T_S=150ps$ $T_C=100ps$	20
Prefix Adder	$T_{XOR}=75ps$ $T_{PG}=75ps$	XOR:8, PG:8
Καταχωρητής	$T_{Reg}=75ps$	20

Να γίνει, η χρήση της συνεχούς διοχέτευσης αγωγού (pipeline) ενός επιπέδου δίνοντας το αντίστοιχο σχήμα. Να φροντίσετε η σειρά των καταχωρητών (D-FF) να τοποθετηθεί σε θέση που περίπου να μοιράζεται η συνδυαστική καθυστέρηση και να μην είναι μεγάλος ο αριθμός τους. Επίσης να υπολογίσετε το γινόμενο της καθυστέρησης επί το κύκλωμα που είναι ένα μέτρο της επίδοσης ενός κυκλώματος που υλοποιεί μια συγκεκριμένη λειτουργία. (3 ΜΟΝΑΔΕΣ)

2. Σχεδιάστε έναν Modified Booth πολλαπλασιαστή Wallace 6×6 αριθμών σε συμπλήρωμα ως προς 2 σύμφωνα με τον παρακάτω πίνακα των μερικών γινομένων. Να ληφθούν υπόψη και οι διαφάνειες 27-32 του αρχείου “dVLSI-2”.

$2^{11}$	$2^{10}$	$2^9$	$2^8$	$2^7$	$2^6$	$2^5$	$2^4$	$2^3$	$2^2$	$2^1$	$2^0$	
					1							
				1	$\bar{p}_{0,6}$	$p_{0,5}$	$p_{0,4}$	$p_{0,3}$	$p_{0,2}$	$p_{0,1}$	$p_{0,0}$	$= 2^0 \cdot PP_0$
		1	$\bar{p}_{1,6}$	$p_{1,5}$	$p_{1,4}$	$p_{1,3}$	$p_{1,2}$	$p_{1,1}$	$p_{1,0}$		$n_0$	$= 2^2 \cdot PP_1$
1	$\bar{p}_{2,6}$	$p_{2,5}$	$p_{2,4}$	$p_{2,3}$	$p_{2,2}$	$p_{2,1}$	$p_{2,0}$		$n_1$			$= 2^4 \cdot PP_2$
							$n_2$					
$x_{11}$	$x_{10}$	$x_9$	$x_8$	$x_7$	$x_6$	$x_5$	$x_4$	$x_3$	$x_2$	$x_1$	$x_0$	$= X$

Να δοθεί η περιγραφή σε VHDL (δομική μορφή) του κυκλώματος και να επαληθευθεί η ορθότητα λειτουργίας του σχήματος συγκρίνοντας (σε ένα testbench) όλα τα δυνατά αποτελέσματά του με αυτά που παρέχει μια περιγραφή συμπεριφοράς. (3 ΜΟΝΑΔΕΣ)

3. α. Δίνεται ο αριθμός 101111011 σε συμπλήρωμα ως προς 2. Να μετατραπεί ο αριθμός σε παράσταση Booth, Modified Booth και σε Canonic Signed Digit μορφή. Ποιο είναι το βασικό πλεονέκτημα της τελευταίας μορφής έναντι των υπολοίπων και της παράστασης συμπληρώματος ως προς 2; Στον πολλαπλασιασμό δυο αριθμών ( $n \times k$ ) που είναι σε παράσταση συμπληρώματος ως προς 2, το αποτέλεσμα μπορεί να παρασταθεί με  $n+k-1$  bit εκτός από μία περίπτωση. Ποια είναι αυτή;

β. Να σχεδιαστεί με τις κατάλληλες απλοποιήσεις (να αξιοποιούνται όλες οι είσοδοι των πλήρων-αθροιστών της 1<sup>ης</sup> σειράς, βλ. 2<sup>ο</sup> θέμα) ένας παράλληλος πολλαπλασιαστής  $A \cdot X$  (τύπου CS array) όπου το  $X$  είναι θετικός των 6 bit και  $A$  ο σταθερός θετικός αριθμός 111101.

Στην συνέχεια να κάνετε χρήση της Κανονικής Παράστασης Προσημασμένου Ψηφίου (CSDR) για την κωδικοποίηση του αριθμού  $A$ , να δοθούν τα αντίστοιχα κυκλώματα που εδώ θα διαχειρίζονται και προσημασμένους αριθμούς.

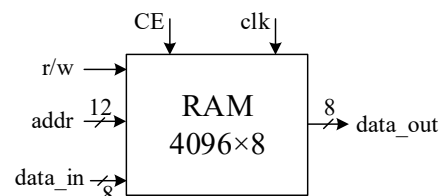
Υποδ.: Η αφαίρεση ενός όρου γίνεται λαμβάνοντας το συμπλήρωμά του ως προς 2 και όπου χρειάζεται να εφαρμόζεται η επέκταση προσήμου. (2 ΜΟΝΑΔΕΣ)

4. Να σχεδιαστεί το κύκλωμα υλοποίησης του υπολογισμού  $y_n = a_0 x_n + a_1 x_{n-1} + a_2 x_{n-2} + a_3 x_{n-3}$  σε direct και transpose μορφή. Να γίνει με τη χρήση παράλληλων πολλαπλασιαστών (που δίνουν το αποτέλεσμα σε CS μορφή - διαφάνειες 27-32 του αρχείου “dVLSI-2” και 16, 17, 22, 27 του αρχείου “dVLSI-2”) και αθροιστές δένδρου (α)

CSA (3:2 Adder), (B) 4:2 Adder. Ο τελικός αθροιστής να είναι τύπου Parallel Prefix Adder. Τα δεδομένα  $x_n$  και οι συντελεστές  $a_i$  είναι αριθμοί σε συμπλήρωμα ως προς 2, με ακρίβεια 8 bit, και τα αποτελέσματα είναι στα 16 bit. Να υποθέσετε ότι οι προσθέσεις δεν υπερχειλίζουν και αυτές να γίνουν στα 16 bit. Να δοθούν τα σχήματα και να υπολογιστούν τα αντίστοιχα critical path delays με βάση τον πίνακα του 1<sup>ου</sup> θέματος και για τον πολλαπλασιαστή (CS) να θεωρηθεί ότι εισάγει καθυστέρηση 1ns. (2 ΜΟΝΑΔΕΣ)

5. Να δοθεί η παραμετρική περιγραφή VHDL ενός Parallel Prefix Adder (βλ. Σχ. 1.24 - DVLSI\_2014\_Theory.pdf) για οποιοδήποτε μήκος λέξης N που να είναι δύναμη του 2 ( $N=2^n$ ). Να δοθούν παραμετρικά η καθυστέρηση και το επιφάνεια-κύκλωμα (σε όρους  $\tau$  =καθυστέρηση και  $\alpha$  =επιφάνεια μιας μοναδιαίας πύλης). Δίνεται ότι η καθυστέρηση των στοιχείων του είναι:  $T_{AND}=\tau$ ,  $T_{XOR}=2\tau$ ,  $T_{PG}=2\tau$ , ενώ η επιφάνεια-κύκλωμα είναι αντίστοιχα:  $A_{AND}=\alpha$ ,  $A_{XOR}=3\alpha$ ,  $A_{PG}=3\alpha$ . (2 ΜΟΝΑΔΕΣ)

6. Να δοθεί περιγραφή VHDL επιπέδου συμπεριφοράς (behavioral) ή μεταφοράς καταχωρητών (RTL) μιας σύγχρονης μνήμης RAM 4096×8bit που υποθέτουμε ότι λειτουργεί ως εξής: Στο θετικό μέτωπο του  $clk$  γίνεται η ανάγνωση (εισαγωγή) της διεύθυνσης  $addr$  και στο αρνητικό μέτωπο εισάγονται τα δεδομένα  $data\_in$  για  $r/w=1$  και για  $r/w=0$  εξάγονται τα δεδομένα  $data\_out$ . Για την εισαγωγή και εξαγωγή των δεδομένων πρέπει το σήμα  $CE=1$  (ασύγχρονη με το ρολόι). (2 ΜΟΝΑΔΕΣ)

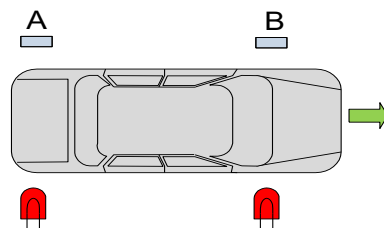


7. Αναπτύξτε το κώδικα VHDL, ο οποίος να υλοποιεί ένα σύγχρονο μετρητή των 32 bit. Ο μετρητής αυτός θα πρέπει να διαθέτει τα εξής χαρακτηριστικά (να κάνετε επίσης όποιες παραδοχές θεωρείτε πως χρειάζονται):
- επαναφορά στην αρχική του τιμή (0) μέσω ενός σήματος “reset”=1 (ασύγχρονη με το ρολόι)
  - ενεργοποίηση της λειτουργίας μέτρησης μέσω ενός σήματος “enable”=1 (σύγχρονη με το ρολόι)
  - δυνατότητα μέτρησης προς τα πάνω ή κάτω (σήμα  $up/dn$ )
  - φόρτωση αρχικής (από το χρήστη) τιμής στο μετρητή, η οποία θα διαβάζεται από μια είσοδο  $data\_in$ .

Η απάντησή σας θα πρέπει να περιέχει το κώδικα VHDL με τα απαραίτητα σχόλια, το testbench, καθώς και ένα σύντομο report με ενδεικτικές καταστάσεις στις κυματομορφές εισόδου/εξόδου. (2 ΜΟΝΑΔΕΣ)

8. Να επιλυθεί το Πρόβλημα 8.1 από το βιβλίο: «Σχεδιασμός κυκλωμάτων με τη VHDL» του V. Petroni. (2 ΜΟΝΑΔΕΣ)

9. Να δοθεί περιγραφή VHDL επιπέδου συμπεριφοράς (behavioral) ή μεταφοράς καταχωρητών (RTL) του συστήματος ελέγχου ενός χώρου στάθμευσης με κοινή διέλευση εισόδου και εξόδου. Η πύλη διέλευσης είναι εφοδιασμένη με δύο φωτοευαίσθητους αισθητήρες A και B, οι οποίοι αποτελούν την είσοδο του συστήματος ελέγχου. Όταν ένα αυτοκίνητο περνάει από έναν αισθητήρα και διακόπτει τη ροή του φωτός, αυτός δίνει είσοδο 0, αλλιώς 1. Συνεπώς, κατά την είσοδο ενός αυτοκινήτου, το σύστημα ελέγχου δέχεται διαδοχικά τις εισόδους AB=11, 01, 00, 10, 11. Η έξοδος του συστήματος ελέγχου είναι ο αριθμός των αυτοκινήτων που υπάρχουν στο χώρο στάθμευσης, ο οποίος είναι αρχικά 0. Περιπτώσεις όπου οι τιμές των αισθητήρων δεν έχουν νόημα (π.χ. από 11 σε 00) να θεωρούνται σφάλματα και να αγνοούνται. Υποθέτουμε ότι κάθε φορά μόνο ένα αυτοκίνητο μπορεί να περνάει. (2 ΜΟΝΑΔΕΣ)



**Να επιλεγούν και να παραδοθούν θέματα με σύνολο μονάδων  $\geq 10$ .**  
(Όλα τα Γεν. Θέματα αντιστοιχούν σε 20 Μονάδες)

Η παράδοση των Γενικών Θεμάτων είναι προαιρετική και θα πριμοδοτηθεί με 1 μονάδα στο εργαστήριο. Η αναφορά πρέπει να κατατεθεί μέχρι την ημερομηνία εξέτασης + 3 μέρες (στις 18-6-2023). Ο τελικός βαθμός θα διαμορφωθεί με βάση τη σχέση:

**Τελικός Βαθμός =  $0.5 \times \text{Βαθμός Γραπτής Εξέτασης} + 0.5 \times \{ \text{Βαθμός Εργαστηριακών Ασκήσεων} + 0.1 \times \text{Βαθμός Γενικών Θεμάτων ή Ανεξάρτητης Εργασίας} \}$**  (η πριμοδότηση θα είναι το πολύ μια (1) επιπλέον μονάδα).

Τα παραπάνω ισχύουν με την προϋπόθεση ότι ο **βαθμός της γραπτής εξέτασης είναι προβιβάσιμος**.