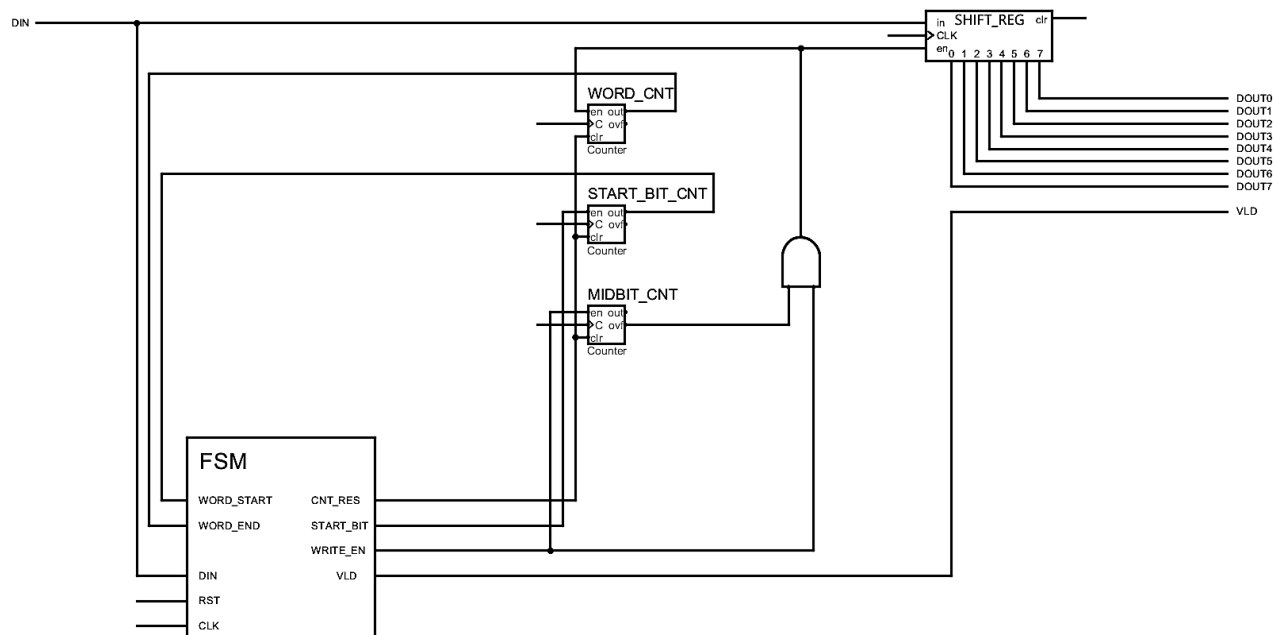


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

Návrh číslicových systémů
Projekt UART – Implementace a ladění

1 Architektúra navrhnutého obvodu



Obr. 1: Schéma navrhnutého obvodu

Popis funkcie obvodu

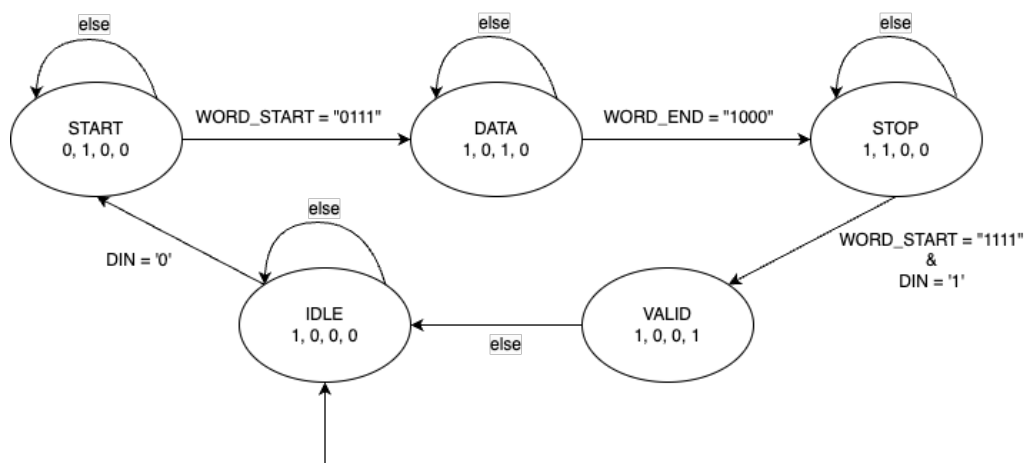
Stavový automat neustále kontroluje vstupný signál DIN. Keď signál spadne do 0, spustí sa cyklus. Obvod prejde 8 cyklov CLK a potom začne čítať signál DIN. Každých 16 cyklov CLK sa zapíše aktuálne čítaná hodnota DIN do registru (SHIFT_REG). Popri tom sa kontroluje počet už zapísaných bitov. Keď sa prečíta 8 bitov (naplní sa register), obvod počka 16 cyklov CLK a očakáva signál DIN = 1. Potom sa prepne do stavu VALID a pošle jednotlivé zaznamenané bity na výstup. Po odoslaní všetkých bitov sa obvod vráti do stavu IDLE a čaká na nový signál DIN = 0. Register nie je nutné resetovať, pretože v prípade úspešného cyklu FSM, nové bity vytlačia bity už zaznamenané v registri.

2 Návrh automatu (Finite State Machine)

Schéma

Legenda

- **Stavy automatu:** IDLE, START, DATA, STOP, VALID
- **Vstupné signály:** DIN, CLK, WORD_START, WORD_END
- **Mealyho výstupy:** <žiadne>
- **Moorove výstupy:** CNT_RST, START_BIT, WRITE_EN, VLD

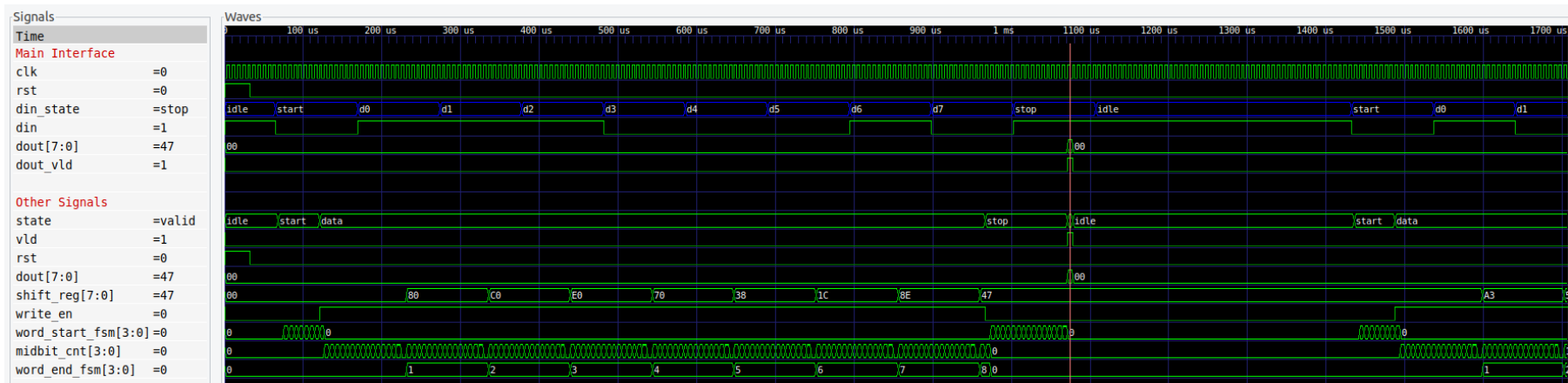


Obr. 2: Schéma stavového automatu

Popis funkcie automatu

Počiatočný stav automatu je IDLE. Keď na vstup DIN príde hodnota 0. Automat prejde do stavu START. V tomto stave odpočíta 8 cyklov (WORD_START = 0111) CLK a posunie sa do stavu DATA. Povolí signál WRITE_EN, ktorého kombinácia s počítadlom midbitu povoľuje zápis do SHIFT_registra. Tento signál okrem zápisu do registra povoľuje aj zápis do počítadla slov. Každých 16 cyklov CLK sa aktuálna hodnota na vstupe zaznamená do registra a inkrementuje sa počet zapísaných slov. Keď sa počet slov rovná 8 (WORD_END = 1000), automat prejde do stavu STOP. V tomto stave sa počká 16 cyklov CLK a očakáva sa hodnota DIN = 1. Po prijatí tejto hodnoty sa automat prepne do stavu VALID. Vypíšu sa jednotlivé bity z registra na DOUT a po odoslaní všetkých bitov sa automat vráti do stavu IDLE.

3 Snímka obrazovky zo simulácie



Obr. 3: Simulácia