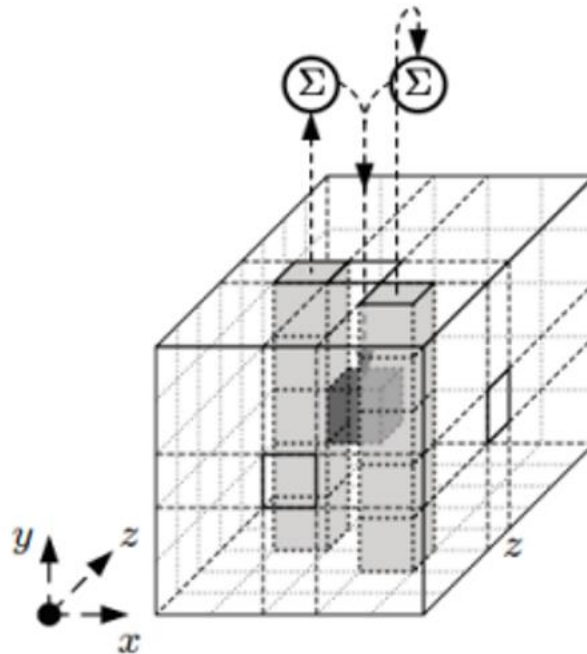


## گزارش فاز دوم میانترم

ضمن بررسی و توضیح طراحی، به تغییرات موجود در فاز اول و این فاز اشاره خواهیم کرد.

تفاوت عمده در این میباشد که در فاز اول، فرمت ورودی که به شکل  $(3,3)$ ,  $(4,3)$ , ... میباشد را تلاش شده بود به وسیله ی Mapper به فرمت  $(0,0)$ ,  $(1,0)$ , ... تبدیل کنیم که چنین چیزی نیاز نبود. به همین دلیل یک مالتی پلکسر و قطعه ی یاد شده از مسیر داده حذف شده اند. همچنین استتیت مربوط به آن نیز از واحد کنترلی حذف شده است. باقی موارد به همان صورت باقی مانده و پیاده سازی شده اند.

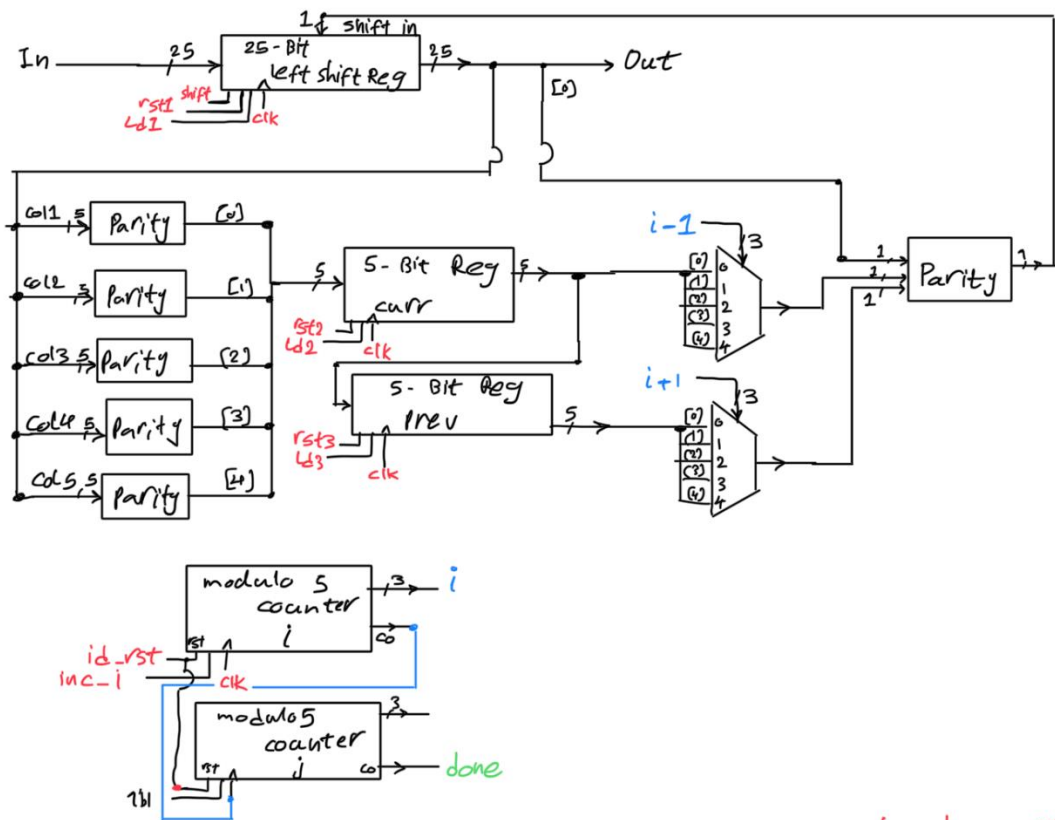
توجه شود که نیازی به مپ کردن و تبدیل فرمت داده ی ورودی نداریم، در اصل الگوریتم را برپایه ی تصویر دوم موجود در صورت سوال پیاده سازی کرده ایم:



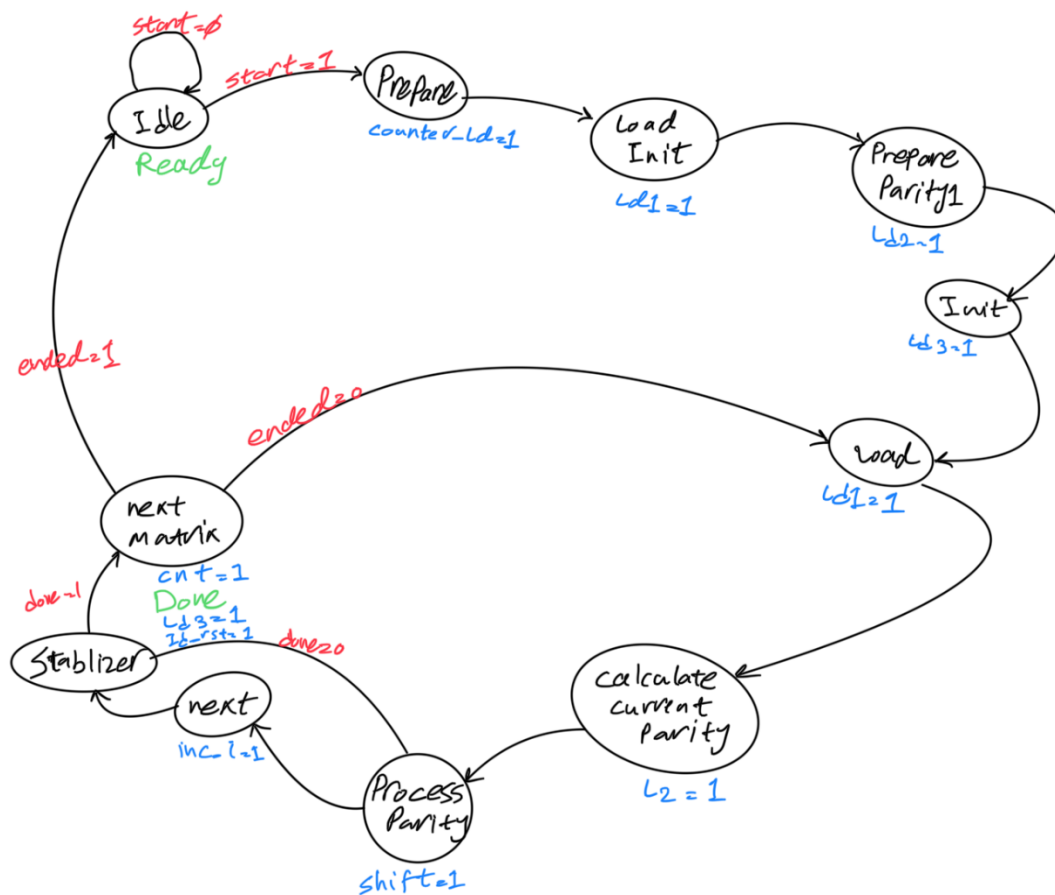
مورد دیگر، اضافه شدن یک استتیت Load\_Init میباشد که داده های صفحه 63 را برای مدتی کوتاه لود کرده و مازول برای شروع که صفحه صفر میباشد، آماده میشود (پردازش های لازم برای آماده سازی را انجام میدادم، اما حواسم به سیگنال لود صفحه نبود).

همچنین یک استتیت stabilizer نیز قرار دادیم، دلیل آن این بود که مقدار عددی کانتر بصورت سینک با کلاک تغییر میکرد و میتوانست باعث شود کنترلر یک استتیت آنرا دیر ببیند، برای همین این استتیت اضافه شد. توجه شود که این استتیت در لحظه برای پیاده سازی اجباری نمیشد و مشکل ذکر شده، برطرف شده است. لذا این مورد یک اختلاف قلمداد نمیشود.

طراحی نهایی مسیر داده و کنترلر بصورت زیر میباشد:



سیگنال ورودی از محیط بیرون  
 سیگنال داخلی  
 سیگنال ارسالی به محیط بیرون



توجه شود در این طراحی، محاسبه parity ها برای ستون ها بصورت موازی میباشد، اما پیمایش ماتریس و محاسبه parity درایه ها با کمک شمارنده ها انجام میگیرند.