

DIAGRAMAS DEL PROYECTO “RAM00”

ENTREGAR EL JUEVES 12 DE OCTUBRE GRUPOS 3CM1, 3CM2 Y 3CV4

ENTREGAR EL VIERNES 13 DE OCTUBRE, GRUPO 3CM3

TAREA 2-2

RECONSTRUIR LOS DIAGRAMAS DE BLOQUE Y EL DE LA ARQUITECTURA DE BUSES PARA EL PROYECTO DE LA RAM CON LAS ACTUALIZACIONES DE LOS NOMBRES, BLOQUES Y BUSES, QUE SE USARÁN EN SU GRUPO DE ARQUITECTURA. EN ESTE DOCUMENTO VAN LOS EJEMPLOS DE LO QUE SE PIDE. ACTUALIZARLOS.

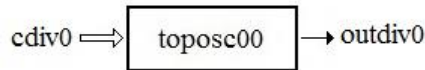


Figura 1. Entidad del módulo que incluye el oscilador y el divisor

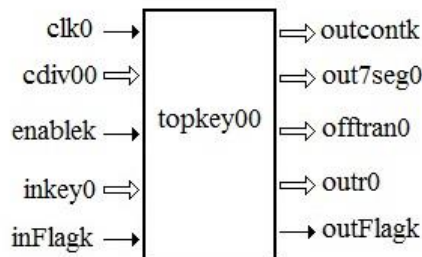


Figura 2. Entidad del módulo que contiene lo módulos: el “toposc00”, contring00 y coder00

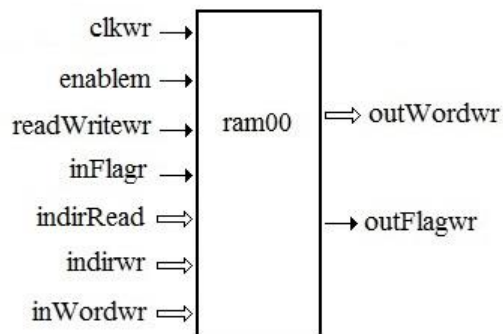


Figura 3. Entidad del módulo de menor jerarquía “ram00”. No contiene módulos internos

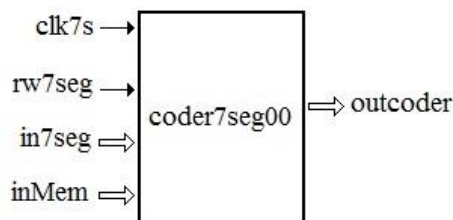


Figura 4. Entidad del módulo de menor jerarquía “coder7seg00”. No contiene módulos internos

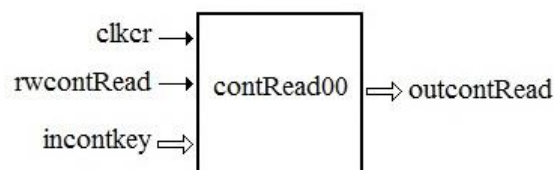


Figura 5. Entidad del módulo de menor jerarquía “contRead00”. No contiene módulos internos

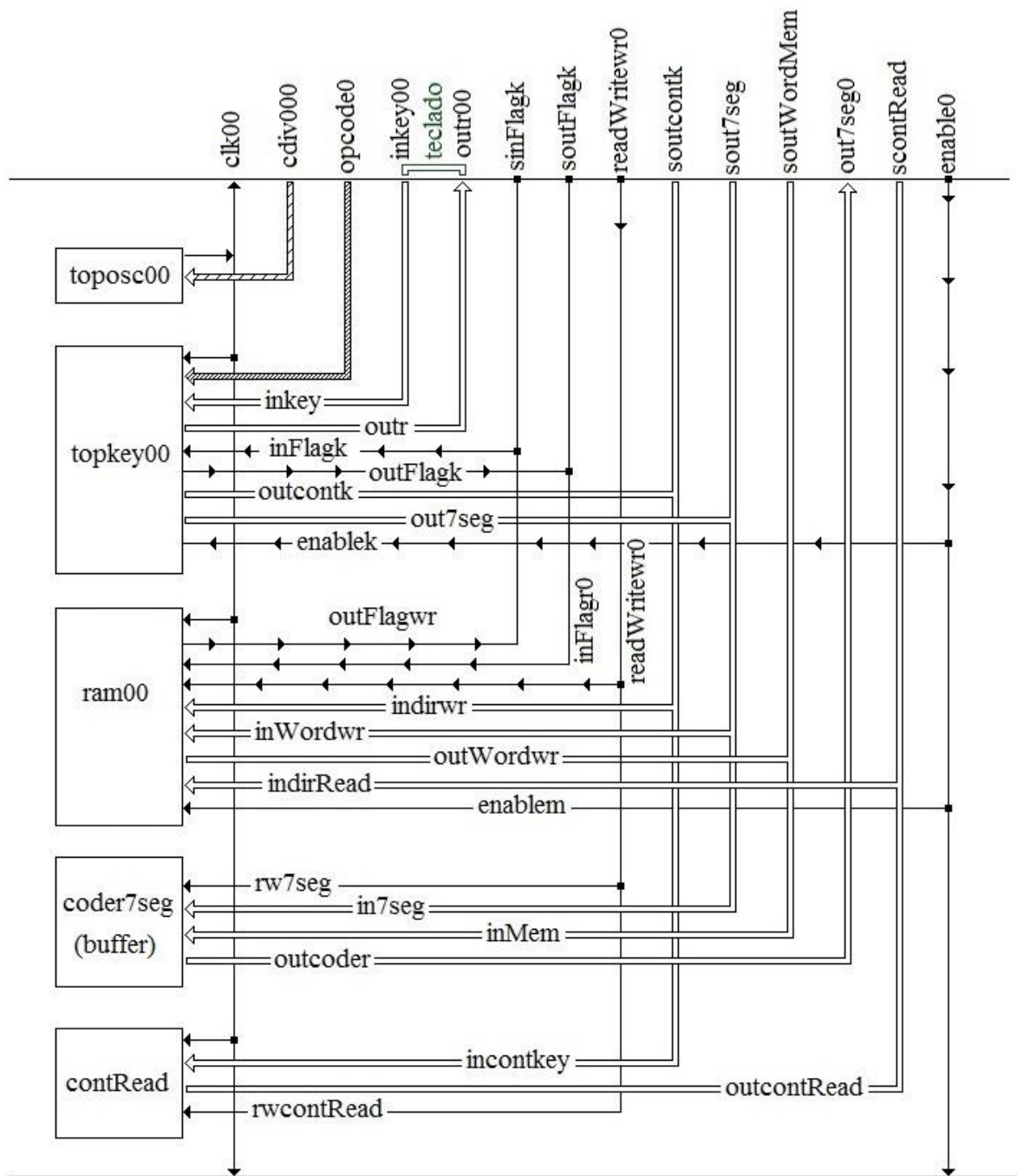


Figura 6. Diagrama de la arquitectura para escribir y leer de RAM